

BAST におけるスキャンチェーンの接続形態を考慮した 遷移故障テストパターンのマッチング評価

日大生産工(院) ○田中 まりか 日大生産工 細川 利典
九大 吉村 正義

1. はじめに

近年、半導体技術の急速な進歩に伴い、大規模集積回路(Large Scale Integrated circuits:LSI)の規模が増大している。一般的に LSI の論理部のテストにはスキャン設計と自動テスト生成ツール (Automatic Test Pattern Generator : ATPG) [1] によるテスト生成が従来から LSI 設計者に広く受け入れられてきた。このテスト手法によって高い故障検出効率を得られるが、回路の高集積化に伴い、ATPG により生成されたテストパターン数が増加しており、それに比例してテスト実行時間やテストデータ量が増加する問題が発生する。テストデータ量、テスト実行時間はテストコストに影響し、さらにテストデータ量はテストのメモリ容量内であることが望ましいため、テストデータ量を削減することが重要である。したがって、テストデータ圧縮技術の重要性が高まっている。

テストデータ量を削減するために用いられる主なテストデータ圧縮技術として、EDT(Embedded Deterministic)[2],XD-BIST(X-Tolerant Deterministic BIST)[3],BAST(BIST Aided Scan)[4]などが提案されている。本論文では、BAST 技術に着目する。BAST とは、組込み自己テスト (Built-In - Self - Test : BIST) [4,5,6,7,8,9]と ATPG を組み合わせて、高い故障検出効率を維持しながら、テストデータ量を圧縮する技術である。BAST アーキテクチャにおいて、疑似ランダムパターン生成器 PRPG[10,11,12,13]から生成される疑似ランダムパターン中のあるビットを反転させ、ATPG で生成される決定的パターンに変換する。また反転されたビット位置を記憶するため、BAST コードと呼ばれるコードがテスト(Automatic Test Equipment: ATE)上のメモリに記憶される。その BAST コードにしたがって、PRPG で生成された疑似ランダムパターンの一部を反転させ、スキャンチェーンを通じてテスト対象回路に入力される。BAST コードにおいてスキャンチェーンをシフトさせる情報量は決定的パターン数によって一意に決定されるが、ビットを反転させる情報量は疑似ランダムパターンを反転させるビット数(反転ビット数)によって決定される。反転ビット数が多いほど、BAST コード量が増える。よって、反転ビット数の削減が重要となる。

文献[14]のドントケア抽出法[18]では、少なくとも

すべての故障を 1 回検出するために不必要なビット (ドントケアビット)を決定的パターン集合から特定する。ドントケアビットは 0 でも 1 でもどちらでもよいから、反転ビット数を削減することができた。

本論文では、遷移故障モデルに対して、ブロードサイド方式[1]でテスト生成したテスト集合に対して、文献[18]のドントケア抽出を適用し、文献[14]で用いたハンガリアンマッチングを適用し BAST パターン集合を生成する。さらに文献[19]のスキャンチェーン接続構成法を用いて反転ビット数を削減する。生成された BAST パターン集合で消費電力の見積もりを行い、過度の電力を消費する BAST パターン数を評価する。

また、生成された BAST パターンの消費電力の指標となる WSA を算出する。本提案手法を ISCAS'89, ITC'99 ベンチマーク回路に適用し、反転ビット数、WSA を評価する。また、対象故障は遷移故障とする。

第 2 章で消費電力について説明し、第 3 章で WSA について説明する。第 4 章では BAST アーキテクチャについて説明し、第 5 章で BAST パターン生成について説明する。第 6 章で実験結果を示し、第 7 章でまとめを述べる。

2. 消費電力

VLSI の消費電力は、スイッチング電流、貫通電流、リーク電流から構成される。消費電力の計算式を式 1 に示す。ここで、 P は消費電力、 K は回路のゲート数、 C_{iL} はゲート i の負荷容量、 VDD は電源電圧、 f_{CLK} は動作周波数、 $p_{1 \rightarrow 0}$ は 1 から 0 に遷移するスイッチング動作、 $p_{0 \rightarrow 1}$ は 0 から 1 に遷移するスイッチング動作、 I_{SC} は貫通電流、 I_{Leak} はリーク電流である。

$$P = \sum_{i=1}^K (C_{iL} VDD^2 f_{CLK} p_{1 \rightarrow 0} + I_{SC} VDD (p_{1 \rightarrow 0} + p_{0 \rightarrow 1}) + I_{Leak} VDD) \quad (1)$$

式 1 の右辺の第 1 項は、信号線のスイッチング動作によって発生する消費電力である。LSI 全体の消費電力の 70%以上を占める要素である[20]。式 1 右辺の第 2 項は、セル内の貫通電流による消費電力である。LSI 全体の消費電力の 10~30%を占める。式 1 右辺の第 3 項は、リーク電流による消費電力である。LSI 全体の消費電力の 1%程度である。

3. WSA

回路の消費電力を正確に計算する場合、電源電圧やクロック周波数、ゲートの負荷容量など様々な要素が必要となる[6]。本論文ではそれらの要素を考慮していないため、計算式を簡略化したWSA(Weighted Switching Activity)を用いる。WSAは次の式で表される。

$$WSA = \sum_{i=1}^G tran(g_i) \times (1 + fanout(g_i)) \quad (2)$$

(2)式の G は回路中の全てのゲートを表す。 $tran(g_i)$ はゲート g_i の遷移数であり、 $fanout(g_i)$ はゲート g_i のファンアウト数を表す。

4. BAST アーキテクチャ

BAST アーキテクチャを図1に示す。BASTは、疑似ランダムパターン発生器 PRPG[10, 11, 12, 13]とテスト応答圧縮器 MISR、特定のパターン中のビットを反転させるインバータブロックと不定状態をマスクするUマスクブロックから構成される。本論文ではUマスク処理が必要となる回路を扱わないので、以後Uマスクについては省略する。インバータブロックは、PRPG からスキャンチェーンインへ通過する信号を反転させ、スキャンチェーンイン数と同一のビット幅を持つ。その論理はXORゲートから構成され、反転を制御するフリップフロップ(flip flop : FF)の信号に従いPRPGの出力信号を反転させる。デコーダブロックは、コード化された信号を受け取るインタフェースチャンネルに接続され、インバータブロック中の対応するFFを制御する。インタフェースチャンネルに入力されるコード化されたテストパターンをBASTコードと呼ぶ。

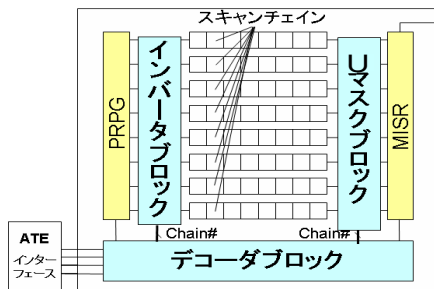


図1. BAST 基本概念図

5. BAST におけるテストパターン生成

BAST パターン生成のフローを図2に示す。初めに、決定的パターン集合に対してドントケア抽出を行い、疑似ランダムパターン集合とドントケア抽出された決定的パターン集合に対してハンガリアンマッチン

グを行う。ここで得られるBASTパターン集合を、本研究のスキャンチェーン接続形態考慮なしの場合のBASTパターン集合とする。さらに、手法[19]を用いてスキャンチェーン接続形態を考慮したBASTパターン集合を生成する。ここで得られるBASTパターン集合を、本研究のスキャンチェーン接続形態考慮ありの場合のBASTパターン集合とする。

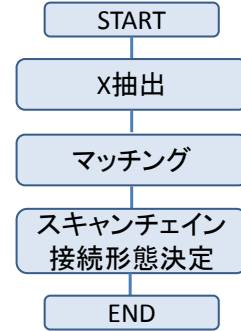


図2. BAST パターン生成フロー

決定的パターン $TD=(pi1, pi2, ..., pin)$ 、疑似ランダムパターン $TR=(pi1, pi2, ..., pin)$ をマッチングし、得られるBASTパターンを $TB=(pi1, pi2, ..., pin)$ 、とする。 pin は回路中のスキャンFFを表わし、 n は回路中のスキャンFF数を表わす($1 \leq i \leq n$)。 $TD(pi_i) \in \{0,1,X\}$ は決定的パターン中の i 番目のスキャンFFの値、 $TR(pi_i) \in \{0,1\}$ は疑似ランダムパターン中の i 番目のスキャンFFの値とする。

表1に示す $\cap_B$ を用いると、TBの i 個目のスキャンFFの値は式(3)で示すことができる。

$$TB(pi_i) = TD(pi_i) \cap_B TR(pi_i) \dots (3)$$

表2に示すビット反転数演算 $\cap_F$ を用いると、BASTパターンを生成するために必要な疑似ランダムパターンのビット反転数 Num_ff は式(4)で表すことができる。

$$Num_ff = \sum_{i=1}^n (TD(pi_i) \cap_F TR(pi_i)) \dots (4)$$

表1. BAST パターン生成演算 $\cap_B$

	$\cap_B$	TR	
		0	1
TD	0	0	0
	1	1	1
	X	0	1

表 2. ビット反転数演算 $\cap_F$

	$\cap_F$	TR	
		0	1
TD	0	0	1
	1	1	0
	X	0	0

6. 実験結果

本章では, ISCAS' 89 ベンチマークの順序回路において, 全故障検出保障ドントケア抽出を行った ATPG パターンでハンガリアンマッチングを行い, スキャンチェーン接続形態を考慮した場合[19]と考慮しなかった場合の反転ビット数, WSA を比較し, また, WSA の閾値を変化させて(最大 WSA を 100%とした時の 90%・80%の値), 閾値を超えた BAST パターンの割合を評価する. 表 3, 4 ではスキャンチェーン接続考慮しない場合とする場合の反転ビット数と WSA を示し, 表 4, 5 ではスキャンチェーン接続考慮しない場合とする場合の WSA の閾値を超えた BAST パターンの割合を示す

表 3. スキャンチェーン接続考慮しない場合の反転ビット数・WSA

回路名	FF数	反転ビット数	WSA(平均)	WSA(最大)
s13207	669	8590	2936.77	4597
s15850	597	9732	2622.53	4138
s35932	1728	16675	8757.48	9875
s38584	1452	44585	5176.94	9281

表 4. スキャンチェーン接続考慮する場合の反転ビット数・WSA

回路名	FF数	反転ビット数	WSA(平均)	WSA(最大)
s13207	669	8390	2980.47	4458
s15850	597	9504	2641.41	4100
s35932	1728	14633	8765.17	9835
s38584	1452	43955	5233.93	9335

表 5. スキャンチェーン接続考慮しない場合に WSA の閾値を超えた BAST パターンの割合

回路名	TP数	閾値 90%超え	閾値 80%超え
s13207	333	2(0.6%)	10(3%)
s15850	215	7(3.26%)	12(5.58%)
s35932	52	21(40.38%)	50(96.15%)
s38584	500	15(3%)	37(7.4%)

表 6. スキャンチェーン接続考慮する場合に WSA の閾値を超えた BAST パターンの割合

回路名	TP数	閾値 90%超え	閾値 80%超え
s13207	333	3(0.9%)	10(3%)
s15850	215	7(3.26%)	19(8.84%)
s35932	52	23(44.23%)	51(98.08%)
s38584	500	13(2.6%)	42(8.4%)

7. まとめ

反転ビット数と消費電力の相関関係はあまり見られなかった. また, どのくらいの割合のテストパターンが閾値を超えるかという点は, 回路によってばらつきが見られた. s35932 は, ほとんどの BAST パターンが平均に近かったため, ほとんどの BAST パターンが閾値を超える結果になったのではないかと考えられる.

参考文献

- [1] H. Fujiwara, Logic Testing and Design for Testability, The MIT Press, 1985.
- [2] J. Rajski, J. Tyszer, M. Kassab, N. Mukherjee, R. Thompson, K.H. Tsai, A. Hertwig, N. Tamarapalli, G. Mrugalski, G. Eide, and J. Qian, "Embedded Deterministic Test for Low Test Manufacturing Test," in Proc. ITC, pp. 301-310, 2002.
- [3] P. Wohl, J.A. Waicukauski, S. Patel, and M.B. Amin, "X-tolerant compression and application of Scan-ATPG Patterns in a BIST Architecture," in Proc. ITC, pp. 727-736, 2003.
- [4] T. Hiraide, K.O. Boateng, H. Konishi, K. Itaya, M. Emori, H. Yamanaka, and T. Mochiyama, "BIST-aided scan test: A new method for test cost reduction," Proc. VTS, pp. 359-364, 2003..
- [5] P. H. Bardell, W. H. McAnney and J. Savir, Built-In Pseudo-Random Testing of Digital Circuits, Chapter 8. John Wiley & Sons, New York, 1987.
- [6] R. Chandramouli, S. Pateras, "Testing Systems on a Chip," IEEE Spectrum, Vol. 33, No. 11, pp. 42-47, November 1996.
- [7] Y. Zorian, E. J. Marinissen, S. Dey, "Testing Embedded Core-based System chips," in Proc. IEEE International

- Test Conference, Washington, DC, pp. 130-143, 1998.
- [8] J. Aerts, E. J. Marinissen, "Scan Chain Design for Test Time Reduction in Core-based ICs," in Proc. IEEE International Test Conference, Washington, DC, pp. 448-457, 1998.
 - [9] B. Nadeau-Dostie, Design for At-Speed Test, Diagnosis and Measurement, Boston, Dordrecht, Kluwer Academic Publishers, London, 2000.
 - [10] H. Bardell, W. H. McAnney, "Parallel Pseudo-random Sequences for Built-in Test," in Proc. IEEE International Test Conference (ITC), 1984, pp. 302-308, 1984.
 - [11] H. Bardell, W. H. McAnney, "Pseudo-Random Arrays for Built-In Tests," IEEE Transactions on Computers, Vol. C-35, No. 7, 1986, pp. 653-658.
 - [12] H. Bardell, W. H. McAnney, J. Savir, Built-In Test for VLSI, Wiley-Interscience, New York, 1987.
 - [13] G.. Kiefer, H.-J. Wunderlich, "Using BIST Control for Pattern Generation," in Proc. IEEE Int. Test Conf. Washington, DC, pp. 347-355, November 1997.
 - [14] M. Arai, S. Fukumoto, K. Iwasaki and T. Hiraide, "Test Data Compression using TPG Reconstruction for BIST-aided Scan Test," in Digest of Papers of the IEEE 6th Workshop on RTL and High Level Testing, pp. 12-17, 2005.
 - [15] T. Hosokawa, Y. Chen, L. Wan, M. Wakazono, M. Yoshimura, "A test pattern matching method on BAST architecture using don't care identification for random pattern resistant faults" in Proc. of the 10th IEEE International Symposium on Communications and Information Technologies, pp. 738-743, 2010.
 - [16] Masayuki Arai, Satoshi Fukumoto and Kazuhiko Iwasaki, "Test Data Compression of 100x for Scan-Based BIST," IEEE INTERNATIONAL TEST CONFERENCE, 2006
 - [17] LingLing Wan, Motohiro Wakazono, Toshinori Hosokawa, and Masayoshi Yoshimura, A Bit flipping Reduction Method for Pseudo-random Patterns Using Don't Care Identification on BAST Architecture, 9th Workshop on RTL and High Level Testing, 2008.11.
 - [18] K. Miyase and Seiji Kajihara, "XID: Don't Care Identification of Test Patterns Circuits and Systems," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 23, No.2, pp. 321-326, 2004.
 - [19] 陳 賛, 細川 利典 "BAST におけるテストデータ量削減のためのスキランチェーンの接続法" DC 研究会 2012 年
 - [20] 栗田敏明, 竹本光雄, "LSI 低消費電力設計" 沖テクニカルレビュー 第188号 Vol.68 No.4, 2001年10月, pp36