

BAST におけるテストデータ量を削減するための スキャンチェーンの接続法に関する研究

日大生産工(院) ○陳 賛 日大生産工 細川 利典

1. はじめに

近年、半導体技術の急速な進歩に伴い、大規模集積回路 (Large Scale Integrated circuits: LSI) の規模や複雑さが増大している。一般に LSI の論理回路部のテスト生成にはスキャン設計と自動テスト生成ツール (Automatic Test Pattern Generator: ATPG) によるテスト生成が従来から LSI 設計者に広く受け入れられてきた。このテスト手法によって高い故障検出効率は保証される。しかしながら、回路の高集積化に伴い、ATPG により生成されたテストパターン数が増大するため、テスト実行時間とテストデータ量が増加する傾向にある。テスト実行時間はテストコストに比例し、テストデータ量はテストのメモリ容量内であることが望ましいため、テストデータ量を削減することが重要である。したがって、テストデータ圧縮技術の重要性が高まっている。

テストデータ量を削減するために用いられる主なテストデータ圧縮技術として、EDT (Embedded Deterministic), XD-BIST (X-Tolerant Deterministic BIST), BAST (BIST Aided Scan Test) [1] などが提案されている。本論文では、BAST に着目している BAST とは、組み込み自己テスト (Built-In - Self - Test: BIST) [4, 5, 6, 7, 8, 9] と ATPG を組み合わせて、高い故障検出率を維持しながら、テストデータ量を圧縮する技術である。BAST アーキテクチャにおいて、疑似ランダムパターン生成器 PRPG [10, 11, 12, 13] から生成される疑似ランダムパターン中のあるビットを反転させ、ATPG で生成される決定的パターンに変換する。また反転されたビットの位置を記憶するため、BAST コードと呼ばれているコードがテスト (Automatic Test Equipment: ATE) に搭載される。その BAST コードにしたがって、PRPG で生成された疑似ランダムパターンの一部を反転させ、スキャンチェーンを通じてテスト対象回路に入力される。BAST コードにおいてスキャンチェーンをシフトさせる情報量は決定的パターン数によって一意に決定されるが、ビットを反転させる情報量は疑似ランダムパターンを反転させるビット数 (反転ビット数) によって決定される。反転ビット数は BAST コードの生成方法に依存する。よって BAST アーキテクチャにおいて、BAST コード量 (テストデータ量) 及びテスト実行時間を削減するために、反転ビット数を削減するための BAST コード生成手法が重要である。

反転ビット数は、ATPG によって生成された決定的パターンと疑似ランダムパターンのマッチング法に大きく依存する。文献 [2] では、マッチング前にドントケア抽出法を決定的パターンに適用することが提案されている。文献 [2] のドントケア抽出法では、少なくともすべての故障を 1 回検出するために不必要なビット (ドントケアビット) を決定的パターンから特定する。ドントケアビットは反転する必要がないため、反転ビット数を削減することができる。文献 [3] では、すべての故障の検出を保証せずに、疑似ランダムパターンで検出されにくい故障 (Random Pattern Resistant: RPR 故障) のみの検出を保証する RPR 故障検出ドントケア抽出法が提案されている。つまり、RPR 故障の検出を決定的パターンで行い、それ以外の故障の検出を疑似ランダムパターンに期待するという戦略である。すべての故障の検出を保証しないため、文献 [3]

の手法は文献 [2] の手法よりドントケア数が増加し、反転ビット数が削減することが期待できる。文献 [3] の実験結果では反転ビット数、テストデータ量及びテスト実行時間が削減されたことが報告されている。

本論文では、文献 [3] の手法をさらに改善し、PRPG から生成された疑似ランダムパターンをシフトインすることによって各スキャン FF に設定されたパターン (シフトインランダムパターン) と決定的パターンとを類似させることによって、ビット反転数の削減を狙う。具体的には、スキャンチェーン中の各 FF 間の接続 (肯定接続もしくは否定接続) を選択することによって、シフトインランダムパターンと決定的パターンとの差異を削減し、反転ビット数の削減を図る。本提案手法を ISCAS' 89, ITC' 99 ベンチマーク回路に適用し、反転ビット数、テストデータ量、テスト実行時間を評価する。

2. BAST アーキテクチャ

BAST アーキテクチャは、図 1 を示すように主に疑似ランダムパターン発生器 PRPG [10, 11, 12, 13] とテスト応答圧縮器 MISR、特定のパターン中のビットを反転させるインバータブロックと不定状態をマスクする U マスクブロックから構成される。本論文では U マスク処理が必要となる回路を扱わないので、以後 U マスクについては省略する。インバータブロックは、PRPG からスキャンチェーンへ通過する信号を反転させ、スキャンチェーン数と同一のビット幅を持つ。その論理は XOR ゲートから構成され、反転を制御するフリップフロップ (flip flop: FF) の信号に従い PRPG の出力信号を反転させる。デコーダブロックは、コード化された信号を受け取るインタフェースチャンネルに接続され、インバータブロック中の対応する FF を制御する。インタフェースチャンネルに入力されるコード化されたテストパターンを BAST コードと呼ぶ。

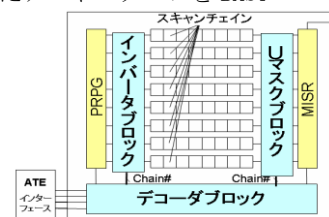


図 1. BAST 基本概念図

```

1. Matching(C,TR,TD,AF,N){
2.   (TD',F)=X_identification_rpr_n(C,TD,AF,N);
3.   TB=Hungarian(TR,TD');
4.   UD=faultsim(C,TB,AF);
5.   while(UD!=Φ){
6.     F=F∪UD;
7.     (TD',F)=X_identification_rpr_f(C,TD,F);
8.     TB=Hungarian(TR,TD');
9.     UD=faultsim(C,TB,AF);
10.  }
11.  return TB;
12. }

```

図 2. BAST パターン生成アルゴリズム

3. RPR 故障を検出するためのドントケア抽出法を用いた BAST パターン生成法

文献[3]では、ランダムパターンレジスタント故障検出用ドントケア抽出を用いた BAST アーキテクチャにおけるテストパターンマッチング法が提案されている。ランダムパターンレジスタント故障とは、疑似ランダムパターンで検出されにくい故障であり、文献[3]ではテストパターン集合による検出回数が N 回以下の故障を RPR 故障と定義する。本論文では、文献[3]の手法を用いて、BAST パターンを生成する。BAST パターンの生成アルゴリズムを図 2 に示す。

図 2 において、関数 Matching は回路 C 、疑似ランダムパターン集合 TR 、決定的パターン集合 TD 、ドントケア抽出の対象となる故障の検出回数 N を入力として、生成した BAST パターン集合 TB を出力する関数である。まず決定的パターン集合 TD に対し、RPR 故障ドントケア抽出を行い、決定的パターン集合 TD' を生成する。RPR 故障を検出する決定的パターン集合 TD' と疑似ランダムパターン集合 TR をハンガリアンアルゴリズム[14]を用いてマッチングし、テストパターン集合 TB を生成し、リターンする。

4.1 BAST パターンを生成例

図 2 のアルゴリズムの適用例を説明する。まず、図 3 に、決定的パターン (TD) を用いた RPR 故障検出ドントケア抽出の例を示す。 $t_1 \sim t_4$ は決定的パターン集合 TD に属するテストパターンである。 f_i (i は $1 \sim 4$) は、 t_i で検出される故障集合を表す。 f_1 から f_8 は故障を表す。 TD に対して RPR 故障検出ドントケア抽出技術 ($N=1$) を用いて、全故障集合から 1 回検出故障集合 $\{f_1, f_8, f_3, f_5\}$ のみの検出を保証するテストパターン TD' ($t_1' \sim t_4'$) を生成する。図 4 は、マッチングを行って、BAST パターンを生成し、故障 sim を行う例である。図 5 において、故障リスト F を検出できるドントケア抽出を行う。図 6 は、マッチングを行って、BAST パターンを生成する例である。図 6 では、図 5 で示した RPR 故障を検出する決定的パターン集合 TD' を用いて、疑似ランダムパターン集合 TR とマッチングを行い、BAST パターン集合 TB を生成する。ここで、BAST パターン集合による検出故障集合から、疑似ランダムパターンで検出できる故障が $\{f_2, f_4, f_6, f_7\}$ であることがわかる。

4. スキャンフリップフロップ

テスト容易化設計手法であるスキャンテストでは回路内のフリップフロップ (FF) をスキャンフリップフロップ (SDFF) に置き換える。スキャン FF は図 7 に示している。 D は通常入力、 DT はテスト用入力、 CK はクロック入力、 SE はスキャンイネーブル入力を示す。また、 Q と NQ は互いに異なる値をとる。図 8 と図 9 は 3 つの SDFF から構成されるスキャンチェーンの接続形態例を示す。図 8 の $FF1$ と $FF2$ のように、 Q と DT が接続している形態を肯定接続と呼ぶ。図 9 の $FF1$ と $FF2$ のように、 NQ と DT が接続している状態を否定接続と呼ぶ。



図 3. RPR 故障ドントケア抽出

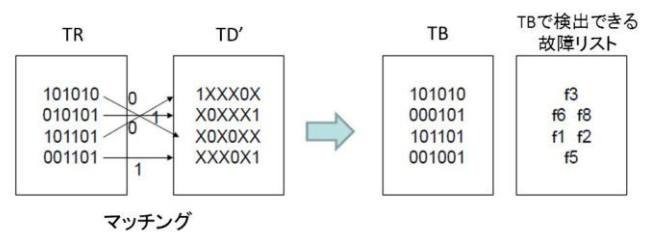


図 4. TR と TD' をマッチング

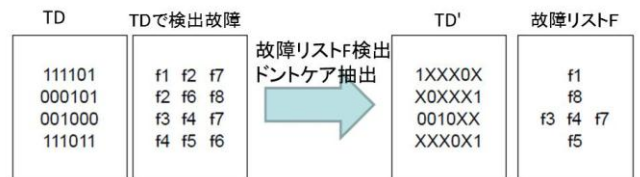


図 5. 故障リスト F 検出のドントケア抽出

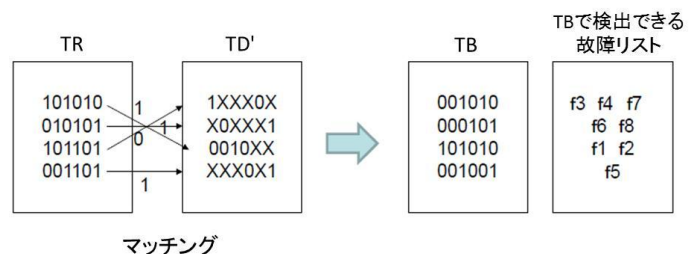


図 6. BAST パターンの生成

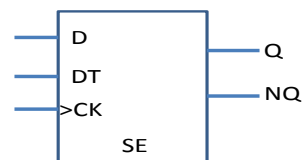


図 7. スキャンフリップフロップ (SDFF)

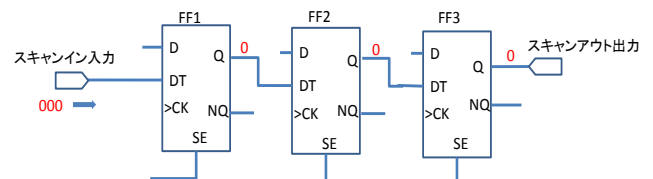


図 8. スキャンチェーンの接続形態例 1

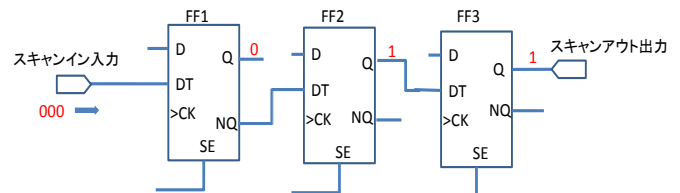


図 9. スキャンチェーンの接続形態例 2

図 8 は各 FF 間の接続状態はすべて肯定接続であるため、スキャンインに入力した値 000 は、シフトイン終了後の各 SDFF の値は ($FF1, FF2, FF3$) = (0, 0, 0) となる。一方、図 9 にはスキャンインに入力した値 000 は、シフトイン終了後の各 SDFF の値

は (FF1, FF2, FF3)=(0, 1, 1) となる。テストパターンをスキャンインした後の各 SDFF に設定されている値をシフトインパターンと定義する。特にテストパターンが疑似ランダムパターンの場合のシフトインパターンをシフトインランダムパターンと呼ぶ。

FF_i の値 $Value_FF_i$ は式 (1) で定義できる。

$Value_FF_i = i$ 番目のスキャンインパターンの値 $\oplus$
R (スキャンイン入力から FF_i の DT 入力までの否定接続回数)

..... (1)

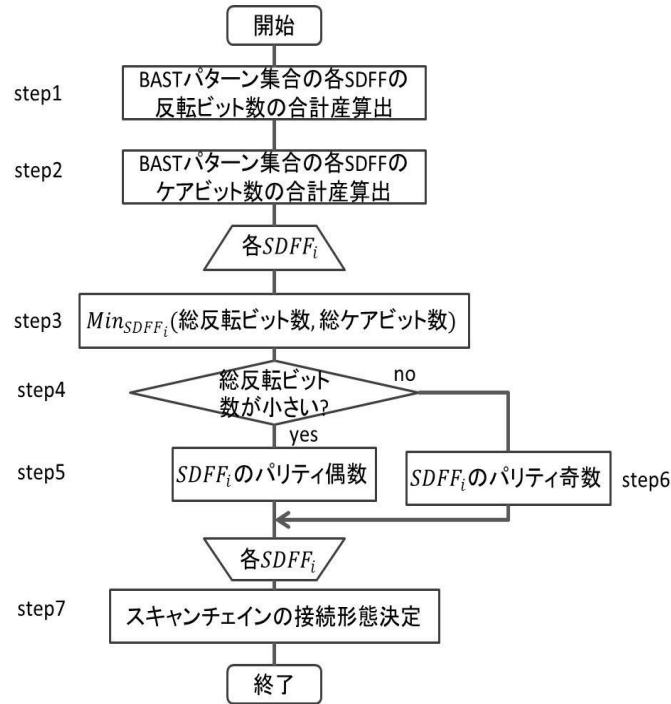


図 10.
スキャンチェーンの接続形態
を決定アルゴリズム

ただし、R に対してスキャン入力から FF_i の DT 入力までの否定接続回数が奇数の場合は 1 とする。それ以外の場合は 0 とする。

決定的パターン (FF1, FF2, FF3)=(0, 1, 1) と疑似ランダムパターン (0, 0, 0) とのマッチングを考える。この場合、スキャンチェーンの接続形態は図 8 とする。疑似ランダムパターンとシフトインランダムパターンの値は一致するので、FF2 と FF3 の値を反転する必要がある。一方、スキャンチェーンの接続形態を図 9 のように構成すると、シフトインランダムパターンは (FF1, FF2, FF3)=(0, 1, 1) となり、決定的パターンと一致し、ビット反転の必要性がなくなる。疑似ランダムパターン集合と決定的パターン集合のマッチング後の BAST パターンに対して反転ビット数を削減するために、スキャンチェーンの接続形態を考えると、BAST パターンごとに最適なスキャンチェーンの接続形態が存在することがわかる、それゆえ、ある特定の BAST パターンの反転ビット数を削減するために、構成したスキャンチェーンの接続形態は BAST パターン集合全体に対し

ては反転ビット数が増加する場合は考えられる。

5. スキャンチェーンの接続形態の決定

図 10 にスキャンチェーンの接続形態の決定アルゴリズムを示す。各 step について説明する。

(Step1)

BAST パターン集合において、各スキャンフリップフロップ (SDFF) の反転ビット数の合計を算出する。

(Step2)

BAST パターン集合において、各スキャンフリップフロップ (SDFF) の非反転ビット数の合計を算出する。

(Step3)

BAST パターン集合の各 SDFF に対して、総反転ビット数と総非反転ビット数を比較し、最小値を選ぶ。

(Step4)

Step3 で得られた最小値によって、BAST パターン集合の i 番目 SDFF の総反転ビット数が総ケアビット数より小さい場合は、step5 へ進む。総反転ビット数が大きい場合は、step6 へ進む。

(Step5)

Step4 で i 番目 SDFF の総反転ビット数が小さいと判断した場合は、 i 番目 SDFF のパリティ (スキャン入力から i 番目 SDFF の入力 DT まで否定接続の回数) が偶数とする。

(Step6)

Step4 で i 番目 SDFF の総反転ビット数が大きい、すなわち総非反転ビット数が小さいと判断した場合は、 i 番目 SDFF のパリティが奇数とする。

(Step7)

パリティが偶数か奇数かの結果によって、スキャンチェーンの接続形態 (肯定・否定) を決定する。

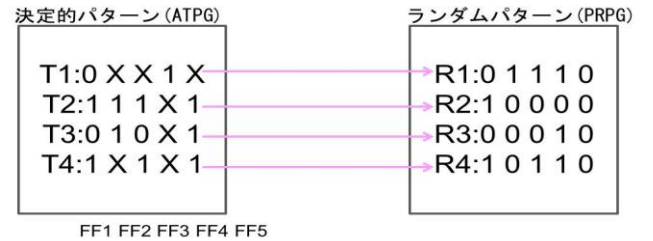


図 11. ATPG パターンと PRPG パターン

表 1. ATPG パターンにおける総反転ビット数と
総非反転ビット数の計算
決定的パターン (ATPG)

	FF1	FF2	FF3	FF4	FF5
T1	0	X	X	1	X
T2	1	1	1	X	1
T3	0	1	0	X	1
T4	1	X	1	X	1
総反転ビット数	0	2	1	0	3
総非反転ビット数	4	0	2	1	0

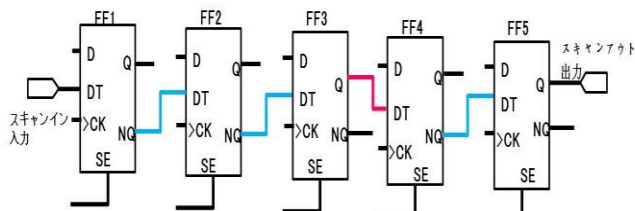


図 12. スキャンチェーンの接続結果

5.1 スキャンチェーンの接続形態の決定例

図 10 に示したスキャンチェーンの接続形態の決定アルゴリズムについて、具体的な例を用いて説明する。ある BAST パターンを生成するための決定的パターン (ATPG) とランダムパターン (PRPG) は図 11 に示したものとす。また、ATPG と PRPG のマッチング順番は (T1, R1), (T2, R2), (T3, R3) と (T4, R4) する。反転したビットは表 1 に赤い色付けたビットとなる。それによって、各 SDFP における総反転ビット数と総非反転ビット数を計算した結果は表 1 に示す。

次、各 SDFP における総反転ビット数と総非反転ビット数を比較して各 SDFP のパリティが偶数か奇数かを判断する。今回の例に対して、FF1, FF3 と FF4 のパリティが偶数となり、FF2 と FF5 のパリティが奇数となる。よって、スキャンチェーンの接続は図 12 に示したようになる。具体的に、スキャンインから FF1, FF3 と FF4 までの否定接続回数が 0, 2, 2 (偶数) となり、FF2 と FF5 までの否定接続回数が 1, 3 (奇数) となった。

6. 実験結果

本章では、ITC' 99 ベンチマークの組合せ回路において、総反転ビット数と総非反転ビット数についてまとめた。本論文で提案したスキャンチェーン接続法を用いて、反転ビット数と従来手法の反転ビット数を比較して考察した。今回解析を行った回路は、ITC' 99 ベンチマークの b14, b15 と b21 は、提案手法で否定接続を考慮したスキャンチェーンに印加すると、得られた総反転ビット数、総非反転ビット数は表 2 に示した。回路は実験対象回路を表す。FF 数は回路のフリップフロップ数となる。TP 数は TetraMAX を用いて生成した決定的テストパターン数を表す。総反転ビット数には、従来手法で得られた総反転ビット数となる。また、総非反転ビット数とは、決定的パターンのケアビットにおける反転しないケアビットの合計となる。最後、提案手法を適用した場合の総反転ビット数を表す。b14 回路に対して、提案手法を適用した場合は総反転ビット数が 1494 を削減できた。b21 回路に対しては、23392 反転ビットが削減した。

7. まとめ

本研究では、BAST アーキテクチャにおけるテストデータ量を削減するためのスキャンチェーンの続法を提案した。ITC' 99 ベンチマークの b14 と b21 回路を用いて実験を行い、評価した。従来手法より回路 b14, b21 において反転ビット数が文献[3]の手法よりさらに削減できた。実験結果から、提案手法を適用すると反転ビット数が文献[3]の手法よりさらに削減できた。今後、他の回路に対して実験を行い、評価する。また、反転ビット数を増えた回路について解析し、さらに、反転ビット数を削減できるスキャンチェーン接続法の決定について改善していく。

表 2. b14 と b21 の実験結果

回路	FF数	TP数	総反転ビット数	総非反転ビット数	提案手法 (総反転ビット数)
b14	277	801	17105	32716	15611
b21	522	883	36726	60118	23392

参考文献

- [1] T. Hiraide, K. O. Boateng, H. Konishi, K. Itaya, M. Emori, H. Yamanaka, and T. Mochiyama, "BIST-aided Scan Test-A New Method for Test Cost Reduction," in Proc. of the IEEE 22nd VLSI Test Symposium, pp. 359-364, 2003.
- [2] M. Arai, S. Fukumoto, K. Iwasaki and T. Hiraide, "Test Data Compression using TPG Reconstruction for BIST-aided Scan Test," in Digest of Papers of the IEEE 6th Workshop on RTL and High Level Testing, pp. 12-17, 2005.
- [3] T. Hosokawa, Y. Chen, L. Wan, M. Wakazono, M. Yoshimura, "A test pattern matching method on BAST architecture using don't care identification for random pattern resistant faults" in Proc. of the 10th IEEE International Symposium on Communications and Information Technologies, pp. 738-743, 2010.
- [4] J. B. Clary and R. A. Sacane, "Self-Testing Computers," Computer, Vol. 12, No. 10, pp. 49-59, Oct, 1979,
- [5] P.H. Bardell, W.H. McAnney and J. Savir. Built-In Pseudo-Random Testing of Digital Circuits, chapter 8. John Wiley & Sons, New York, 1987.
- [6] R. Chandramouli, S. Pateras: Testing systems on a chip; IEEE Spectrum, Vol.33, No. 11, pp.42-47, November 1996.
- [7] Y. Zorian, E. J. Marinissen, S. Dey : Testing Embedded Core-Based System Chips; Proceedings IEEE International Test Conference, Washington, DC, pp.130-143, 1998.
- [8] J. Aerts, E. J. Marinissen: Scan Chain Design for Test Time Reduction in Core-Based ICs; Proceedings IEEE International Test Conference, Washington, DC, pp. 448-457, 1998.
- [9] B. Nadeau-Dostie: Design for At-Speed Test, Diagnosis and Measurement; Boston, Dordrecht, London: Kluwer Academic Publishers, 2000.
- [10] H. Bardell, W. H. McAnney: Parallel Pseudo-Random Sequences for Built-In Test, Proceedings of the IEEE International Test Conference (ITC), 1984, pp. 302-308, 1984.
- [11] H. Bardell, W. H. McAnney: Pseudo-Random Arrays for Built-In Tests, IEEE Transactions on Computers, Vol. C-35, No.7, 1986, pp. 653-658
- [12] H. Bardell, W. H. McAnney, J. Savir: Built-In Test for VLSI, Wiley-Interscience, New York, 1987.
- [13] G. Kiefer, H.-J. Wunderlich Using BIST Control for Pattern Generation; Proc. IEEE Int. Test Conf. Washington, DC, pp.347-355, November 1997.
- [14] A. Dolan, R. J. Wilson and J. Aldous, Networks and Algorithm: An Introductory Approach, John Wiley & Sons, 1994.