

スイッチング確率を用いた VLSI の経年劣化予測の評価

日大生産工 ○田中 まりか

日大生産工(院) 柏崎 智史

日大生産工 細川 利典

1 はじめに

近年、半導体製造技術の進歩に伴い、微小な遅延を引き起こす欠陥が増加している[1][2]。これらの欠陥の中には、製造された超大規模集積回路 (Very Large Scale Integrated-Circuits :VLSI)が出荷される際の製造テストでは、欠陥として検出されないが、出荷後のフィールド上で使用されていくうちに経年劣化を起こすか、または高温多湿など過酷な環境で VLSI が使用され続けた結果、経年劣化が更に進み、欠陥として現れる場合が存在する。このような、フィールド上での VLSI の欠陥の発生が重大な問題になっている[3]。そのため、出荷後のフィールド上でテストを行うフィールドテストが提案されている[4][5]。

一般に、経年劣化による微小遅延故障を検出するためには、パス遅延故障モデル[6]を対象に回路内のパスを網羅的にテストすることが理想的である。しかしながら、1)パス数は回路規模の指数乗に比例し、2)VLSI のフィールドテスト時間が限られているという理由から網羅的にパスをテストすることは困難である。それゆえ、テスト対象パスを選別する必要がある。そのための手法として、設計時に経年劣化を予測することによってフィールドテスト時のテスト対象パスを選択する方法が提案されている[7]。また、経年劣化を予測する方法には、論理シミュレーションを用いて負バイアス温度不安定 (Negative Bias Temperature Instability:NBTI) [9]を求める方法が提案されている[8]。論理シミュレーションでは複数のテストパターンを入力しているので、回路規模の増大とともに、NBTI の計算時間が増大する。そこで、本論文では計算時間の高速化の手法として、回路構造のみから、スイッチング確率を用いて NBTI による経年劣化時間を予測する方法を提案する。

本論文の構成は以下の通りである。2 章では、経年劣化について説明、3 章では、経年劣化予測方法について説明、4 章では遅延時間

の計算方法について説明し、5 章では、まとめを述べる。

2.経年劣化

VLSI の経年劣化の種類には、配線の遅延やトランジスタの劣化が考えられる[7]。配線の劣化による遅延の原因として、エレクトロマイグレーションやストレスマイグレーションがあげられる[9]。また、トランジスタの劣化の原因にはホットキャリア注入 (Hot Carrier Injection:HCI)[10]や NBTI、経時的絶縁破壊(Time Dependent Dielectric Breakdown:TDDDB)などが存在する。本論文では、NBTI を対象にする。

2.1 NBTI

NBTI とは、PMOS トランジスタの劣化現象の一つである[11]。PMOS トランジスタは、入力に負電圧が印加されると、オン状態になる。この状態が継続すると PMOS トランジスタの閾値電圧に変化が起こり、結果とし、トランジスタのスイッチング性能が低下する。

2.2 NBTI 劣化モデル

本論文では、文献[9]で提案されている NBTI の近似劣化モデルを使用する。式(1)に、NBTI の式を示す。

$$\Delta t = A * \alpha^n * t^n * t_0 \quad (1)$$

式(1)において、 Δt は NBTI によるゲート遅延増加量、 A は定数、 α は各 PMOS トランジスタのオン状態の時間比率、 t は回路の総使用時間(年)、 t_0 は非劣化時の遅延値(ns)である。 n は 0.16 程度で NBTI の特性を示す[8]。式(1)から、NBTI による遅延増加量は PMOS トランジスタのオン状態の比率に大きく依存する。定数 A は、ワーストケース ($\alpha=1$) のとき、10 年で PMOS トランジスタの遅延値が 20% 増加すると仮定して決定する。

Evaluation of VLSIs aging Degradation Estimate for used switching probability

Marika TANAKA, Satoshi KASHIWAZAKI and Toshinori HOSOKAWA

3. 経年劣化計算方法

NBTI の α の算出方法には、論理シミュレーションを用いた方法とスイッチング確率を用いた方法がある。3.1 で論理シミュレーションによる方法を説明し、3.2 では提案手法であるスイッチング確率を用いた方法を説明する。

3.1 論理シミュレーションによる計算

論理シミュレーションを用いた経年劣化予測方法には、文献[7]で用いられている経年劣化計算方法を用いる。

論理シミュレーションとは、回路にテストパターンを入力し、各信号線の値がどのようになるかというシミュレーションを行うことである。図 1 に、4 パターンを入力した場合の例を示す。NBTI の α を求める方法は、確率で PMOS トランジスタがオンになる確率を求め、論理シミュレーションを用いて求めた値がどのくらいの確率で 0 になるか、1 になるかを求め、その確率を NBTI の α に用いる。図 2 に図 1 のように 4 パターン入力した場合の確率の例を示す。計算方法は、AND の出力信号線では、論理シミュレーションの結果、4 回テストパターンを入力し、0 になった回数が 3 回、1 になった回数が 1 回なので、0 になる確率は $3/4$ になり、 $1/4$ となる。この手法を用いることによって、複数のテストパターンを入力するので、 α の値を厳密に求めることができるが、その分時間が増大する。

本論文で論理シミュレーションを用いて経年劣化予測を行う際には、信号線が 0 になる確率を NBTI の α に用いる。

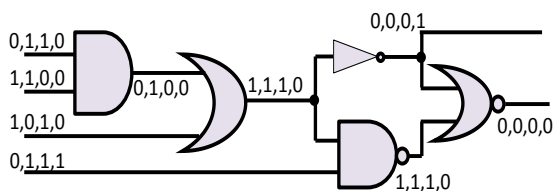


図 1. 論理シミュレーションの例

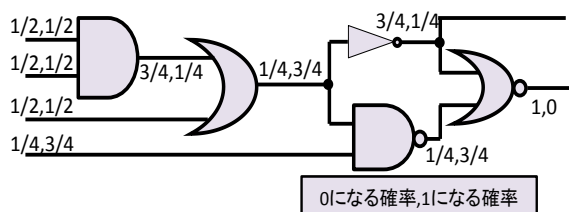


図 2. 論理シミュレーションを用いて確率を割当てた例

3.2 スイッチング確率による計算

スイッチング確率とは、信号線が 0 になる確率、1 になる確率のこと、それらをゲート内の各信号線に割当てる。外部入力、0 になる確率、1 になる確率が等確率なので、外部入力には $1/2$ を割当てる。表 1 に、各ゲートの毎の計算規則を示し、それらに則って計算した結果の例を図 3 に示す。表 1 で用いられる $C0a$, $C1a$ は、それぞれ信号線 a が 0 になる確率、信号線 a が 1 になる確率のことである。この手法を用いることによって、テストパターンを入力する必要がないので、論理シミュレーションよりも時間を短縮することが可能になるが、実際にテストパターンを入力しないので、求められる α の値が厳密ではなくなる。

本論文でスイッチング確率を用いて経年劣化予測を行う際には、信号線が 0 になる確率を NBTI の α に用いる。

$C0z=1-C1z$ $C1z=C1a*C1b$	$C0z=C0a*C0b$ $C1z=1-C0z$
$C0z=C0a*C0b$ $C1z=1-C0z$	$C0z=1-C1z$ $C1z=C1a*C1b$
$C0z=C0a$ $C1z=1-C0z$	$C0z=C1a$ $C1z=1-C0z$

図 3. 各ゲート毎の計算規則

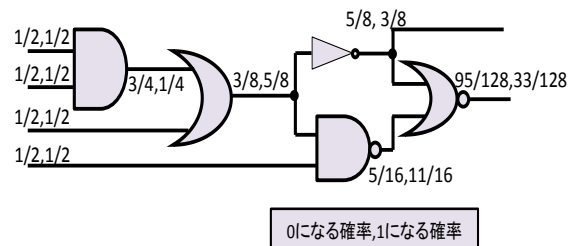


図 4. スイッチング確率の例

4.遅延時間計算方法

論理シミュレータを用いて経年劣化予測を行った場合とスイッチング確率を用いて経年劣化予測を行った場合の遅延値を比較する. その例を図 5, 図 6, 図 7, 表 1, 表 2, 表 3 を用いて説明する.

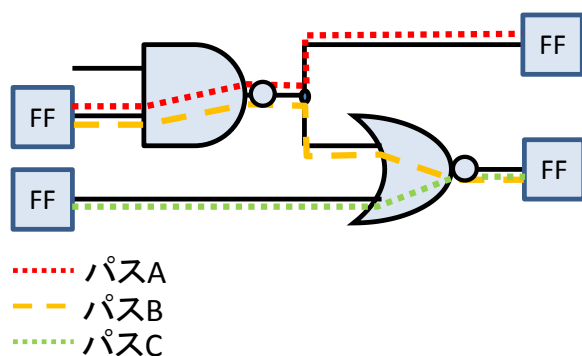


図 5.回路例

NAND ゲートを通過すると 0.4ns 遅延し, NOR ゲートを通過すると 0.3ns 遅延すると仮定すると, パス A は 0.4ns, パス B は 0.4ns+0.3ns で 0.7ns, パス C は 0.3ns 遅延する. その結果の例を表 1 に示す.

表 1.非劣化時の遅延値

パス名	遅延値
A	0.4ns
B	0.7ns
C	0.3ns

次に, 論理シミュレータを用いて NBTI の α の値を求めた例を図 6 に示す. 吹き出し内の数字は各 PMOS トランジスタの α の値である. この α を用いて NBTI を求めたところ, NAND ゲートでは $\Delta t = 0.08 \times 0.45^{0.16} \times 10^{0.16} \times 0.4 = 0.04 + \Delta t = 0.08 \times 0.4^{0.16} \times 10^{0.16} \times 0.4 = 0.03$ で 0.08ns, 同様に NOR ゲートでも NBTI を求めると, 0.04ns の経年劣化が発生した. よってパス A は 0.4ns+0.07ns で 0.47ns, パス B は 0.7ns+0.07ns+0.05ns で 0.82ns, パス C は 0.3ns+0.05ns で 0.35ns 遅延する. その結果の例を表 2 に示す.

これらの差分をとり, パス A では 0.07ns, パス B では 0.12ns, パス C では 0.05ns, 経年劣化が観測される.

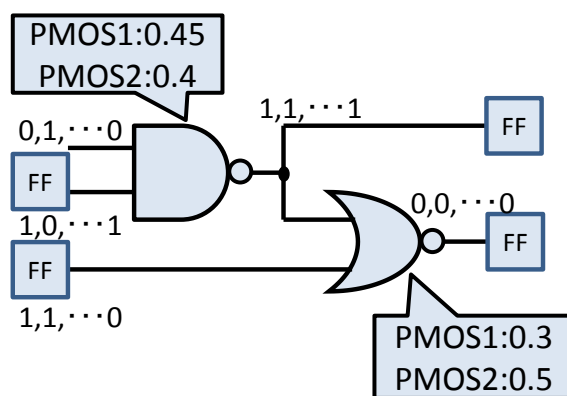


図 6. 論理シミュレータを用いた各 PMOS トランジスタの NBTI の α の値

表 2.論理シミュレータを用いた経年劣化時の遅延値

パス名	遅延値
A	0.47
B	0.82
C	0.35

次に, スイッチング確率を用いて NBTI の α の値を求めた例を図 7 に示す. 吹き出し内の数字は各 PMOS トランジスタの α の値である. この α を用いて NBTI を求めたところ, NAND ゲートでは $\Delta t = 0.08 \times 0.5^{0.16} \times 10^{0.16} \times 0.4 = 0.04 + \Delta t = 0.08 \times 0.5^{0.16} \times 10^{0.16} \times 0.4 = 0.04$ で 0.08ns, 同様に NOR ゲートでも NBTI を求めると 0.04ns の経年劣化が発生した. よって, パス A は 0.4ns+0.08ns で 0.48ns, パス B は 0.7ns+0.08ns+0.04ns で 0.82ns, パス C では 0.3ns+0.04ns で 0.34ns 遅延する. その結果の例を表 3 に示す.

これらの差分をとり, パス A では 0.08ns, パス B では 0.12ns, パス C では 0.04ns の経年劣化が観測される.

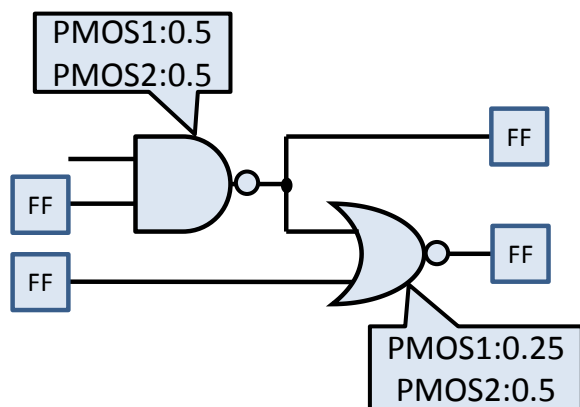


図 7: スイッチング確率を用いた各 PMOS トランジスタの NBTI の α の値

表 3. スイッチング確率を用いた経年劣化時の遅延値

パス名	遅延値
A	0.48
B	0.82
C	0.34

5. おわりに

本論文では、スイッチング確率を用いた VLSI の経年劣化予測方法の提案を行った。

今後は、基本ゲートだけではなく、今まで考慮されてこなかった複合ゲートも考慮して経年劣化予測を行う方法を提案する。

[参考文献]

- [1] S Mitra, E Volkerink, E.J McCluskey, S Eichender, "Delay defect screening using process monitor structures," Proceedings of 22nd IEEE VLSI Test Symposium 2004. pp 43-48, Sacramento, April 2004.
- [2] G Aldrich, B Cory, "Improving Test Quality and Reducing Escapes," Proc. Fabless Forum, Fabless Semiconductor Assoc, pp 34-35, 2003.
- [3] M. Yilmaz, K. Chakrabarty, M. Teranipour, "Test-pattern grading and pattern selection for small-delay defects," Proceedings of 26th IEEE VLSI Test Symposium, pp. 233-239, Los Alamitos, April 2008.
- [4] P.H. Bardel, W.H. McAnney, and J. Savir, : Built-in test for VLSI, John Wiley and S

ons, New York, 1987.

- [5] T. Hiraide, K.O. Boateng, H. Konishi, K. Itaya, M. Emori, H. Yamanaka, and T. Mochiyama, "BIST-aided scan test-A new method for test cost reduction," Proceedings of 21st IEEE VLSI Test Symposium, pp. 359-364, April 2003.
- [6] G.L. Smith, "Model for delay faults upon paths," Proceeding of the International Test Conference, pp. 342-349, 1985.
- [7] Mitsumasa Noda, Seiji Kajihara, Yasuo Sato, Kohei Miyase, Xiaoqing Wen, Yukiya Miura "On Estimation of NBTI-Induced Delay Degradation" pp107-111 2010.
- [8] Sarvesh Bhardwaj, Wenping Wang, Rakesh Vattikonda, Yu Cao, Sarma Vrudhula, "Predictive Modeling of the NBTI Effect for Reliable Design" IEEE 2006 Custom Integrated Circuits Conference (CICC), pp189-192 2006.
- [9] M. Pelgrom, A. Duinmaijer, A. Welbers, "Matching properties of MOS transistors," IEEE Journal of Solid state Circuit, Vol. 24, No. 5, pp 1433-1439, Oct 1989.
- [10] N. Kimizuka et al. "The impact of bias temperature instability for direct tunneling ultra-thin gate oxide on mosfet scaling. In VLSI Symp. On Tech.", pages 73-74, 1999.
- [11] 林将志, 中野真治, 和田哲明, "Cu 配線のエレクトロマイグレーション現象", REAJ 誌, vol. 25, no. 2, pp. 110-120, 2003.