

制御ポイント挿入による遷移故障テストパターン集合の ドントケアビット数の評価

日大生産工（院）○高橋 明彦 日大生産工 細川 利典
九大 吉村 正義

1. はじめに

近年、半導体集積技術の進歩に伴い、大規模集積回路(LSI: Large Scale Integrated Circuits)が大規模化、高集積化している。そのためテストパターン生成には自動テストパターン生成(ATPG: Auto Test Pattern Generation)が用いられている。しかしながら、順序回路のテストパターン生成は困難な問題であり、フルスキャン設計[1][2]に代表されるテスト容易化設計が用いられている。

LSI の大規模化に伴い回路内のゲート数が増加し、それに比例してテストパターン数も増加している[3]。また、縮退故障モデルのみでは検出することが困難なタイミング遅延を伴う欠陥も増加しており、縮退故障の検出に加えて遷移故障[4]の検出が重要となっている。

テストパターン数が増加することによりテストのメモリがオーバーフローする問題があげられ、テストパターン数の削減課題が重要となっている。テストパターン数増加の問題を解決するための手法として、テストポイント挿入によりテスト圧縮率を高める手法が提案されている[5][6][7][8][9][10]。回路内部の信号線にテストポイントが挿入された場合、その信号線は可制御かつ可観測となり疑似外部入出力として扱うことが可能になる。回路内にテストポイント挿入することにより、外部入出力数とテスト集合中のドントケア数(X: don't care)が増加し、テスト圧縮の効率が高くなると考えられる。その結果テストパターン数が削減できると考えられている。

文献[5][6][7][8][9][10]のテストポイント挿入箇所探索アルゴリズムは、縮退故障に対してテスト圧縮の原理と、回路構造のみに着目し、回路構造上テスト圧縮困難であると予測される箇所にテストポイント挿入を行い、テストパターン数の削減を図っている。また文献[8][11][12]では遷移故障に対するテストポイント挿入箇所探索アルゴリズムが提案されている。

遷移故障のテストは 2 パターンテストとよばれる。信号線における値の遷移の遅延を検出するために、変化前の信号線値を設定するテストパターンと変化後の信号線値を確認するテストパターンを連続して印加し、故障の影響を観測するフリップフロップ(FF: Flip-Flop)まで伝搬する必要がある。したがって、内部の信号線に観測ポイントを挿入することは困難である。よって本論文では制御ポイントのみを用いる。

本論文では、文献[13][14]で用いられている制御ポイントの構造を利用し、制御ポイントを挿入することによる遷移故障を対象としたテストパターンドントケア数の評価を行う。2 章では遷移故障と遷移故障を検出するテスト方法について説明する。3 章ではテストポイント挿入技術について説明し、4 章では提案手法であるテストパターンのドントケア数増加のための制御ポイント挿入について説明する。5 章で本論文についてまとめる。

2. 遷移故障テスト方法

2.1 遷移故障

遷移故障とは、論理ゲートの 1 つの信号線に遅延が発生する故障である。0 から 1 に遷移する立ち上がり遷移故障(R 故障: slow-to-rise fault)と 1 から 0 に遷移する立ち下がり遷移故障(F 故障: slow-to-fall fault)の 2 種類の故障が存在する。図 1 に立ち上がり遷移故障の例を示す。

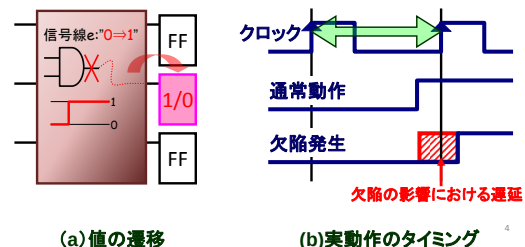


図 1. 立ち上がり遷移故障(R 故障)

Evaluation for the Number of Don't Care Bits in a Transition Fault Test Pattern Set Using Control Point Insertions

Akihiko TAKAHASHI, Toshinori HOSOKAWA, and Masayoshi YOSHIMURA

図 1(b)の上からクロック周期, FF 上で通常動作の値の遷移が起こるタイミング, FF 上で欠陥が発生した場合での値の遷移が起こるタイミングの波形をそれぞれ表している. また, 矢印間には実動作でのタイミングを表し, 斜線部分は欠陥の影響における遅延を表している. 通常動作では 1 が FF に取り込まれるのに対して欠陥が発生すると欠陥の影響により遅延が発生し FF には 0 が取り込まれる. このような故障を立ち上がり遅延故障と呼び, 立ち下がり遅延故障ではこの事象と逆の事象が発生する.

2.2.2 パターンテスト(ブロードサイド方式)

遷移故障を検出するためには, 2 つのテストパターンが必要となる. 遷移故障検出法である 2 パターンテストを用いた実速度スキャンテスト法としてブロードサイド方式がある[14]. 図 2 に 2 パターンテスト(ブロードサイド方式)において R 故障の検出方法の例を示す.

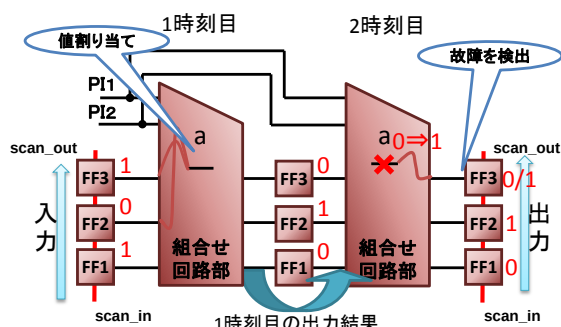


図 2. 2 パターンテスト(ブロードサイド方式)

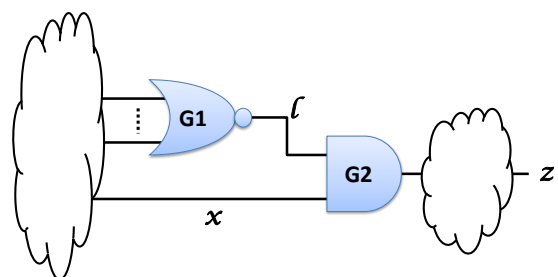
ブロードサイド方式では, フルスキャン設計された回路に対してテストされる. 1 パターン目においてシフト動作によりテストパターンが印加される. 2 パターン目は 1 パターン目の回路応答がテストパターンとなる. 図 2 にスキャン FF が 3 個(FF1, FF2, FF3)からなる順序回路において信号線 a に R 故障が発生していると仮定する. まず始めに信号線 a に 0 を割当て可能なテストパターンを 1 パターン目に印加する. 例では, (FF1, FF2, FF3)=(1, 0, 1)とテストパターンを印加する. 次に 1 パターン目の回路応答を FF に取り込むことにより 2 パターン目のテストパターンとなり, 各 FF は(FF1, FF2, FF3)=(0, 1, 0)となる. これより信号線 a での値の遷移が起こり, な

おかつ FF2 により故障影響を観測することが可能となる.

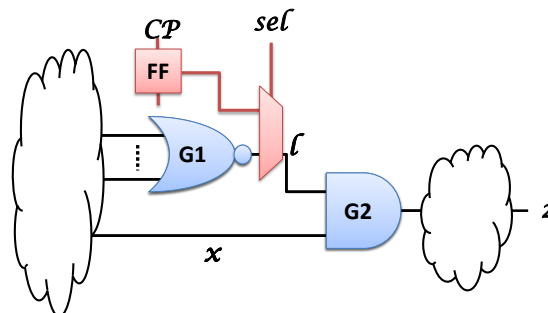
3. テストポイント挿入技術

テストポイントとは, テスト対象回路の内部信号線に対して論理回路を付加することである. 主にテスト対象回路の可制御性または可観測性を向上させる働きを持つ. テストポイントが挿入された内部信号線は, 外部入力またはスキャン FF で直接値を設定することが可能であり, 外部出力またはスキャン FF で直接値を観測することが可能である. 以上よりテストポイント挿入ということは, 内部信号線値を可制御・可観測[15]にするものとして回路の内部信号線を疑似的に外部入出力として扱うことを可能にする.

テストポイントには制御ポイント, 観測ポイント, 制御・観測の両方の機能をあわせ持つテストポイントの 3 種類が存在する. 制御ポイントとは内部信号線の可制御費[15]を向上させるためにテスト対象回路に疑似的に外部入力を付加するものである. 観測ポイントとは内部信号線の可観測費[15]を向上させるためにテスト対象回路に疑似的に外部出力を付加するものである. 図 3 に制御ポイント挿入例を示す.



(a)挿入前



(b)挿入後

図 3. 制御ポイント挿入例

本論文では, 遷移故障を検出するテストパターンのドントケア数の増加を目的としており, 制御ポイント挿入により, 2 パターン目の FF の値を 1 パターン目で生成する負荷を減らすことにより, ドントケア数の増加を目指す。

図 3 に制御ポイント挿入前後の回路例を示す。図 3(a)は制御ポイント挿入前の回路を示し, 図 3(b)は制御ポイント挿入後の回路を示している。図 3(a)において信号線 x に故障の影響が伝搬していると仮定する。故障の影響を外部出力 z に伝搬させるためには, 信号線 l に 1 を設定する必要がある。しかし, G1 ゲートは多入力の NOR ゲートであり信号線 l に 1 を設定するには多くの外部入力値にケアビットを割当てる可能性が高くなるため, 信号線 l に制御ポイントを挿入する。制御ポイントは, マルチプレクサとスキャン FF を元の回路に付加することで実現できる。制御ポイントを挿入することによりスキャン FF に 1 を設定し, マルチプレクサの sel を 0 に制御することにより信号線 l の値を容易に 1 に制御することが可能となる。したがって, 信号線 x の故障影響を外部出力 z で観測することも容易となる。

4. ドントケア数増加のための制御ポイント挿入

制御ポイントをブロードサイド方式に挿入する利点としてテストパターン中のドントケア数が増加することがあげられる。本手法ではスキャン FF の前に制御ポイントを挿入することにより 1 時刻目のケアビット割当ての削減を目指す。文献[13]でも同じスキャン FF 前に挿入するが, 1 時刻目にのみ対してのみドントケア抽出[16]を行うのに対し, 本手法では 2 時刻目にもドントケア抽出を行う。

図 4 に制御ポイント挿入前の遷移故障用テストパターン例を示す。図 5 に制御ポイント挿入によるドントケアビット増加の例を示す。

ある信号線の R 故障を検出するためには, 1 パターン目で 0 を割当て, 2 パターン目で 0 縮退故障を検出するようなテストパターン印加する必要がある。このとき, 0 を割当てたため値を割当てたスキャン FF (FF2, FF3, FF4) が値の影響を受けている。また 0 縮退故障を検出するために FF2, FF3, FF5 は 1 パターン目から値の影響を受けている。図 5 の例では, FF2 は FF1, FF3 は FF4, FF5 は FF4, FF5, FF6 から値の影響

を受けていると仮定する。このとき, 1 パターン目のスキャン FF から独立して値の影響を多く受けているスキャン FF に制御ポイントを挿入する (図 5 の例では FF5) ことにより, スキャン FF の値の影響を緩和し, 値の影響を及ぼしていた 1 パターン目のテストパターンのケアビット (図 5 の例では FF5, FF6) をドントケアにすることが可能となる。

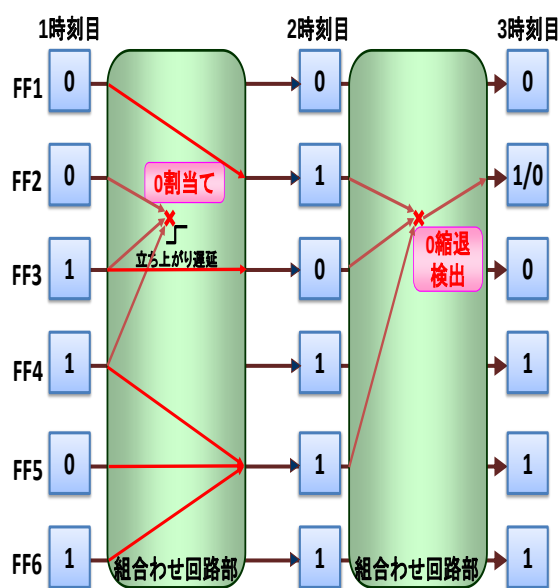


図 4. 制御ポイント挿入前

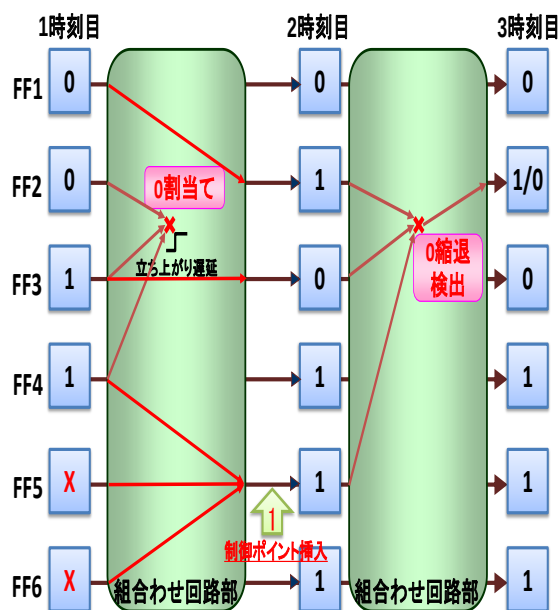


図 5. 制御ポイント挿入後

5. おわりに

制御ポイント挿入を行うことによる遷移故障用テストパターン数のドントケア数の評価を行った。今後の予定としては、テストパターン圧縮を行い、テストパターン数の評価、テストパターン圧縮のための制御ポイント挿入アルゴリズムの提案を行う。

参考文献

- [1] H.Fujiwara, Logic Testing and Design for Testability, The MIT Press,1985.
- [2] M Abramovici, M.A.Breuer and A.D.Frindman, Digital Systems Testing and Testable Design, Computer Science Press, 1990.
- [3] International Technology Roadmap for Semiconductors 1999 Edition, Semiconductor Industry Association, 2005.
- [4] A.Krstic and K.-T.Cheng, “Delay Fault Testing for VLSI Circuits”, Kluwer Academic Publishers, 1998.
- [5] Chih-chang Lin, Marek-Sadowska, Kwang-Ting Cheng and Mike Tien-Chien Lee, “Test Point Insertion:Scan Paths through Combinational Logic”, 33rd Design Automation Conference, 1996.
- [6] M.J.Geuzebroek, J.Th.van der Linden and A.J.van de Goor, ”Test Point Insertion for Compact Test Sets”, Pros. Int. Test Conf., PP. 292-301, 2000.
- [7] I.Pmeranz and S.M. Reddy, “Test-Point Insertion to Enhance Test Compaction for Scan Designs”, Dependable Systems and Networks, PP. 375-381, June 2000.
- [8] M.J.Geuzebroek, J.Th.van der Linden and A.J.van de Goor, ”Test Point Insertion that facilitates ATPG in reducing test time and data volume”, Pros. Int. Test Conf., PP. 138-147,2002.
- [9] 吉村正義, 細川利典, 大田光保, “テストパターン数削減指向テストポイント挿入方法”, 信学論, vol. J86-D-I, no. 12, PP. 884-896, 2003.
- [10] Santiago Remersaro, Janusz Rajski, Thomas Rinderknecht, Sudhakar, M. Reddy and Irith Pomeanz, “ATPG Heuristics Dependant Observation Point Insertion or Enhanced Compaction and Data Volume Reduction”, IEEE International Symposium on Defect and Fault Tolerance of VLSI Systems, 2008.
- [11]Seongmoon Wang and Srimat T. Chakradhar, “A Scalable Scan-Path Test Point Insertion Technique to Enhance Delay Fault Coverage for Standard Scan Designs”, IEEE Transactions on Ransactions on Computer-Aided Design of Integrated Circuits And Systems,vol.25, No.8, August 2006.
- [12]Kedarnath J. Balakrishnan and Lei Fang, “RTL Test Point Insertion to Reduce Delay Test Volume”, IEEE VLSI Test Symposium, 2007.
- [13]湯本仁高, 細川利典, 吉村 正義, “遷移故障テスト圧縮指向制御ポイント挿入法”, 電子情報通信学会技術研究報告, PP., 45-50, 2010.
- [14]J. Savir and S. Patil “On Broad-Side Delay Test” VLSI Test Symposium., pp.284-290 Sept. 1994.
- [15]L.H.Goldstain,“Controllability/Observability analysis of digital circuits,”IEEE Trans. Circuits Syst., bol.CAS-26, no.9, pp.685-693,Step.1979.
- [16]Kohei Miyase, Kenji Noda, Hideaki Ito, Kazumi Hatayama, Takashi Aikyo, Yuta Yamato, Hiroshi Furukawa, Xiaoqing Wen, Seiji Kajihara”Effective IR-Drop Reduction in At-Speed Scan Testing Using Distribution-Controlling X-Identification” IEEE/ACM International Conference on Computer-Aided Design pp52-58.2008.