

故障-外部出力ペアテストパターンのケアビット分布解析

日大生産工(学部) ○楠山 友紀乃 日大生産工 細川 利典
九大 吉村 正義

1. はじめに

近年、半導体微細化技術の進歩に伴い、大規模集積回路 (Large Scale Integrated circuits: LSI) が大規模化・複雑化している。それに伴い、テストでテストする際の時間と、テストに記憶させるテストパターンのデータ量が増加し、テストコストが増大するという問題が発生している[1]。テストコストはテストパターン数と比例関係にあり、テストパターン数を削減することにより、テストコストの削減が期待できる。

小規模の回路では、最小のテスト集合を得るアルゴリズム[2]が提案されている。しかしながら、文献[2]の方法は中規模以上の回路においては計算量が膨大であり、現実的な計算時間での適用は困難である。そこでテストパターン数の増大を解決する手法としてテスト圧縮[3]が存在する。文献[3]は、テスト圧縮(動的+静的)の性能としては世界トップレベルである。文献[4]では、2重検出法[3]、ドントケア(X)抽出[5]、及び頂上彩色問題の解法[6][7]を用いた静的テスト圧縮法が提案されている。これらの文献によって効率の良いテスト圧縮法が提案されている。圧縮されたテストパターン数は初期テスト集合に依存する。よって、テストパターン数をさらに削減するために、テストパターンの再生成が必要になる。そのため文献[3]では two by one が提案されているが、中規模以上の回路に適用すると計算時間が増加し、大規模回路への適用は困難である。

大規模回路に適用するために、two by one のように時間をかけずにテスト圧縮に適したテスト集合を生成するため、故障を検出する外部出力に着目してテストパターン中のケアビットの分布を評価し解析する。本稿では、故障検出外部出力ごとのテストパターンのケアビ

ット分布解析を行う。故障は組合せ単一縮退故障[8]を対象とする。

2. ケアビット分布解析

自動テストパターン生成で X 抽出を行い、0, 1, X(ドントケア)の 3 値から構成されるテストパターンを生成する。このとき外部入力に 1 または 0 の割当てがされたビットをケアビット、外部入力に値が割当てされていないビットをドントケアビットと呼ぶ。このケアビットの値が故障検出に必要な値となる。ドントケアビットには、自由に論理値 0 または 1 を割当てることができる。

テストパターンを圧縮する際、テストパターン中のドントケアに 0 または 1 を割当てることによりテスト圧縮を行う手法がある[3]。各テストパターンのケアビット箇所が分散していると圧縮効率が良くなると考えられる[9]ので、テスト圧縮率はテストパターンのケアビット箇所に依存するといえる[10]。よって、ケアビット分布を解析することにより、より圧縮しやすい初期テストパターン集合の生成を図る。

3. 故障-外部出力ペアテストパターン

本稿では、故障-外部出力ペア[11]に対するテストパターンのケアビット分布解析を行う。故障検出はある故障が一つ以上の外部出力で検出されれば良い。一方故障-外部出力ペアでは故障と一つの外部出力をペアとして、ある故障を検出する外部出力が決定されている。故障とペアになる、その故障を検出するものとして指定する外部出力を故障検出外部出力と呼ぶ。

図 1 に故障検出外部出力の例を示す。図 1 において、対象回路中の故障 f を検出する可能性がある外部出力は、f から到達可能である po1, po2, である。

The Care Bit Distribution Analysis

of Fault - Primary Output Pair Test Patterns

Yukino KUSUYAMA, Tosinori HOSOKAWA and Masayosi YOSIMURA

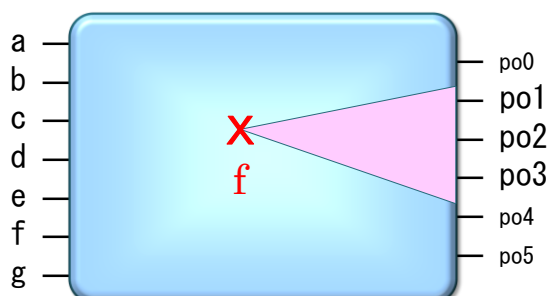


図 1. 故障検出外部出力

各故障検出外部出力へ影響する信号線を探査し、影響する信号線のみで部分回路でテスト生成を実行する。テスト生成をして得られた故障検出外部出力へ目標故障の影響を伝搬するテストパターンを故障-外部出力ペアテストパターンと呼ぶ。

図 2 に故障検出外部出力への影響の例を示す。図 2 において故障検出外部出力 po1, po2, po3 に影響する外部入力それぞれ<b,c,d,e>, <a,b,c,d>, <b,c,d,e,f>であることを示す。

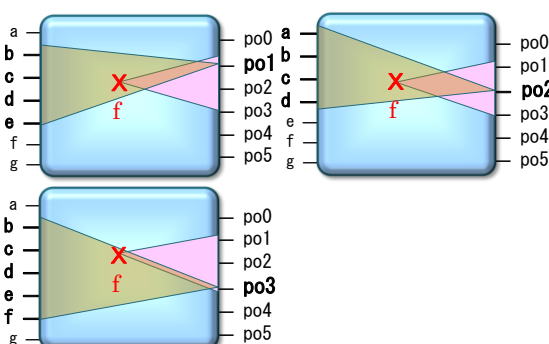


図 2. 故障検出外部出力への影響例

故障-外部出力ペア $fpo1$ (故障 f , 外部出力 $po1$)のテストパターンのケアビット解析例を図 3 に示す。図 3 では故障検出外部出力 $po1$ に影響する信号線のみでテストパターンを生成している。 $po1$ に影響する外部入力は b, c, d, e の 4 本であり、それ以外の外部入力(a, f, g)はすべてドントケアとなる。この例ではテストパターン $\langle bcde \rangle = \langle 0X0X \rangle$, $\langle 00X1 \rangle$, $\langle 1XX1 \rangle \dots$ を生成している。0 または 1 が割当てられているビットがケアビットである。

故障-外部出力ペアテストパターンのケアビット解析を行うことによって故障検出外部出力ごとにケアビット分布がどのように変化するかを調べることができる。

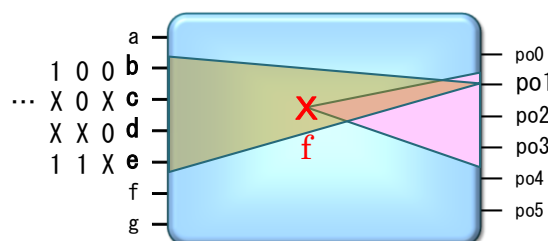


図 3. 故障-外部出力ペアテストパターンのケアビット解析例

4. ケアビット分布解析のアルゴリズム

図 4 に 1 故障のケアビット分布解析のアルゴリズムを示す。ケアビット分布解析では、充足可能性問題を用いたテスト生成アルゴリズム(ATPG) [12][13][14]と X 抽出[5]を使用した。

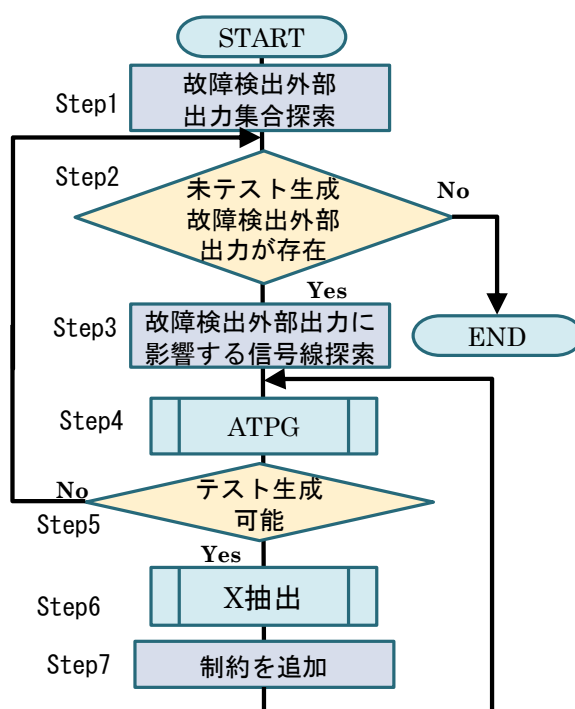


図 4. 指定された故障のテストパターンのケアビット分布解析のアルゴリズム

(Step1)

読み込んだテスト生成対象回路データと指定された縮退故障から、故障検出外部出力集合を探査する。

(Step2)

まだテスト生成していない故障検出外部出力が存在しているならば Step3 へ進み、それ以外の場合は終了する。

(Step3)

まだテスト生成していない故障検出外部出力を選択し、その故障検出外部出力に影響する信号線を探索する。

(Step4)

Step3 で探索した故障検出外部出力に影響する信号線の回路データを ATPG に読み込ませ、テスト生成可能か否かを判定し、テスト生成可能ならば、0,1 のテストパターンを生成する。

(Step5)

Step4 の結果がテスト生成可能ならば Step6 へ進み、テスト生成可能でないならば Step2 へ進む。

(Step6)

Step4 で生成した 0,1 のテストパターンを X 抽出し、0,1,X のテストパターンを生成する。

(Step7)

Step6 で X 抽出した結果以外のテストパターンを生成するよう、ATPG に制約を追加し、Step4 へ進む。

5. 実験結果

故障-外部出力ペアテストパターンのケアビット解析を実装し、実験を行った。実験環境は、CPU は Core2 Duo(1.80GHz)、メモリは 2GB、OS は windows XP である。開発言語は C 言語を用いた。実験では ISCAS89 ベンチマーク回路を組合せ回路化したものを使用した。

表 1 は s27 回路サンプリングした故障についてケアビット分布を解析するため、対象の故障-外部出力ペアで生成されたテストパターン数と各外部入力に割当てられたケアビット数を表にしたものである。表で X と書かれている箇所は故障検出外部出力に影響しない外部入力である。0 と書かれている箇所は故障検出外部出力に影響はするが、X 抽出の結果一つもケアビットが割当てられなかった外部入力である。たとえば表 1 で故障-外部出力ペア(G9 の 1 縮退故障-G10)のように故障検出外部出力に影響する外部入力は 6 本あるが、実際に故障を検出するために値の割当てが必要な外部入力は 4 本だけでいい場合がある。ただし、ある故障-外部出力ペアで生成されたテストパターンの数である生成 TP 数が 0 となっているものは、その故障はその外部出力で検出できないということを表している。

表 1. s27 回路のケアビット分布解析

故障	検出出力	入力信号線							生成 TP 数
		G7	G6	G5	G3	G2	G1	G0	
G6 0縮退	G11	3	5	5	5	X	3	5	5
	G10	0	0	0	0	X	0	0	0
	G17	3	5	5	5	X	3	5	5
G6 1縮退	G11	3	5	5	5	X	3	5	5
	G10	0	0	0	0	X	0	0	0
	G17	3	5	5	5	X	3	5	5
G8 0縮退	G11	3	5	5	5	X	3	5	5
	G10	0	0	0	0	X	0	0	0
	G17	3	5	5	5	X	3	5	5
G8 1縮退	G11	6	5	10	10	X	6	5	10
	G10	3	0	5	5	X	3	5	5
	G17	6	5	10	10	X	6	5	10
G9 0縮退	G11	2	3	6	2	X	2	3	6
	G10	1	0	3	1	X	1	3	3
	G17	2	3	6	2	X	2	3	6
G9 1縮退	G11	2	2	3	1	X	2	2	3
	G10	1	0	1	1	X	1	0	1
	G17	2	2	3	1	X	2	2	3
G12 0縮退	G13	1	X	X	X	1	1	X	1
	G11	2	1	2	2	X	2	1	2
	G10	1	0	1	1	X	1	1	1
G12 1縮退	G17	2	1	2	2	X	2	1	2
	G13	1	X	X	X	2	1	X	2
	G11	2	2	4	4	X	2	2	4
	G10	1	0	2	2	X	1	2	2
	G17	2	2	4	4	X	2	2	4

表 2 は s27 回路の、表 3 は s208 回路の全縮退故障に対するケアビット分布解析の結果から、出力信号線ごとの入力信号線ケアビット割当て率を表にしたものである。入力信号線ケアビット割当て率(%)は、対象の外部出力で検出可能である故障-外部出力ペアで（各外部入力に割当てられたケアビット数の合計）/（生成されたテストパターン数の合計）×100 で計算した。表で X と書かれている箇所は故障検出外部出力に影響しない外部入力である。表から s27 回路の入力信号線 G2 や s208 回路の入力信号線 Y_8,C_8,C_7,C_6,C_5,C_4,C_3,C_2,C_1,C_0 のケアビット割当て率が低いことがわかる。結果からケアビット割当て率が低い入力信号線に優先的にケアビットを割当るようにテスト生成をすることによって、圧縮効率が良いケアビット箇所が分散しているテストパターン集合が生成できると考えられる。

6. おわりに

本稿では、故障-外部出力ペアテストパターンのケアビット分布解析を行うための実装をし、解析実験を行った。実験結果から、同じ故障に対して検出外部出力によってケアビ

ットの分布に違いが出ることが分かった. 今後は他の ITC'99 ベンチマーク回路で解析を行う. さらに解析で得られたケアビット分布を利用した圧縮効率のよい初期テストパターンの生成とその評価を行う予定である.

「参考文献」

- 1) Y.Sato, T.Ikeda, M.Nakao, and T.Nagumo, "A bist approach for very deep sub-micron (vds) defect," Proc. International Test Conference, pp. 283291, 2000.
- 2) Y.Matsunaga, "MINT-An exact algorithm for finding minimum test set", IEICE Trans. Fundamentals vol.E76-A, pp1652-1658 (1993)
- 3) Seiji Kajihara, Irith Pomeranz, Kozo Kinoshita, "Cost-Effective Generation of Minimal Test Sets for Stuck-at Faults in Combinational Logic Circuits" IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, Vol. 14, No 12, DECEMBER 1995
- 4) Kohei Miyase, Seiji Kajihara, Sudhakar M. Reddy, "A Method of Static Test Compaction Based on Don't Care Identification," IPSJ journal, Vol.43, No 5, pp.1290-1293, May 2002
- 5) K. Miyase, S. Kajihara, "XID: Don't Care Identification of Test Patterns for Combinational Circuits," IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol. 23, No. 2, pp. 321-326, Fed. 2004.
- 6) 八木澤圭, "テストパターンの静的圧縮における厳密解と貪欲解の比較" IEICE Technical Report DC2007-79, 2008
- 7) D.Brelaz, "New methods to color the vertices of a graph", Communications of the ACM, 22, pp.251-256, 1979

- 8) 藤原秀雄, "デジタルシステムの設計とテスト", 工学図書株式会社 (2004)
- 9) Rafamani Sethuram, Seongmoon Wang, Srimat T. Chakradhar, Michael L. Bushnell, "Zero Cost Test Point Insertion Technique to Reduce Test Set Size and Test Generation Time for Structured ASICs," Proc. Asian Test Symposium, pp. 339-346, 2006.
- 10) 若園大洋, 細川利典, 吉村正義, "テスト圧縮指向ドントケア抽出法", 電子情報通信学会 (2009.12.4)
- 11) I.Park, A.AI-Yamni, and E.J.McCluskey, "Effective TARO pattern generation," Proc. 23rd VLSI Test Symposium, pp.161-166, April 2005.
- 12) Tracy Larrabee : Test Pattern Generation Using Boolean Satisfiability, IEEE TRANSACTION ON COMPUTER-AIDED DESIGN, VOL.11, No.1, pp. 4-15, 1992
- 13) Paul Stephan, Robert K.Brayton, and Alberto L.Sangiovanni-Vincentelli : Combinational Test Generation Using Satisfiability, IEEE TRANSACTION ON COMPUTER-AIDED DESIGN, VOL.15, No.9, pp. 1167-1176, 1996.
- 14) Paul Tafertshofer, Andreas Ganz : SAT Based ATPG Using Fast Justification and Propagation in the Implication Graph, IEEE/ACM international conference on Computer-aided design, pp. 139-146, Nov, 1999.

表 2. s27 回路の出力信号線ごとの入力信号線ケアビット割当て率

検出出力	入力信号線ケアビット割当て率(%)							検出可故障数
	G7	G6	G5	G3	G2	G1	G0	
G10	51	28	67	65	X	51	91	43
G11	62	71	95	82	X	62	71	34
G13	67	X	X	X	94	67	X	12
G17	59	68	88	75	X	59	68	38
平均	60	42	63	56	24	60	57	

表 3. s 208 回路の出力信号線ごとの入力信号線ケアビット割当て率

検出出力	入力信号線ケアビット割当て率(%)																			検出可故障数
	Y 8	Y 7	Y 6	Y 5	Y 4	Y 3	Y 2	Y 1	x	Clear	C 8	C 7	C 6	C 5	C 4	C 3	C 2	C 1	C 0	
II155	63	68	76	86	71	69	68	68	X	72	X	X	X	X	X	X	X	X	X	100
II156	X	63	72	87	87	86	84	84	X	89	X	X	X	X	X	X	X	X	X	86
II157	X	X	59	92	87	85	83	83	X	89	X	X	X	X	X	X	X	X	X	74
II158	X	X	X	95	89	87	84	84	X	92	X	X	X	X	X	X	X	X	X	52
II3	X	X	X	X	70	75	77	82	90	90	X	X	X	X	X	X	X	X	X	72
II4	X	X	X	X	X	79	76	83	87	87	X	X	X	X	X	X	X	X	X	58
II5	X	X	X	X	X	X	65	90	86	86	X	X	X	X	X	X	X	X	X	46
II6	X	X	X	X	X	X	X	92	87	87	X	X	X	X	X	X	X	X	X	24
W	98	93	89	89	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	32
Z	23	46	52	62	72	80	88	93	78	X	23	21	19	18	19	18	18	18	92	184
平均	18	27	35	51	48	56	62	76	43	69	2.3	2.1	1.9	1.8	1.9	1.8	1.8	1.8	9.2	