

最小個テスト集合の検出故障及びケアビット分布の解析

日大生産工(院)
九大

○山崎 達也
吉村 正義

日大生産工
明大

細川 利典
山崎 浩二

1. はじめに

近年、半導体微細化技術の進歩のため、大規模集積回路(Large Scale Integrated circuits : LSI)が大規模化、複雑化し、かつ故障モデルの多様化に伴い、テストコストの増加が問題となっている[1]。テストコストはテストパターン数と比例関係にあるため、テスト品質を落とさずにテストパターン数を削減するテスト圧縮を用いることにより、テストコストの削減が期待できる。

小規模回路では、ほぼ最小のテスト集合を得る静的圧縮[2][3]と動的圧縮[2][3]を適用したアルゴリズム[2]が提案されている。しかしながら、大規模回路では最小のテスト集合を得るための計算量が多く、現実的な計算時間で適用は困難である。

そこで大規模回路に適用可能な手法として、文献[4]では、自動テストパターン生成ツール(Aut-o Test Pattern Generation : ATPG)が生成した初期テスト集合に対しドントケア抽出[5]、頂点彩色問題を用いた極小解圧縮[6][7]、2重検出法[2]を繰り返し行う静的圧縮手法が提案されている。しかしながら、[4]の手法では、初期テスト集合に対して静的圧縮を行うため、テスト圧縮効率が初期テスト集合に依存する。したがって、初期テスト集合にテスト圧縮に非効率的なテストパターンが存在し、テストパターン数削減の妨げになる可能性があり、最終テスト集合のテストパターン数の増加につながる。よって、初期テスト集合の圧縮に非効率的なテストパターンを、圧縮に効率の良いテストパターンに再生成する、または、圧縮に効率の良い初期テスト集合を生成することにより、テストパターン数が削減されると考えられる。テストパターン再生成法として、Two-by-One

アルゴリズム[2]が提案されているが、最大独立故障集合[2]を求める必要があるため、大規模回路では、計算時間が多大なため適用が困難である。また、圧縮に効率の良い初期テスト集合を生成する手法として、圧縮の効率を図るテストパターン生成法として、ドントケア故障シミュレーションを用いた動的圧縮[8]が挙げられる。しかしながら、テスト生成時に圧縮バッファ[8]内のテストパターンとのテスト圧縮容易性を考慮していないため、圧縮バッファに格納されるテストパターンのケアビット位置が偏る可能性があり、圧縮の効率を下げる可能性がある。本研究では、動的圧縮中のテスト生成する対象故障を選択する際、圧縮バッファに格納された、テストパターンのケアビットを考慮し、テスト生成を行うようなテスト圧縮指向テスト生成法を提案することを最終的な目標とする。

本論文では、テスト圧縮指向テスト生成法を提案するための前段階として MCNC'91 ベンチマーク回路の入力数とフリップフロップ(F F)数の合計が 6 以下の回路において、最小個テスト集合を生成し、それらのテストパターンが検出している故障に対するケアビットを考察する。

2. テスト圧縮指向テスト生成

テスト圧縮指向テスト生成とは、テスト圧縮を考慮したテスト生成法である。動的テスト圧縮において、圧縮バッファ[8]に格納されるテストパターンに対し、検出故障やケアビットの位置を考慮しテスト生成を行う。図 1 にテスト圧縮指向テスト生成の全体フローチャートを示す。

Analysis of detect faults and care bit distribution
on a minimum test set

Tatsuya YAMAZAKI, Toshinori HOSOKAWA
Masayoshi YOSHIMURA, and Koji YAMAZAKI

(step 1)

テスト圧縮指向テスト生成を行う。詳細は図2に示す。

(step 2)

テスト圧縮指向テスト生成で生成されたテストパターンを圧縮バッファに格納する。

(step 3)

圧縮バッファ内のテストパターンに対しテスト圧縮を行う。詳細は図3に示す。

(step 4)

全故障検出済みかを確認する。検出済みなら終了し、まだ、未検出故障が存在するならstep1に戻る。

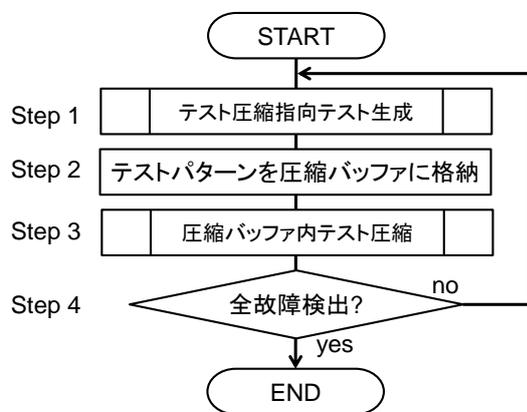


図 1.テスト圧縮指向テスト生成全体フローチャート

図2にテスト圧縮指向テスト生成のテスト生成部のフローチャートを示す。

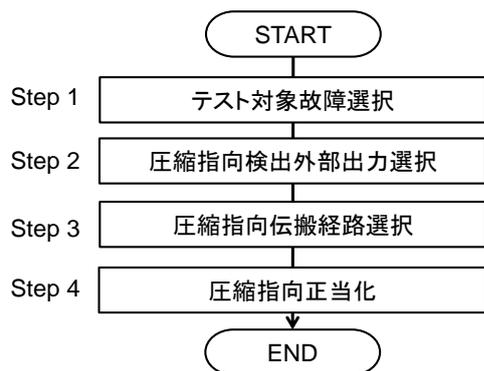


図 2.テスト圧縮指向テスト生成テスト生成部フローチャート

(step 1)

テスト対象故障選択を行う。圧縮バッファ内のテストパターンの検出故障情報とケアビット分布を基に、圧縮の効率のよりテストパター

ンが生成されやすい故障を選択する。

(step 2)

テスト対象故障の検出可能外部出力を評価する。圧縮バッファ内のテストパターンと圧縮が容易なテストパターンが生成可能な検出外部出力を選択する。

(step 3)

テスト生成時に、故障伝搬経路を検査し、その各経路の影響範囲を調査する。生成されるテストパターンのケアビット分布を考慮した故障伝搬経路を選択する。

(step 4)

テスト生成正当化時に、圧縮バッファ内のテストパターンのケアビット分布を考慮し、ケアビットが特定入力に集中しないような正当化を行う。

図3にテスト圧縮指向テスト生成のテスト圧縮部のフローチャートを示す。

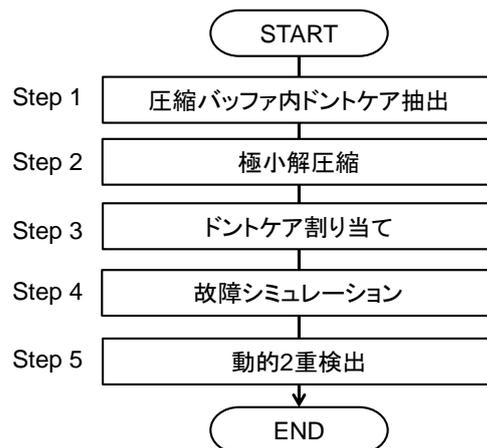


図 3.テスト圧縮指向テスト生成テスト圧縮部フローチャート

(step 1)

圧縮バッファ内のテストパターンに対しドントケア抽出を行う。

(step 2)

ドントケア抽出を行ったテストパターン集合に対し極小解圧縮を行い、テストパターンを削減する。貪欲法アルゴリズムにはDsaturアルゴリズム[7]を適用する。

(step 3)

極小解圧縮を行ったテストパターン集合のドントケアに対し0, 1ランダム割当を行う。

(step 4)

0, 1ランダム割当を行ったテストパターン集合に対し故障シミュレーションを実行する。

(step 5)

故障シミュレーションを実行したテストパターンに対し、その検出故障を対象とした2重検出を行い、テストパターンを削減する。

3. 最小個テスト集合

最小個テスト集合とは、テスト対象回路の検出対象故障をすべて検出可能な最小のテストパターン集合である。最小個テスト集合のテストパターンは、1つのテストパターンでより多くの故障を検出する。最小個テスト集合の各テストパターンの検出故障情報を調査することにより、圧縮に効率のよいテストパターン生成の指標となることが考えられる。

今回、テスト圧縮の効率よいテストパターンを生成するために、目標故障の選択、故障検出外部出力、故障伝搬経路、後方追跡経路を最小個テスト集合から考察する。

表1にMCNC'91ベンチマーク回路の入力数とフリップフロップ(FF)数の合計が6以下の回路において、最小個テスト集合を生成した結果を示す。

表1. 最小個テスト集合生成結果

回路名	外部入力数	外部出力数	最小個テスト数
mc	5	7	7
bbtas	5	5	10
dk27	4	5	10
train4	4	3	10
shiftreg	4	4	11
lion9	6	5	14

表1において、「回路名」は最小個テスト生成した回路名である。「外部入力数」は最小個テスト生成した回路の外部入力数である。「外部出力数」は最小個テスト生成した回路の外部出力数である。「最小個テスト数」は最小個テスト生成した回路の最小個テスト生成数である。

表2に最小個テスト生成した回路であるmcの最小個テスト集合の故障検出情報を示す。

表2において「テストパターン」はmcの最小個テスト集合のテストパターンを示す。「検出故障数」は各テストパターンの検出故障数を示す。「検出必須故障数」は各テストパターンの検出する必須故障数を示す。必須故障とは、テスト集合内で1つのテストパターンでしか検出できない故障である。

表2. mcの最小個テスト集合

テストパターン	検出故障数	検出必須故障数
t1	32	4
t2	33	7
t3	32	6
t4	33	4
t5	31	3
t6	29	3
t7	30	4

表2に示すように、最小個テスト集合は、各テストパターンの検出故障数が均一であることがわかる。

最小個テスト集合の各テストパターンが検出する故障の活性化経路を調査することにより、故障ごとに必要なケアビット分布情報と、1つのテストパターンの故障の被覆情報を得ることができる。そして、圧縮に効率のよいテストパターンを生成するための、各テストパターンに検出させる故障の組合せと、故障を検出するための各テストパターンのケアビット分布を考察することができる。

図4にmcの回路図と、mcの最小個テスト集合の1つのテストパターンが検出する、必須故障を示した図である。

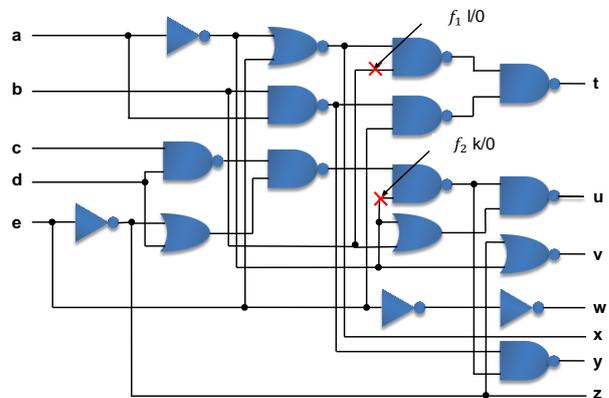


図4. mcの回路図と必須故障

最小個テスト集合の必須故障である信号線1の0縮退故障と信号線kの0縮退故障は、最小個テスト集合では1つのテストパターン(a,b,c,d,e)=(1,0,1,1,0)で両方とも検出される。2つの故障を検出するテスト生成をする際、信号線1の0縮退故障に対し(a,b,c,d,e)=(1,0,X,X,0)、信号線kの0縮退故障に対し、(a,b,c,d,e)=(1,0,1,1,X)が生成された場合。(1,0,X,X,0)と(1,0,1,1,X)は圧縮可能なので、信号線1の0縮退故障と信号線kの0縮退故障を1つのテス

トパターン検出可能なテスト生成が実行される。しかし、信号線 k の 0 縮退故障は、信号線の正当化の経路が複数あり、 $(a,b,c,d,e)=(1,0,X,0,1)$ でも生成可能である。 $(a,b,c,d,e)=(1,0,X,0,1)$ が生成された場合、信号線 1 の 0 縮退故障を検出するテストパターン $(a,b,c,d,e)=(1,0,X,X,0)$ と圧縮不可能である。そのため、結果的にテストパターン数が増加する。つまり、テスト圧縮の効率よいテストパターンを生成するためには、先にテスト生成されたテストパターンのケアビット位置を考慮した故障伝搬経路、後方追跡経路を選択することが重要であると考えられる。

4. 実験結果

MCNC' 91 ベンチマーク回路 mc の最小個テスト集合について、テスト圧縮指向テスト生成のための考察を行った。

表 3 に、 mc の各出力における故障影響範囲を示す。表 3 において、「po1」～「po7」は各外部出力である。「EC」は各外部出力から到達可能な信号線数、「EC-input」は各外部出力から到達可能な外部入力数、「faults」は各外部出力で観測可能な故障数を示す。

表 3. mc の各外部出力における影響範囲

	po1	po2	po3	po4	po5	po6	po7
EC	16	22	9	4	8	23	4
EC-input	3	5	2	1	2	4	1
faults	32	44	18	8	16	46	8

表 4 に MCNC' 91 ベンチマーク回路 mc の最小個テスト集合の各テストパターン $t1\sim t7$ に対する、各外部出力で検出した故障数を示す。

表 4. mc の各外部出力における故障検出

tp	po1		po2		po3		po4		po5		po6		po7	
	n	raito												
t1	5	31.25	12	54.55	1	11.11	4	100	6	75	14	60.87	4	100
t2	7	43.75	8	36.36	5	55.56	4	100	8	100	11	47.83	4	100
t3	12	75	3	13.64	9	100	4	100	4	50	1	4.348	4	100
t4	6	37.5	14	63.64	5	55.56	4	100	2	25	11	47.83	4	100
t5	10	62.5	6	27.27	5	55.56	4	100	8	100	7	30.43	4	100
t6	6	37.5	15	68.18	5	55.56	4	100	2	25	11	47.83	4	100
t7	8	50	12	54.55	5	55.56	4	100	2	25	12	52.17	4	100
total		48.21		45.45		55.56		100		57.14		41.61		100

表 4 において、「po1」～「po7」は各外部出力である。「tp」はテストパターンである。「n」は各外部出力における対象テストパターンの検出故障数、「raito」は各外部出力から到達可能な信号線数と検出故障数の割合である。

表 4 から、すべてのテストパターンがすべての外部出力で故障を検出することがわかる。つまり、各テストパターンが検出する故障を効率よく分配していることがわかる。よって、テスト圧縮指向テスト生成のために、故障の分配を考慮することが重要であるとわかる。

5. おわりに

本論文ではテスト圧縮指向テスト生成を提案するための前段階として、最小個テスト集合の考察を行った。

今後の課題として、最小個テスト集合に対し、さらなる考察を行い、テスト圧縮指向テスト生成を提案することを目指す。

参考文献

- [1] Y.Sato, T.Ikeda, M.Nakao, and T.Nagumo, "Abist approach for very deepsub-micron (vdsms) defect," Proc. International Test Conference, pp. 283291, 2000.
- [2] Seiji Kajihara, Irith Pomeranz, Kozo Kinoshita and Sudhakar M. Reddy "Cost-Effective Generation of Minimal Test Sets for Stuck-at Faults in Combinational Logic Circuits", 30th ACM/IEEE Design Automation Conference, pp102-106,1993
- [3] P.Goel and B.C.Rosales, "Test Generation and Dynamic Compaction of Tests," Digest of papers 1979 Test Conf., pp189-192, 1979
- [4] K. Miyase, S. Kajihara, "Scan Tree Design : Test Compression with Test Vector Modification", IEICE, Vol.45 No.5, pp 1270-1278, 2004
- [5] K. Miyase, S. Kajihara "XID: Don't Care Identification of Test Patterns for Combinational Circuits," IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol. 23, No. 2, pp. 321-326, Fed. 2004
- [6] 八木澤圭, "テストパターンの静的圧縮における厳密解と貪欲解の比較" IEICE Technical Report DC2007-79 ,2008
- [7] D.Brelaz, "New methods to color the vertices of a graph", Communications of the ACM, 22, pp.251-256,1979
- [8] 秋山祐介, "ドントケア故障シミュレーションを用いた動的テスト圧縮の効率化", 平成 18 年度日本大学生産工学部学術講演会数理工学部会講演概要集 ,2006