

故障と検出疑似外部出力に着目したテストパターンの消費電力解析

日大生産工(院) ○沈 揚 日大生産工 細川 利典
九州大学大学院 吉村 正義

1. はじめに

近年、半導体集積技術の進歩に伴い超大規模集積回路(Very Large Scale Integrated circuits: VLSI)が大規模化しており、スキャン設計[1]されたVLSIのテスト時の消費電力の増大は、現在の回路設計において重要な問題となっている。

テスト時の消費電力の増大が引き起こす問題として、発熱の問題とIRドロップ[3]の2つの問題が考えられる。テスト時の過度の電力が、VLSIの発熱の原因につながり、回路に致命傷なダメージを与え、場合によっては回路を破損させるおそれがある[4]。また、スキャンテストのキャプチャモードにおける、キャプチャ時のフリップフロップ (flip flop: FF) の値の変化は同時に起こるため、IRドロップが起こる可能性が高まる[5]。過度のIRドロップは遅延を増大させ、正常回路を不良と判定する誤テストを引き起こし、歩留り低下の原因となる[3][6]。したがって、歩留り損失を抑制するため、キャプチャ時の消費電力を削減することが重要な課題になっている。

スキャンテスト消費電力削減するにはいろいろな手法が提案されている。電力管理技術の利用、設計変更およびテストデータ変更などの手法が挙げられる。その中、キャプチャ時のFF遷移回数を削減するためのLCP(Low capture power) X-Filling手法とLCP ATPG (Automatic Test Generation tool)手法が広く使用されている。LCP X-Filling手法は、テストパターンに存在するドントケア(X)を0, 1で再割当てることにより遷移を削減する手法である。メリットとしては短時間で処理できる。一方、テストパターンを修正しないため、元のテストパターンに大きく依存するデメリットがある。LCP ATPG手法では、FFに起こる遷移を考慮しながらテスト生成を行

う手法である。しかしながら、FF遷移が大量に削減できるメリットがあるが、デメリットとしてテスト生成時間が膨大である。

本研究では、LCP ATPG手法に基づく、キャプチャセーフ判定法[5]を用いて、テストパターンに対して、消費電力上に存在する危険性を判断する。アンセーフ故障に対してテスト再生成する際に、故障伝搬先の疑似外部出力を変化することにより、遷移回数の変化に着目し、解析する。

本論文では、ブロードサイド方式キャプチャモード1時刻目のFF遷移回数削減することを目的として、故障伝搬先を指定し、再生成した解析テストパターンの遷移回数を解析する。また、セーフとアンセーフテストパターンが検出できる故障の伝搬先を解析し、解析テストパターンを分類する。

第2章ではCMOS LSI消費電力について説明する。第3章では、ブロードサイド方式スキャンテスト消費電力問題について説明する。第4章ではFF遷移回数を削減するテストパターン生成する手法について説明する。第5章では本研究の解析フローについて説明する。第6章で、実験結果を示す。第7章でまとめと今後の課題について述べる

2. CMOS LSI消費電力

本章ではCMOS LSI回路の消費電力について説明する。図1にCMOSの基本回路(セル)を示す。

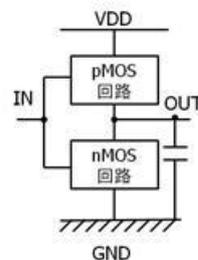


図1. CMOSの基本回路

An analysis of power dissipation for test patterns based on faults and their detected pseudo primary outputs

Yang SHEN Toshinori HOSOKAWA Masayoshi YOSHIMURA

CMOS LSI回路では、電源 (VDD) 側にpMOSと、グランド (GND) 側にnMOSと接続している。pMOSがオンにすると、電源から電流を流され、充電する。この際にnMOSがオフにしなければならない、一方pMOSがオフし、nMOSがオンにする際に、放電する。

CMOS LSIの消費電力の計算式を式1に示す。ここで、Pは消費電力、Kは回路ゲート数、CLは負荷容量、VDDは電源電圧、fCLKは周波数、 $p_{1\rightarrow 0}$ はスイッチング動作 (1から0に遷移)、 $p_{0\rightarrow 1}$ はスイッチング動作 (0から1に遷移)、ISCは貫通電流、 I_{Leak} はリーク電流である。

$$P = \sum_{i=1}^K (C_{iL} VDD^2 f_{CLK} P_{i1\rightarrow 0} + I_{SC} VDD (P_{i1\rightarrow 0} + P_{i0\rightarrow 1}) + I_{Leak} VDD) \quad (式1)$$

式1の各項について説明する。

式1の右辺の第1項で表われているのは、信号線のスイッチング動作によって発生する消費電力である。LSI全体の消費電力の70%以上を占める要素である[7]。式1右辺の第2項で表される、セル内の貫通電流による消費電力である。LSI全体の消費電力の10~30%を占める。式1右辺の第3項で表される、リーク電流による消費電力である。LSI全体の消費電力の1%程度である。CMOS LSIの消費電力削減のためには、比率が大きいスイッチング動作によって発生する消費電力とセル内の貫通電流による消費電力の削減が必要であり、本研究では両方ともかわるスイッチング動作に着目し、 $p_{1\rightarrow 0}$ および $p_{0\rightarrow 1}$ の遷移回数を削減することを目的とする。

3. LCP X-Filling手法とLCP ATPG手法

キャプチャ時FFの遷移回数を削減するにはLCP(Low capture power) X-Filling手法とLCP ATPG(Automatic Test Generation tool)手法が広く使用されている[5][8-12]。

図3にLCP X-Filling手法の概念図を示す。

LCP X-Filling手法ではFFの遷移の発生を抑制しつつ、テストパターンに存在するドントケア(X)に1, 0を割り当てる手法である。

短時間で処理ができるメリットがあるが、一方、テストパターンに存在する元の1, 0の値を修正しないため、元のテストパターンに大きく依存する。元の1, 0により発生する遷移が依然存在するデメリットがある。

図4では、キャプチャセーフ判定法を使用するLCP ATPG手法のアルゴリズムを示す。

この手法では一般ツールにより生成された初期テストパターンを用いて、テスト遷移回数を調査する。予め設定した遷移回数上限値以上のテストパターンがアンセーフテストパターンとする。遷移回数上限値未満のテストパターンをセーフテストパターンとする。

アンセーフテストパターンしか検出できない故障をアンセーフ故障とする。アンセーフ故障を対象として、テスト再生成を行う。

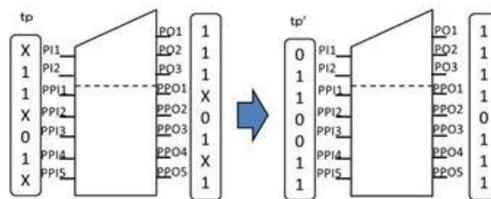


図2. LCP X-Filling手法の概念図

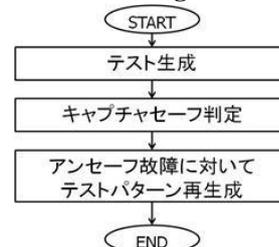


図3. キャプチャセーフ判定法を使用するLCP ATPG手法のアルゴリズム

キャプチャセーフ判定法を使用するLCP ATPG手法では遷移回数が大量に削減することができるが、遷移の発生を考慮しながらテスト生成するため、バックトラック回数が増大し、テスト生成時間が膨大になるデメリットが存在する[14]。

5. 解析フロー

この章では本研究の解析フローについて説明する。

図6は全体の流れを示す。

Step1では回路全故障に対して、テスト生成する。Step2では、Step1で生成したテストパターン集合にX抽出を行う。Step3で、Step2で生成したXを含むテストパターンをLCP X-Fillingを用いて、Xを0, 1に割り当てる。Step3で作成したテストパターンをオリジナルテストパターンとする。Step4ではオリジナルテストパターンを使用し、キャプチャセーフ判定を行う。予め設定した遷移回数上限値以上のテストパターンがアンセーフテストパターンとする。遷移回数上限値未満のテストパターンをセーフテストパターンとする。Step5では、Step4で作成した、セーフ/アンセーフテストパターン集合からセーフ/アンセーフ故障集合を求める。ここでは、アンセーフテストパターンしか検出できない故障をアンセーフ故障とする。検出した全故障集合からアンセーフ故障を除いた故障集合をセーフ故障集合とする。Step6では1つのアンセーフ故障に対して、到達可能な疑似外部出力ごとに故障を伝搬し、テスト生成を行う。生成されたテストパターン集合は解析テストパターン集合とする。Step7では、解析テストパターン集合をLCP X-Fillingを用いて、Xを0, 1に割り当てる。Step8では、Step7で生成した解析テストパターンを使用し、遷移回数を解析する。

図5は図4のStep7である解析テストパターン遷移回数解析の概念図を示す。

対象とするアンセーフ故障が解析テストパターンで同一疑似外部出力でセーフ故障

を検出しているか否か、および、キャプチャセーフパターンで同一疑似外部出力で検出されているセーフ故障が存在するか否かを基準として解析テストパターンを3つのタイプに分類する。



図4. 解析フロー全体の流れ

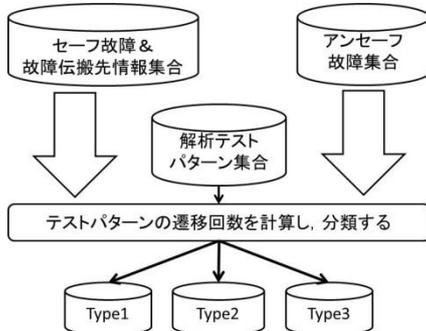


図5. 解析テストパターン遷移回数解析の概念図

Type1は、以下の2つの条件を満たさなければならない：

- ① 対象アンセーフ故障をある疑似外部出力で検出できる。
- ② 同一解析テストパターンでセーフ故障を同一疑似外部出力で検出できない。

Type2は、以下の3つの条件を満たさなければならない：

- ① 対象アンセーフ故障をある疑似外部出力で検出できる。
- ② 同一解析テストパターンで同一疑似外部出力に検出されているセーフ故障が1つ以上存在する。
- ③ キャプチャセーフパターンである同一疑似外部出力で検出されているセーフ故障が存在しない。

Type3は、以下の3つの条件を満たさなければならない：

- ① 対象アンセーフ故障をある疑似外部出力で検出できる。
- ② 同一解析テストパターンで同一疑似外部出力に検出されているセーフ故障が1つ以上存在する。
- ③ キャプチャセーフパターンである同一疑似外部出力で検出されているセーフ故障が1つ以上存在する。

以上3つのタイプを分類し、解析する。

5. 実験結果

本章では、キャプチャセーフ判定法を用いて、キャプチャ時遷移回数削減のため、検出外部出力を変化させ、再生成するテストパターンの遷移回数を解析する実験結果について説明する。

実験では使用する回路はITC'99ベンチマークb15回路である。検出したアンセーフ故障数は100である。

今回の実験では、各回路の遷移回数上限値が回路全体FF数の45%、40%、35%、3つを実行し、遷移回数を解析した。

図7から図9までは、b15回路の遷移回数及びテストパターン数のヒストグラム図である、各図の横軸は遷移回数、縦軸はテストパターン数、左の棒グラフは第5章で説明したType1のテストパターン、真ん中の棒グラフはType2のテストパターン、右の棒グラフはType3のテストパターンである。図10から図12では、各回路の各解析テストパターンタイプの、キャプチャセーフとアンセーフの割合を示す。横軸は割合である。縦軸は各タイプの解析テストパターンである。

実験結果より、Type3のテストパターン、キャプチャセーフテストパターンが検出したセーフ故障とその出力情報を利用し、再生成したテストパターンの遷移回数が約9割、遷移回数上限値以下になる。また、ごくわずかが、Type3のテストパターンが遷移回数上限値以上のものが存在する。

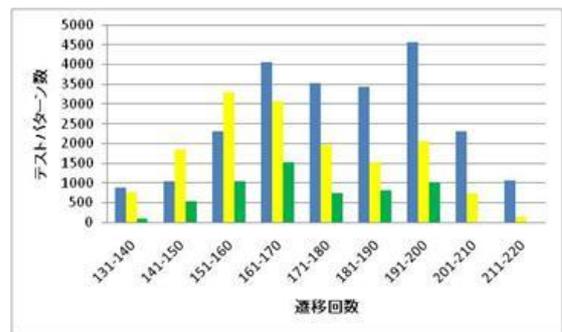


図6. b15回路、遷移回数45%、201回

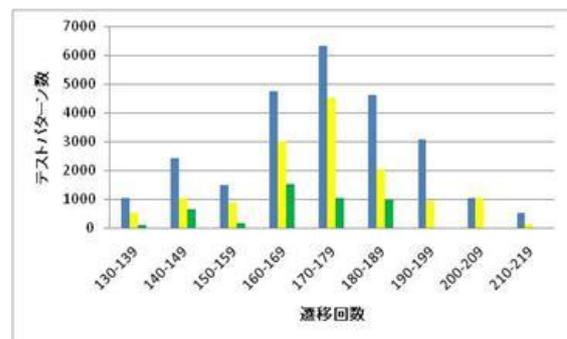


図7. b15回路、遷移回数40%、190回

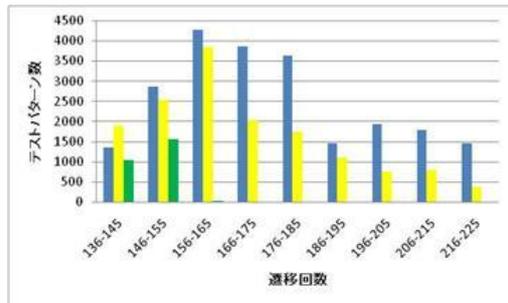


図8. b15回路, 遷移回数35%, 156回

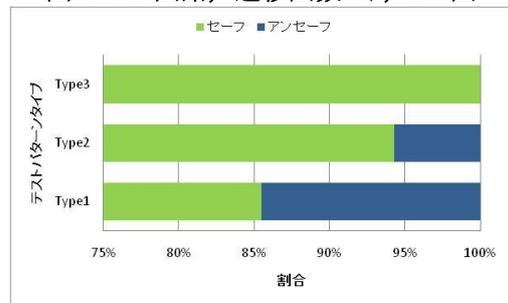


図9. b15回路, 遷移回数45%

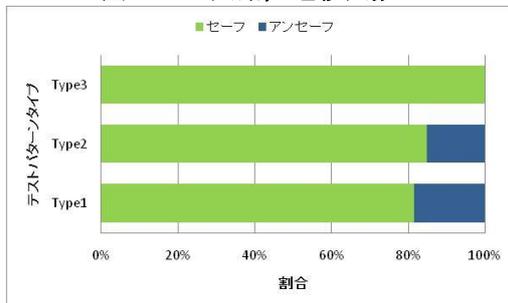


図10. b15回路, 遷移回数40%

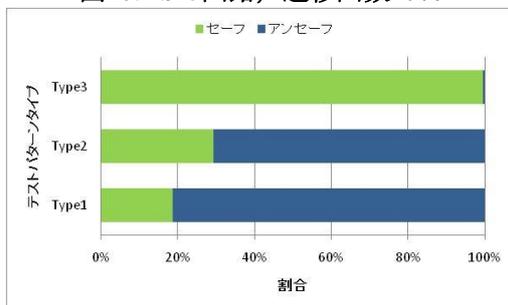


図11. b15回路, 遷移回数35%

6. まとめと今後の課題

キャプチャセーフ判定法を用いて、再生成した解析パターンがキャプチャセーフになるパターンが存在することを確認できた。オリジナルテストパターンで検出できるセーフ故障と検出擬似外部出力の情報を利用すると、Type3の約9割の解析パターンがキャプチャセーフである。回路と遷移回数上限を変更しても、同じ傾向の結果を得ることを確認できた。

今後の課題として、この解析結果を参考にし、キャプチャセーフテスト生成法を検討する。

「参考文献」

- [1] 古川寛, “JTAG を使ったLSI テスト回路の組み込み手法”, Design Wave Magazine, 2000, pp30-31.
- [2] Seiji Kajiwara, Koji Ishida, Kohei Miyase “Average Power Reduction in Scan Testing by Test Vector Modification” IEICE Trans. Inf. & Syst. E85-D(10), 2002, p1483-1489

- [3] Takaki Yoshida, Masahmi Watati, “A New Approach for Low Power Scan Testing” International Test Conference 2003 pp480-487
- [4] Jaehoon Song, Hyunbean Yi, Doochan Hwang, Sungju Park “A Compression Improvement Technique for Low-Power Scan Test Data” IEEE Region 10 Conference, 2006, pp12-13
- [5] X. Wen, K. Miyase, S. Kajihara, H. Furukawa, Y. Yamato, A. Takashima, K. Noda, H. Ito, K. Hatayama, T. Aikyo, and K. K. Saluja, “A Capture-Safe Test Generation Scheme for At-Speed Scan Testing” IEEE 2008 pp55-60
- [6] Fukuzawa Tomoaki, Miyase Kohei, Yamato Yuta, Furukawa Hiroshi, Wen Xiaoqing, Kajihara Seiji. “A Transition Delay Test Generation Method for Capture Power Reduction during At-Speed Scan Testing” IEICE technical report. Dependable computing 107(337), 2007, pp7-12
- [7] 栗田敏明, 竹本光雄, “LSI低消費電力設計” 沖テクニカルレビュー 第188号 Vol.68 No.4, 2001年10月, p36
- [8] Santiago Remersaro, Xijiang Lin, Zhuo Zhang, Sudhakar M. Reddy, Irith Pomeranz and Janusz Rajsk, “Preferred Fill: A Scalable Method to Reduce Capture Power for Scan Based Designs” IEEE 2006 paper 32.2
- [9] Chao-Wen Tzeng Shi-Yu Huang, “QC-Fill: An X-Fill Method for Quick-and-Cool Scan Test” IEEE 2009 pp1756-1766
- [10] Jia LI, Qiang XU, Yu HU, and Xiaowei LI, “iFill: An Impact-Oriented X-Filling Method for Shift- and Capture-Power Reduction in At-Speed Scan-Based Testing”, IEEE 2008 pp1184-1189
- [11] Xiaoqing WEN, Yoshiyuki YAMASHITA, Seiji KAJIHARA, Laung-Terng WANG, Kewal K. SALUJA, “A New Method for Low-Capture-Power Test Generation for Scan Testing”, IEICE TRANS. INE & SYST. VOLE89-D, NO.5 MAY 2006 pp1679-1686
- [12] V.R. Devanathan, C.P. Ravikumar, V. Kamakoti, “Glitch-Aware Pattern Generation and Optimizatio Framework for Power-Safe Scan Test”, 25th IEEE VLSI Test Symmposium 2007 pp167-172
- [13] 藤原秀雄, “組合せ回路のテスト生成”, デジタルシステム的设计とテスト, 2004, pp176
- [14] Xiaoqing WEN, Seiji KAJIHARA, “A Novel ATPG Method for Capture Power Reduction during Scan Testing” IEICE TRANS. INE&SYST, VOLoE90-D, NO.9 SEPTENIBER, 2007, pp1398-1405