

製造ばらつきを考慮した BAST に基づく フィールドテスト法

日大生産工（院） ○柏崎 智史 日大生産工 細川 利典
九大 吉村 正義

1. はじめに

近年半導体製造技術の進歩に伴い、微小な遅延を引き起こす欠陥が増加している[1][2]. これらの欠陥は、製造された大規模集積回路(Large Scale Integrated Circuits:LSI)が出荷される際のテストでは、欠陥として検出されないが、出荷後フィールド上の高温多湿など過酷な環境でLSI が使用され続けた結果、経年劣化を起し欠陥として現れる場合が存在する. このようなことが重大な問題になっている[3]. そのため、出荷後のフィールド上でテストを可能にする手法として、組込み自己テスト(Build in Self Test:BIST)[4]組込み自己テスト援用スキャンテスト(BIST Aided Scan Test:BAST)[5]が提案されている. 微小遅延故障を検出するためには、実際に回路内のパスを全てテストすることが理想的である. しかしながら、パス数は回路規模の指数乗に比例するため、全てのパスのテストは困難である. 従来の微小遅延故障検出の方法として、統計的遅延品質モデル(Statistical Delay Quality Model:SDQM)[6]などを用い、外部出力までの遅延時間ができるだけ長いパスを伝搬して遅延故障を検出する. しかしながら、LSI を製造した際にすべての LSI で遅延時間が同一になるとは考えられない. この製造ばらつきのため、遅延時間は LSI ごとにランダムにばらつくと考えられる. このランダムばらつきにより、SDQM で考慮された最長パスより長いパスが現れる可能性がある. したがって、実際にフィールド上でテストを行う際には、製造された LSI ごとにランダムばらつきを考慮し、最長パスを含むできるだけ多くの長いパスをテスト可能とするテストパターン選択を行う方法を提案する.

本稿では、その前段階としてランダムばらつきを与えた場合と与えない場合で各 LSI のクリティカルパスがどの程度変化するかを解析する.

2. BIST, BAST方式

BIST, BAST方式は、従来出荷時に行われているテストを用いた外部テスト方式と異なりテストの一部機能をLSI上に内蔵させる方法をいう図1に各BISTとBASTの例を示す.

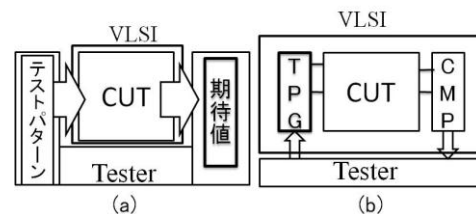


図1. (a)外部テスト方式 (b)BIST, BAST方式

このBIST, BAST方式を用いることにより、従来テスト上に持っていたテストパターン保持をLSI上のテストパターン発生器[TPG]、結果解析部をLSI上の応答パターン圧縮器[CMP]で代用できるため、テストの機能が不要となり出荷した後のフィールド上で、テストを行うことが可能になる.

3. ばらつき

近年LSIの微細化に伴い、様々な種類のばらつきが問題となってきている. ばらつきの種類には、いくつか種類がある. まず最初に、ウエハー上に形成されたトランジスタの特性が、ウエハー毎で異なり結果的にばらつく場合と、同じウエハー上でのチップの場所によってばらつくという形態のばら

A field test method based on BAST with consideration production variability

Satoshi KASHIWAZAKI, Toshinori HOSOKAWA and Masayoshi YOSHIMURA

ばらつきが存在する。他には、同一チップ内でのトランジスタ特性が、チップ内の位置に応じて変化するばらつきと、回路レイアウトに依存して特性が変化するばらつきが存在する。またに空間的な相関がないランダムばらつきが存在する。

3.1. ランダムばらつき

本稿で取り扱うランダムばらつきとは、LSI製造時に用いるシリコンウェハ上に形成したモストランジスタの閾値電圧などの特性が周りのトランジスタの影響に関係なくばらついてしまう現象のことを指す。

3.2. ランダムばらつきの要因

ランダムばらつきの要因としては、不純物の空間ばらつきや、作られた各トランジスタが擾乱することが原因と考えられている。このうち、もっとも影響が大きいとみられているのが不純物ばらつきである。基盤に導入された不純物は離散的であり、その数や位置の分布がトランジスタごとに異なる。その結果として生じる閾値電圧などのばらつきのことが不純物ばらつきである。また、各トランジスタの擾乱とは、製造されたトランジスタの形状がマイクロレベルでみだれてしまう現象のことである。この二つがランダムばらつきの要因として考えられている。

4. 遅延故障

遅延故障には、いくつか種類が存在するが本稿で対象とする遅延故障は、遷移遅延故障[7]である。遷移故障とは、あるゲートや信号線において遷移信号が大きく遅れる故障である。これは、遷移故障があるパスで活性化された場合必ずその故障影響がフリップフロップFFに伝搬することを意味している。

ここでの遷移信号とは、2パターンテストにおける第1時刻と第2時刻の論理値が0から1、または1から0へと変化する信号であり、それぞれ、立ち上がり信号、立ち下り信号と呼ぶ。

4.1. 遷移遅延故障モデル

例として、立ち上がり遷移故障は、立ち上がり信号の第2時刻の論理値が1でなく0となる故障である図2(b)。立ち下り遅延故障は、立ち下り信号の第2時刻の論理値が0でなく1となる故障である図2(a)である。

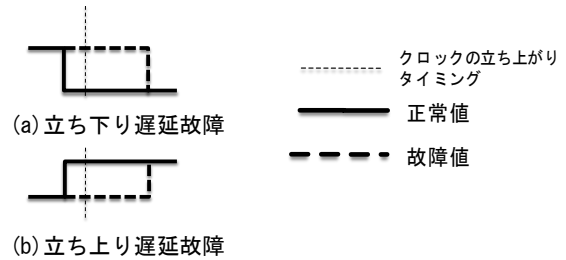


図 2. 遷移故障モデル

5. 微小遅延故障

微小遅延故障は、回路内での立ち上がり遷移信号、立ち下り遷移信号があった場合、遷移故障モデルがどのパスを伝搬しても故障の影響がFFに必ず伝搬するのに対して、どのパスを伝搬しても故障の影響がFFに伝搬する保証が無い故障のことである。そのため、微小遅延を検出するためには、クロックまでのマージンの少ない、できるだけ長いパスを伝搬させる必要性がある。

5.1. 微小遅延故障検出例

図3に示す回路を用いて説明する。

この回路の動作クロックは5ns、そして各信号線の信号伝搬時間は、1nと仮定する。

故障が存在しない場合の遅延時間は

パス A=3ns

パス B=4ns

パス C=3ns

パス D=2ns となる。

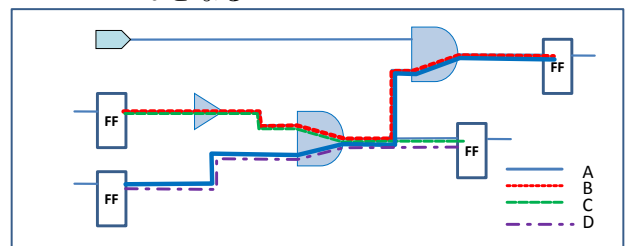


図 3. 回路例

クロックの立ち上がりまでの各パスの遅延分布を図4で示す。

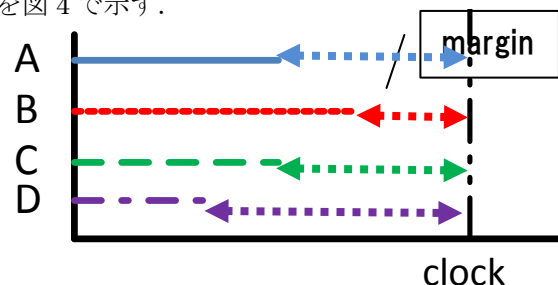


図 4. 各パス遅延分布

図 4 において、縦軸がパス、横軸が遅延時間を示している。図 4 よりパス B がクリティカルパスである。

図 5 の AND ゲートの出力に、3ns の微小遅延故障が存在した場合を仮定すると、各パスの遅延時間は、

パス A=5ns
パス B=6ns
パス C=5ns
パス D=4ns

となり、各パスの遅延分布を図 6 に示す。

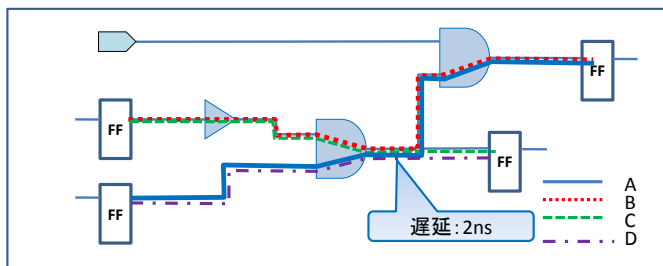


図 5. 故障仮定例

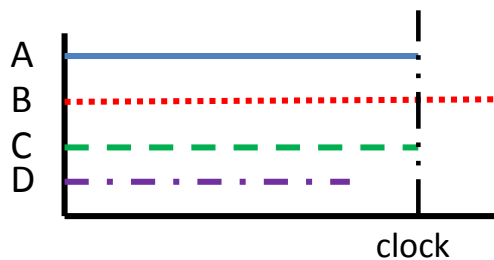


図6. 遅延考慮時各パス遅延分布

図6より、ANDゲートの出力の3nsの微小遅延故障を検出可能なパスはパスBのみでそれ以外のパスでは、すべて正常動作になることがわかる。できる限り小さい微小遅延故障を検出するためには、図4のマージンができるだけ小さくなるパスを選択する必要があるため、選択するパスは長いパスである必要がある。

5.2. ランダムばらつき考慮パス選択

5.1 で説明したように、ランダムばらつきを考慮しない場合に選択されるパスは、図 3 のパス B となる。

図 3 では、すべての信号線の信号伝搬時間 1 ns としていたが、実際に LSI を製造した際には、すべての信号線の伝搬遅延時間がランダムに遅延する。

ランダムばらつきを考えた例を図 7 に示す。

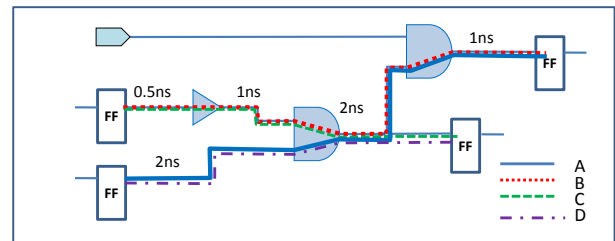


図 7. ランダムばらつき存在回路

図 7 の各信号線上の値が、製造時に発生したランダムばらつきの値になっている。

図 7 より、各パスの遅延時間は、

パスA=4.5ns
パスB=4.5ns
パスC=3.5ns
パスD=3.5ns

となり、遅延分布図を図8に示す。

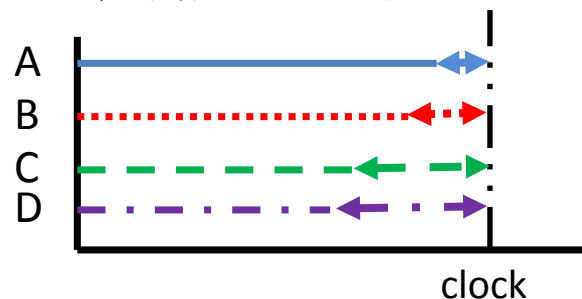


図 8. ランダムばらつき時各パス遅延分布

図8より、各信号線のばらつきを考慮した結果、パスAがクリティカルパスとなる。よって、図7でテスト対象とするパスは、最もクロックの立ち上がり時刻までのマージンが少ないパスAである。

このことからばらつきを考慮しない際にテスト対象にしたパスBでは、図5の経年劣化による微小遅延故障は検出することができない可能性がある。このため、各LSI毎にランダムばらつきを考慮し、テストに使用するパスを決定する必要があると考えられる。

6. 遅延時刻解析方法

本稿では、各 LSI 毎にランダムばらつきを考慮し、テストに使用するパスを決定しテストパターンを選択するための前段階として、実際にランダムばらつきを与えなかった場合の回路の遅延時間と与えた場合の回路の遅延時間を比較する。

解析フローは図 9 のようになる。

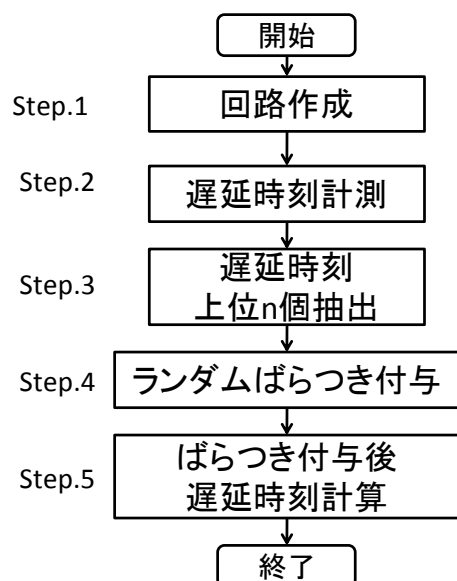


図 9. 遅延時刻解析フロー

Step1) テスト対象にする回路を任意の個数作成する。

Step2) Step1 で作成された回路を対象に，ランダムばらつきを考慮しない場合での遅延時刻を計算しクリティカルパスを求める。

Step 3) Step2 で計算されたランダムばらつき無のクリティカルパス遅延時間から上位 n 個を抽出する。

Step4) Step1 で作成された回路に対してランダムばらつきの値を付加する。

Step5) ランダムばらつきを与えた後，Step 3 で選択された遅延時間を再計算する。この際，Step4で回路に与えられる遅延時間は，正規分布するように与えた。

8.まとめ

今後の予定は，実験結果がまだ出ていないので早く結果が出るように実験を急ぎたいと思う。

[参考文献]

- 1) Mitra S , Volkerink E , McCluskey E.J , Eichender S , "Delay degect screening using process monitor structures" VLSI Test Symposium 2004. Proceedings. 22nd IEE E, vol, no pp 43-48,25-29 April 2004
- 2)G Aldrich, B Cory, " Improving Test Quality and Reducing Escapes" Proc Fabless Forum Fabless Semiconductor Assoc,2003,p p 34-35

3)M.Yilmaz, K.Chakrabarty,M.Teranipoor,"Testpattern grading and pattern selection for small-delay defects",Los Alamitos,CA,USA,2008.IEEE Computer Society In Proceedings of VLSI Test Symposium,pp.233-239

4) P.Bardel , W.H.McAnney , and J.Savir, "Built-in test for VLSI" John Wiley and Sons, New York, 1987

5) T. Hiraide, K.O. Boateng, H. Konishi, K. Itaya, M. Emori, H.Yamanaka, and T. Mochiyama, "BIST-aided scan test-A new method for test cost reduction," Proc. VTS, pp. 359-364, 2003.

6) Y.Sato , S.Hamada, T.Maeda, A.Takatori, S.Kajihara,"Evaluation if the statistical delay quality model"Proc.IEE Asian and South Pacific Design Automation Conference,pp.305-310,2005

7) J.A.Waicukauski , E.Lindbloom , B.L.Rosen, and V.S.Iyengar, "Transition fault simulation" IEEE Design and Test of Computers, Vol.4, pp.32-38, 1987