

BAST における反転ビット数削減のための テスト圧縮及びテストパターンマッチング法

日大生産工 (学部) ○高橋 明彦 日大生産工 細川 利典
九大 吉村 正義

1. はじめに

近年の半導体集積技術の発展により, 大規模集積回路 (Large Scale Integrated circuits:LSI) が大規模化, 複雑化し, テストパターンが増加する傾向にある. その結果, テストデータ量がテストのメモリをオーバーフローする問題が発生した. そこでテストコスト削減手法として組込み自己テスト (Built In Self Test:BIST) が提案された [1]. しかしながら, BIST の問題点として, 擬似ランダムパターンをテストパターンとするため, 自動テストパターン生成ツール (Automatic Test Pattern Generator:ATPG) によって生成されたテストパターンに比べ, 故障検出率が低いという問題がある. そのため, 擬似ランダムパターンと ATPG により生成された決定的パターンのマッチングを行い, 論理値が衝突するビットを反転してテスト対象回路に入力する組込み自己テスト援用スキャンテスト (BIST Aided Scan Test:BAST) が提案され高い故障検出率が実現できている [2]. BAST コードと呼ばれるコードに反転したビット位置とシフト情報を記憶している. シフト情報は決定的パターン量に依存しているため, テストデータ量やテスト実行時間を削減するためには, BAST コード量の削減, すなわち反転ビット数の削減が重要となる.

文献 [6], [7] では反転ビット数を削減するために決定的パターンにランダムパターンレジスタント故障検出用ドントケア抽出 [6] を適用し, ドントケア抽出をした決定的パターンと擬似ランダムパターンとのマッチングにハンガリアンアルゴリズム [8] を用いた手法が提案されている.

本稿では, 決定的パターンのテスト圧縮及び擬似ランダムパターンと複数の決定的パターンとのマッチングを同時に行うことで, テスト圧縮を考慮したテストパターンマッチングを提案し評価する.

本稿では提案するマッチング法の前段階として, 決定

的パターン集合から全テスト圧縮の解の列挙を行い, 評価する. 本稿は 2 章で BAST アーキテクチャについて説明し, 3 章でテストパターンのエンコード方法について説明し, 4 章では BAST パターン生成について説明し, 5 章では決定的パターン集合について説明する. 6 章でまとめと今後の予定について述べる.

2. BAST アーキテクチャ

BAST の基本概念は, 「ATPG により生成される決定的パターンはすべてのビットを指定することはない」という事実に基づいている. ここで, 決定的テストパターン生成において信号値の割当てがされた外部入力をケアビット, 未割当ての外部入力をドントケアビットと呼ぶ. 通常, ケアビットの割合は 1% から 5% である [2].

BAST アーキテクチャには, 擬似ランダムパターンを発生する擬似ランダムパターン生成器 (PRPG :Pseudo Random Pattern Generator) [1] と出力信号をシグネチャに圧縮する (MISR [1] :Multiple Input Signature Register) が存在する. また, BAST コードと呼ばれる入力用のテスト系列や期待値を格納するテスト (ATE :Automatic Test Equipment) が LSI の外部に存在する. 擬似ランダムパターンは (CUT :Circuit Under Test) 内部で生成される. 擬似ランダムパターンを決定的パターンに変化させるため, 擬似ランダムパターン中の特定のビットを反転させる. よって ATE はすべての出力値を記憶する必要はなく, 反転する特定ビットの位置情報のみを記憶する. MISR によって ATE 中にすべての出力期待値を記憶する必要性をなくす. MISR の利用は, シグネチャを取り込むときのアンノウン状態の問題を取り扱うことが必要となり, BAST は, アンノウン状態の影響をマスクする機能ももつ. 本稿では, CUT はアンノウンを出力しないものと仮定する.

BAST アーキテクチャは, STUMPS (Self-Test Using a MISR and a Parallel Shift register sequence

A Test compacion and test pattern matching method
to reduce the number of bit-flips on BAST

Akihiko TAKAHASHI, Toshinori HOSOKAWA, and Masayoshi YOSHIMURA

generator) [3]に代表される一般的なスキャンベース BIST に基づいている。BAST アーキテクチャを図 1 に示す。BAST は PRPG, MISR とスキャンチェインの間にインバータブロック, デコーダブロック, 不定値マスクブロックが挿入されている。

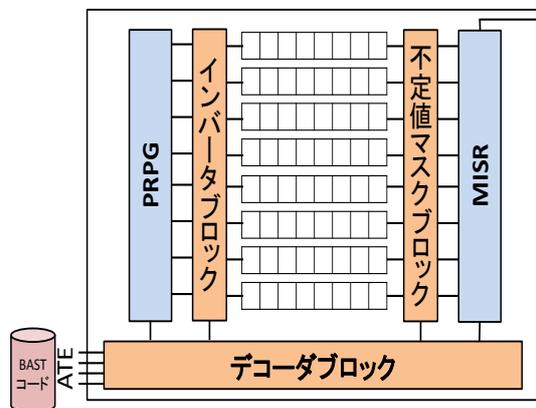


図 1 BAST アーキテクチャ

インバータブロックはスキャンチェイン数と同一のビット幅をもち、PRPG からスキャンチェインへ通過する信号を反転させる機能を持つ。

不定値マスクブロックはスキャンチェイン数と同一ビット幅を持ち、アンノウン状態をマスクする機能を持つ。

デコーダブロックはコード化された信号を受け取る ATE とのインタフェースチャンネルにより、インバータブロック, 不定値マスクブロックを制御する。

表 1 に BAST コード例を示す。表 1 において、1 列目は外部入力に設定される信号名を示す。2 列目以降はスキャンチェインを構成するタイムフレームに対応して、これらの信号の入力及び観測に必要な BAST コードを表している。タイムフレーム 1 において、チェインアドレス '001' (チェイン 1) と '110' (チェイン 6) の入力値を反転する BAST コードを表している。またチェインアドレス '010' (チェイン 2) の出力をマスクする BAST コードを表している。同じくタイムフレーム 1 の左から 4 番目の列はスキャンシフトコードを表す。タイムフレーム 2 の BAST コードはスキャンシフトのみである。タイムフレーム 3 において、反転と不定値マスクは同一チェイン 5 で発生しているので、一つのコードで両方の処理ができる。そして、最後にスキャンシフトコードが付加される。本論文では、不定値マスク処理が必要となる回路を扱わないので、以後不定値マスクについてはふれない。

表 1 BAST コード

Time Frame	1	2	3
Inverter flag	1100	0	10
X-Masking flag	0010	0	10
Chain Address 0	1000	0	10
Chain Address 1	0110	0	00
Chain Address 2	0100	0	10

3. BAST におけるテストパターンエンコード

BAST におけるテストパターン生成について述べる。ATPG によって生成された決定的パターン集合, PRPG によって生成された擬似ランダムパターン集合。テストパターンマッチングを行い、BAST コードを生成する。BAST テストパターンを以下のステップで決定する。

- (1) 決定的テストパターンを TD, 擬似ランダムパターンを TR とする。図 2 はスキャンチェイン 8 本, スキャンチェイン長 3 の TD におけるスキャン FF の信号割当ての例を示す。0, 1 はケアビット, X はドントケアを示す。

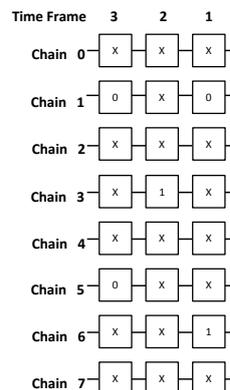


図 2 決定的テストパターン例

- (2) 図 3 に BAST テストパターン決定的パターン TD および擬似ランダムパターン TR から BAST パターンを生成する例を示す。

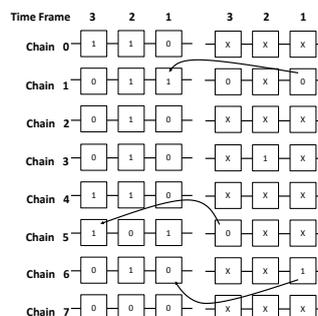


図 3 BAST テストパターン生成例

図3のスキャンチェーンは左側に図2で示した決定的パターン、右側が擬似ランダムパターンである。

BAST テストパターンとは擬似ランダムパターンと決定的パターンを、圧縮規則の演算をし、CUT に印加されるテストパターンのことを呼ぶ。すべてのタイムフレーム(t=1~3)、すべてのスキャンチェーン(i=0~7)に対して以下の条件で演算が行われる。

- ① タイムフレーム t, チェイン i のビット位置における TD の値が X 状態ならば, BAST テストパターンの信号値は TR の信号値をとる。
- ② タイムフレーム t, チェイン i のビット位置における TD の値と TR の値が一致するならば BAST テストパターンの信号値は TR の信号値をとる。
- ③ タイムフレーム t, チェイン i のビット位置における TD の値と TR の値が不一致になるならば BAST テストパターンの信号値は TD の信号値をとる。

(3) BAST テストパターンを図4に示す。

Time Frame	3	2	1
Chain 0	1	1	0
Chain 1	0	1	0
Chain 2	0	1	0
Chain 3	0	1	0
Chain 4	1	1	0
Chain 5	0	0	1
Chain 6	0	1	1
Chain 7	0	0	0

図4 BAST テストパターン例

4. BAST におけるテストパターン生成

擬似ランダムパターンと決定的パターン間の論理値の衝突が多いと、反転ビット数の増加により BAST コード量及びテスト実行時間が増大する[2]。BAST での擬似ランダムパターンと決定的パターンとのマッチングは通常テスト圧縮の決定的パターン集合 TD と擬似ランダムパターン集合 TR のテストパターンマッチングを行うものであった[6][7]。本稿ではさらに反転ビット数を削減するためにテスト圧縮を考慮に入れたテストパターンマッチングを提案する。

5. 決定的パターン集合

ATPG により生成された決定的パターン集合で圧縮可能グラフを作成する。表2にスキャンチェーン数3、スキャンチェーン8の5

個の決定的パターンの例を示す。

表2. 決定的パターン集合例

	t1			t2			t3			t4			t5		
Time Frame	3	2	1	Time Frame	3	2	1	Time Frame	3	2	1	Time Frame	3	2	1
chain 0	X	X	X	chain 0	0	X	X	chain 0	0	X	X	chain 0	0	X	X
chain 1	0	X	0	chain 1	0	X	X	chain 1	0	X	0	chain 1	X	1	1
chain 2	X	X	X	chain 2	X	X	X	chain 2	X	0	X	chain 2	X	1	X
chain 3	X	1	X	chain 3	X	X	X	chain 3	X	X	X	chain 3	X	X	X
chain 4	X	X	X	chain 4	1	X	1	chain 4	1	X	X	chain 4	0	X	X
chain 5	0	X	X	chain 5	X	X	X	chain 5	X	X	X	chain 5	X	X	X
chain 6	X	X	1	chain 6	X	X	X	chain 6	X	X	1	chain 6	X	X	0
chain 7	X	X	X	chain 7	X	X	X	chain 7	X	X	X	chain 7	X	X	X

表2の決定的パターン集合をそれぞれ圧縮判定を行い、圧縮可能グラフを作成する(図5)。頂点はテストパターンであり、辺は圧縮可能を示す。

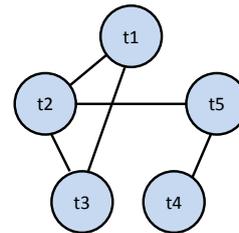


図5 圧縮判定グラフ

全通りのクリーク被覆を求める手法として分枝限定法を用いる[5]。

図5のクリーク被覆の解集合は

- (t1, t2, t3), (t4, t5)
- (t1, t2, t3), (t4), (t5)
- (t1, t2), (t4, t5), (t3)
- (t1, t3), (t4, t5), (t2)
- (t2, t3), (t4, t5), (t1)
- (t1, t3), (t2, t5), (t4)
- (t1, t2), (t3), (t4), (t5)
- (t2, t3), (t1), (t4), (t5)
- (t1, t3), (t2), (t4), (t5)
- (t2, t5), (t1), (t3), (t4)
- (t4, t5), (t1), (t2), (t3)
- (t1), (t2), (t3), (t4), (t5)

の12通りである。解集合中にクリークは11個であり、サイズが2以上のクリーク数は6個である。この11個のクリークをTDの集合とする。

6. 実験結果

本稿ではドントケア抽出を行ったテストパターン集合とドントケア抽出を行っていないテストパターンとの比較実験を行った。故障モデルは単一縮退故障、ATPG ツールは Tetra MAX である。実験結果を表3に示す。テスト圧縮の有無、ドントケア抽出の有無ごとに比較を行う。

実験結果より信号線数が増加するにつれ、サイズが2以上のクリーク数が増加することがわかる。よってクリーク被覆の解集合数も増加する。

7. おわりに

本稿ではドンとケア抽出の有無, とテストパターン生成時の圧縮の有無で比較実験を行った. 今後はクリーク被覆の解集合ごとにマッチングを行い, BAST コード量の比較評価を行う.

参考文献

- [1]Masayuki Arai, Satoshi Fukumoto, Kazuhiko Iwasaki, Takahisa Hiraide, Takashi Aikyo, ” Test Data Compression Using TPG Reconstruction for BIST-Aided Test” , proc. IEEE 6th Workshop on RTL and High Level Testing, 211-8588, 2005.
- [2]相京 隆, 平出 貴久, 江守 道明, ” BAST:Bist Aided Scan Test-テストコスト削減のための新しい手法” , 電子情報通信学会論文誌, Vol. J88-D-I, No. 6, pp. 1012-1020, 2004. 8. 27.
- [3]P.H. Bardell and W.H. McAnney, ” Parallel pseudo-random sequences for built-in test,” Proc. ITC, pp. 302-308, 1984
- [4]藤原秀雄, “デジタルシステムの設計とテスト”, 工学図書, 2004.
- [5] アラン・ドーラン, ジョーン・オールダス, “よく

わかるネットワークのアルゴリズム”, 日本評論社, 2003

[6]万玲玲, “BAST アーキテクチャにおけるドントケア抽出を用いた擬似ランダムパターンの反転ビット数の削減の一手法”, 電子情報通信学会技術研究報告, 108(431), pp. 49-54, 2009. 02.

16

[7]陳贊, “ランダムパターンレジスタント故障検出用ドントケア抽出を用いた BAST アーキテクチャにおけるテストパターンマッチング法”, 電子情報通信学会技術研究報告, 110(106) , pp. 19-24, 2010.6.25

[8]LingLing WAN, Motohiro WAKAZONO, Toshinori HOSOKAWA, Masayoshi YOSHIMURA, ” A Bit flipping Reduction Method for Pseudo-random Patterns Using Don’ t Care Identification on BAST Architecture” , Proceedings of IEEE The 9th Workshop on RTL and High Level Testing, pp. 111-1116, 2008. 11

表3. 実験結果クリーク比較

回路	モード	テストパターン数	クリーク被覆の解集合数	最小クリーク被覆のクリーク数	全解集合のクリーク数	サイズが2以上のクリーク数
s27	圧縮有, X抽出有	6	1	6	6	0
	圧縮有, X抽出無	6	1	6	6	0
	圧縮無, X抽出有	6	1	6	6	0
	圧縮無, X抽出無	6	1	6	6	0
s208	圧縮有, X抽出有	30	1	30	30	0
	圧縮有, X抽出無	30	1	30	30	0
	圧縮無, X抽出有	31	46	29	44	13
	圧縮無, X抽出無	32	1	32	32	0
s298	圧縮有, X抽出有	29	2	28	30	1
	圧縮有, X抽出無	29	1	29	29	0
	圧縮無, X抽出有	32	54	29	41	9
	圧縮無, X抽出無	32	1	32	32	0
s344	圧縮有, X抽出有	18	3	17	20	2
	圧縮有, X抽出無	18	1	18	18	0
	圧縮無, X抽出有	26	19	23	37	11
	圧縮無, X抽出無	26	1	26	26	0