

ランダムパターンレジスタント故障検出用ドントケア抽出を用いた BAST アーキテクチャにおけるテストパターンマッチング法

日大生産工(院) ○陳 賛 日大生産工 細川 利典

1. はじめに

近年、半導体技術の急速な進歩により、大規模集積回路(Large Scale Integrated circuits:LSI)のゲート数が増大している。一般的に LSI の論理部のテスト生成にはスキャン設計と自動テスト生成ツール (Automatic Test Pattern Generator : ATPG) [1]によるテスト生成が従来から広く受け入れられてきた。このテスト手法によって高い故障検出効率を得られるが、回路の高集積化に伴い、ATPG により生成されたテストパターン数が増大し、テストデータ量がテストのメモリを超える問題が発生し、テストデータ圧縮技術の重要性が高まってきた。

そのテストデータ量を削減するための主なテストデータ圧縮技術として、EDT(Embedded Deterministic) [2], XD-BIST(X-Tolerant Deterministic BIST) [3], BAST(BIST Aided Scan) [14]などが提案されている。本論文では、BAST 技術に着目する。BAST とは、組込み自己テスト [4, 5, 6, 7, 8, 9] (Built-In - Self - Test: BIST) と ATPG を組み合わせて、高い故障検出効率を維持しながら、テストデータ量を圧縮する技術である。BAST アーキテクチャにおいて、擬似ランダムパターン生成器 PRPG [10, 11, 12, 13] から生成される擬似ランダムパターン中のあるビットを反転させ、ATPG で生成される決定的パターンに変換する。また反転したビット位置を記憶するため、BAST コードと呼ばれるコードがテスト (Automatic Test Equipment : ATE) から入力される。よって、ビット反転数が多いほど、BAST コード量が増加するので、BAST において、テストデータ量やテスト実行時間を削減するためには、ビット反転数の削減が重要となる。文献 [13, 15, 16, 17] では BAST アーキテクチャにおける、擬似ランダムパターンと決定的パターンのマッチング法が提案されている。さらに、テストデータ量を削減するような BAST コード命令やテストの機能を利用したテストデータ量の削減法が提案されている [18]。本論文では、ビット反転数を削減する擬似ランダムパターンと決定的パターンのマッチングに着目する。

ATPG で生成された決定的パターン中のドントケア数を増加させることにより、擬似ランダムパターンとのマッチングにおいて、ビット反転数を削減することが可能である。したがって、ATPG で生成された決定的パターン集合に対し、ドントケア抽出技術 [19] を適用することが効果的であると考えられる。しかしながら、決定的パターン集合に対し、ドントケア抽出を行った結果、決定的パターン集合中の特定のテストパターンに、ケアビットが集中している場合が多い。それゆえ、その特定の決定的パターンと擬似ランダムパターンとのマッチングによるビット反転数が全体の反転数を支配すると考えられる [18]。特定のテストパター

ンで検出を保証した故障には、この特定のテストパターン以外のテストパターンで検出可能なものも存在する。文献 [20] では、すべての故障の検出を保証するようなドントケア抽出を行わずに、擬似ランダムパターンで検出されにくい故障、すなわちランダムパターンレジスタント故障 (RPR 故障) のみの検出を保証する RPR 故障検出ドントケア抽出法が提案された。文献 [20] では、決定的パターン集合における検出回数が N 回以下である故障を RPR 故障としている。つまり、RPR 故障の検出を決定的パターンで行い、それ以外の故障の検出を擬似ランダムパターンに期待するという戦略である。RPR 故障検出ドントケア抽出法を決定的パターン集合に適用する。その決定的パターンと擬似ランダムパターンのマッチングを行い、ビット反転数を削減する方法を評価した結果、マッチング後の BAST パターンでは検出できない故障が存在し、その故障を検出するためのテスト生成を再度行い、擬似ランダムパターン数を追加して、マッチングを行った結果、テスト実行時間が増加した回路も存在した [20]。

本論文では、RPR 故障を定義している決定的パターンによる検出回数 N の値を 1 から未検出故障数が 0 になるまで変化させ、決定的パターンによる検出対象故障の割合、RPR 故障検出用ドントケア抽出適用後のドントケアビットの割合、マッチング後の反転ビット数、テスト実行時間を評価する。

2. BAST の基本概念とアーキテクチャ

BAST の基本概念は「ATPG により生成される決定的パターンは全てのビットを 1 か 0 に指定することがない」という事実に基づいている [14]。多くの場合、決定的パターンは大多数のドントケアビットと少数のケアビットから構成されている。ここでスキャン FF に 1 または 0 の割当てがされたビットをケアビット、スキャン FF に値が割当てられていないビットをドントケアビットと呼ぶ。ケアビットの割合は通常 1 % ~ 5 % [14] で、このケアビットの値が故障検出に必要な値となる。

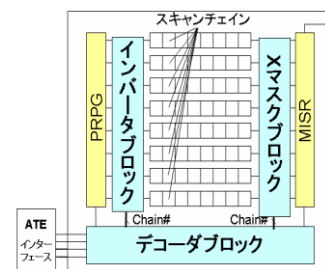


図 1 BAST アーキテクチャ

BAST アーキテクチャは、スキャンベース BIST である

A test pattern matching method on BAST architecture using don't care identification for random pattern resistant faults

Yun Chen Toshinori Hosokawa

STUMPS (Self-Test Using a MISR and a Parallel Shift register sequence generator) [10, 11, 12, 13]に基づいている。図 1 において、BAST 用のテスト回路は、インバータブロック、不定値マスクブロック、デコーダブロックである。インバータブロックは PRPG の出力とスキャンチェーンの入力間に置かれる。このブロックは、PRPG からスキャンインへ通過する信号を反転させる機能を持つ。図 2 はインバータブロックの 1 ビット分の論理を示す。インバータブロックは、スキャンチェーン数と同一のビット幅を持つ。その論理は XOR ゲートから構成され、反転を制御する FF の信号に従い、PRPG の出力信号を反転する。不定値マスクブロックは、内部スキャンチェーンの出力と MISR (Multiple Input Signature Register) [5] の入力間に置かれる。本論文では、不定値マスク処理が必要となる回路を扱わないので、以後不定値マスクについてはふれない。デコーダブロックは、BAST コード [14] とよばれるコード化された信号を ATE から受け取るために、外部入力ピンと接続している。またインバータブロック中の対応するスキャン FF への値反転を、BAST コードをデコードした信号により設定する。BAST コードを入力する外部入力ピンには、インバータブロックの反転を制御するインバータフラグ信号、及びスキャンチェーンを選択するためのチェーンアドレス信号を設定する。インバータフラグの値が 1 の時は、値を反転する。

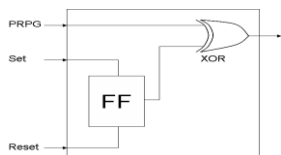


図2 インバータブロック論理

3. BAST におけるテストパターン生成

3.1. BAST パターン

BAST におけるテストパターン生成について述べる。ATPG によりテスト対象回路 (Circuits under the Test: CUT) の決定的パターン集合 TD を生成し、同時に LSI 内部に埋め込まれた PRPG が生成するものと同じの擬似ランダムパターン集合 TR を作成する。表 2 の BAST パターン生成演算 $\cap_B$ により、擬似ランダムパターンの値と決定的パターンの値が一致する場合、擬似ランダムパターンの値を保持する。また、擬似ランダムパターンの値と決定的パターンの値が不一致となる場合、擬似ランダムパターンの値を反転する。決定的パターンの値がドントケア(X)である場合、擬似ランダムパターンの値を保持する。表 1 に BAST パターン生成演算を示す。表 2 にビット反転数演算を示す。

表 1 BAST パターン生成演算 $\cap_B$

$\cap_B$	TR	
	0	1
TD 0	0	0
1	1	1
X	0	1

表 2 ビット反転数演算 $\cap_F$

$\cap_F$	TR	
	0	1
TD 0	0	1
1	1	0
X	0	0

4. ランダムパターンレジスタント故障検出ドントケア抽出を用いたマッチング戦略

4.1. ランダムパターンレジスタント故障

ドントケアとは、テストパターンの対象となる故障を検出するときに必要な論理値である。値は”0”か”1”のどちらでも良い値で、テストパターン中に”X”と表記される。テストパターン集合のドントケア抽出において、RPR 故障のみの検出を保証するようにドントケア抽出を行う処理を RPR ドントケア抽出という。本論文では、テストパターン集合による検出回数が N 回以下の故障を RPR 故障と定義する。RPR 故障数が少ないと、RPR 故障以外の故障集合を検出するテストパターンのケアビットをドントケアにすることで、各決定的パターンのドントケア数の偏りを除き、全体のドントケア数を増加させることができるが、故障検出率が低下する可能性がある。一方、RPR 故障数が多いと、決定的パターン集合中のドントケア数が減少し、各決定的パターンのドントケアの偏りが存在する可能性がある。故障検出率が低下する可能性が低くなる。

4.2. マッチングアルゴリズム

RPR故障検出ドントケア抽出を用いたマッチングアルゴリズムを図3に示す。図3において、関数Matchingは回路C、擬似ランダムパターン集合TR、決定的パターン集合TD、ドントケア抽出の対象となる故障の検出回数Nを入力として、マッチングしたBASTパターン集合TBを出力する関数である。

まず決定的パターン集合 TD に対し、RPR 故障ドントケア抽出を行い、決定的パターン集合 TD' を生成する。RPR 故障を検出する決定的パターン集合 TD' と擬似ランダムパターン集合 TR をハンガリアンアルゴリズム [21] を用いてマッチングし、テストパターン集合 TB を生成し、リターンする。

[例2] BASTパターン生成例

図 3 のアルゴリズムの適用例を説明する。まず、図 4 に、RPR 故障検出ドントケア抽出の例を示す。図 4 において、t1~t4 は決定的パターン集合 TD に属するテストパターンである。Fi (i は 1~4) は、ti で検出される故障集合を表す。f1 から f8 は故障を表す。TD に対して RPR 故障検出ドントケア抽出技術 (N=1) を用いて、全故障集合から 1 回検出故障集合 {f1, f8, f3, f5} のみの検出を保証するテストパターン TD' (t1'~t4') を生成する。図 5 は、マッチングを行って、BAST パターンを生成する例である。図 5 において、tr1~tr4 は擬似ランダムパターン集合 TR に属するテストパターンであり、tb1~tb4 は BAST パターン集合 TB に属するテストパターン集合である。図 5 では、図 4 で示した RPR 故障を検出する決定的パターン集合 TD' を用いて、擬似ランダムパターン集合 TR とマッチングを

行い、BAST パターン集合 TB を生成する．ここで、BAST パターン集合による検出故障集合から、擬似ランダムパターンで検出できる故障が {f2, f4, f6, f7} であることがわかる．また回路全体のビット反転数は式(2)に基づいて 2 と求められる．

```
Matching(C, TR, TD, N) {
    TD'=X_identification_rpr(C, N);
    BT=Hungarian(TR, TD');
    return BT;
}
```

図3 マッチングアルゴリズム

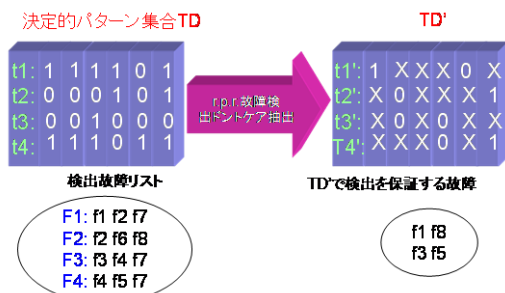


図4 RPR故障検出ドントケア抽出

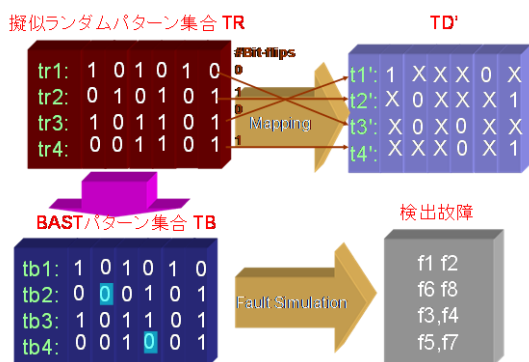


図5 BASTパターンTBの生成

5. 実験結果

ランダムパターンレジスタント故障検出用ドントケア抽出を用いた BAST アーキテクチャにおけるテストパターンマッチング法を実装し、ITC'99 ベンチマーク回路に対して実験を行った．決定的パターンの生成は Synopsys 社の TetraMAX を用いて縮退故障に対するテスト生成を行った後、RPR 故障検出ドントケア抽出を適用して、BAST パターン集合を生成した．各回路のスキャンチェーン数は 16 と設定した．以下に実験方法を示す．

(実験方法)

BAST パターン集合の未検出故障数が 0 になるまで、RPR 故障の検出回数を $N=1,2,3,\dots$ と変化させて、図 3 に示すアルゴリズムを ITC'99 ベンチマーク回路に適用し、決定的パターンでの検出対象となった故障の割合、ドントケア抽出後のドントケアの割合、未検出故障数、反転ビット数、テスト実行時間を評価した．テスト実行時間(サイクル数)の計算式は式(3)により求められる．式(3)において、 D はテスト実行時間、 $flip_num$ は回路ビット反転数、 $scan_path_len$ は最大スキャンパス長、 T はテストパターン数を表している．

$$D = flip_num + scan_path_len * T \dots \text{式(3)}$$

表 3 は各回路の決定的パターンに関する情報である．表 3 において、「テストパターン数」は縮退故障を検出するための決定的パターン数、「FF 数+外部入力数」はスキャン FF 数、「検出故障数」は決定的パターン数で検出することができる故障数を表している．また図 5～9 は各回路における故障の検出回数の割合を示している．すべての回路について、検出回数が 1 回の故障と 11 回以上の故障数の割合が高いことがわかる．

表 4 は、各回路について決定的パターン中のドントケア数、マッチング後の反転ビット数、テスト実行時間を評価したものである．b15 以外の回路について、検出回数が 5 以下の故障の検出を保証するようにドントケア抽出を行うことで、BAST パターンによる未検出故障数が 0 になることがわかる．決定的パターンを用いて検出する故障の割合が 58～70% であるときに、未検出故障数を 0 にできていることがわかる．未検出故障数が 0 になった時のテスト実行時間と全故障をすべて決定的パターンで行ったときのテスト実行時間を比較すると、12～40% 程度削減できたことがわかる．しかしながら、BAST パターンで未検出故障数が 0 になるときの決定的パターン中のドントケア数や反転ビット数は、全故障を決定的パターンで検出する場合と比較して大きく改善ができた．テスト実行時間の改善率も大きくなったことが分かった．ドントケアの割合、ビット反転数が大きく改善されていて、比較的未検出故障数が少なくなっているデータがテスト実行時間を大きく改善できる可能性があると考えられる．

6. まとめ

本論文では、テストデータ量である BAST コード量やテスト実行時間を削減するために、ランダムパターンレジスタント故障検出用ドントケア抽出を用いた BAST アーキテクチャにおけるテストパターンマッチング法の評価を行った．実験結果から、BAST パターンによる未検出故障数を 0 にするためには、58～70% の故障を決定的パターンで検出するようにドントケア抽出を行わなければならないことがわかった．その場合のテスト実行時間の削減は 12～40% 程度である．今後の課題としてよりビット反転数を削減できるために、対象回路に観測ポイントを挿入する方法を実装し、評価することが挙げられる．

表 3 決定的パターン

回路名	テストパターン数	FF数+外部入力数	検出故障数
b14	801	277	59309
b15	496	485	53616
b20	857	522	119314
b21	883	522	121511

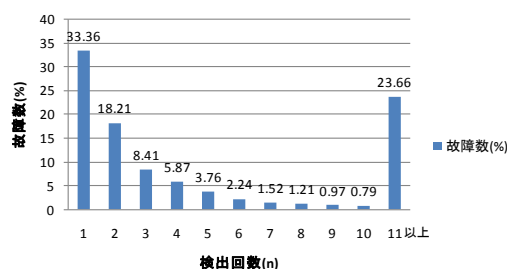


図 6 b14 における各故障の検出回数の割合

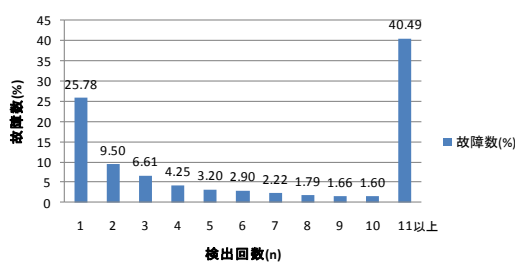


図 7 b15 における各故障の検出回数の割合

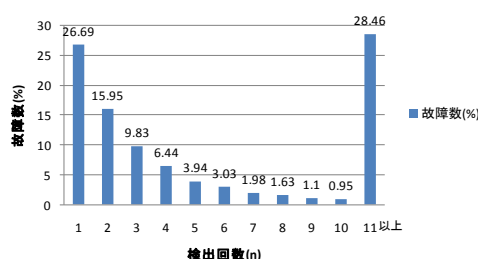


図 8 b20 における各故障の検出回数の割合

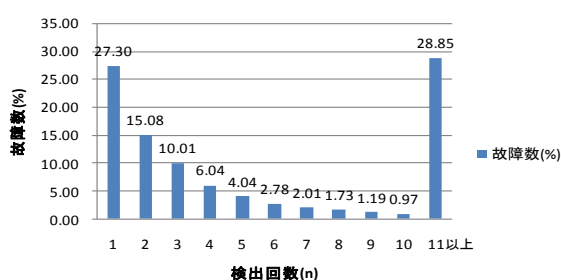


図 9 b21 における各故障の検出回数の割合

表 4 実験結果

Circuit name	Conventional method				Proposed method			
	#Target faults	#Xs	X-rate(%)	#Bit-flips	#Target faults	#Xs	X-rate(%)	#Bit-flips
b14	22646	165222	74.47	19926	3306	170664	76.92	17697
b15	21249	207126	86.10	11944	2214	218409	90.79	7282
b20	45459	335382	74.97	43073	5198	350821	78.42	36401
b21	46154	343322	74.49	45454	5605	357141	77.48	39525

参 考 文 献

- [1] H. Fujiwara, Logic Testing and Design for Testability, The MIT Press, 1985.
- [2] J. Rajski, J. Tyszer, M. Kassab, N. Mukherjee, R. Thompson, K.H. Tsai, A. Hertwig, N. Tamarapalli, G. Mrugalski, G. Eide, and J. Qian, "Embedded Deterministic Test for Low Test Manufacturing Test," in Proc. ITC, pp. 301-310, 2002.

- [3] P. Wohl, J.A. Waicukauski, S. Patel, and M.B. Amin, "X-tolerant compression and application of Scan-ATPG Patterns in a BIST Architecture," in Proc. ITC, pp. 727-736, 2003.
- [4] J. B. Clary and R. A. Sacane, "Self-testing Computers," Computer, Vol. 12, No. 10, pp. 49-59, Oct., 1979.
- [5] P. H. Bardell, W. H. McAnney and J. Savir, Built-In Pseudo-Random Testing of Digital Circuits, Chapter 8. John Wiley & Sons, New York, 1987.
- [6] R. Chandramouli, S. Pateras, "Testing Systems on a Chip," IEEE Spectrum, Vol. 33, No. 11, pp. 42-47, November 1996.
- [7] Y. Zorian, E. J. Marinissen, S. Dey, "Testing Embedded Core-based System chips," in Proc. IEEE International Test Conference, Washington, DC, pp. 130-143, 1998.
- [8] J. Aerts, E. J. Marinissen, "Scan Chain Design for Test Time Reduction in Core-based ICs," in Proc. IEEE International Test Conference, Washington, DC, pp. 448-457, 1998.
- [9] B. Nadeau-Dostie, Design for At-Speed Test, Diagnosis and Measurement, Boston, Dordrecht, Kluwer Academic Publishers, London, 2000.
- [10] H. Bardell, W. H. McAnney, "Parallel Pseudo-random Sequences for Built-in Test," in Proc. IEEE International Test Conference (ITC), 1984, pp. 302-308, 1984.
- [11] H. Bardell, W. H. McAnney, "Pseudo-Random Arrays for Built-In Tests," IEEE Transactions on Computers, Vol. C-35, No. 7, 1986, pp. 653-658.
- [12] H. Bardell, W. H. McAnney, J. Savir, Built-In Test for VLSI, Wiley-Interscience, New York, 1987.
- [13] G. Kiefer, H.-J. Wunderlich, "Using BIST Control for Pattern Generation," in Proc. IEEE Int. Test Conf. Washington, DC, pp. 347-355, November 1997.
- [14] T. Hiraide, K.O. Boateng, H. Konishi, K. Itaya, M. Emori, H. Yamanaka, and T. Mochiyama, "BIST-aided Scan Test-A New Method for Test Cost Reduction," in Proc. VTS, pp. 359-364, 2003.
- [15] H.-J. Wunderlich, G. Kiefer, "Bit-flipping BIST," in Proc. ACM/IEEE International Conference on CAD-96 (ICCAD96), San Jose, CA, pp. 337-343, November 1996.
- [16] G. Kiefer, H. Vranken, E. J. Marinissen, H.-J. Wunderlich, "Application of Deterministic Logic BIST on Industrial Circuits," in Proc. IEEE International Test Conference, ITC 2000, Atlantic City, NJ, October 3-5, pp. 105-114, 2000.
- [17] M. Arai, S. Fukumoto, K. Iwasaki and T. Hiraide, "Test Data Compression using TPG Reconstruction for BIST-aided Scan Test," IEEE 6th Workshop on RTL and High Level Testing, Harbin, China, July 20-21, 2005.
- [18] M. Arai, S. Fukumoto and K. Iwasaki, "Test Data Compression of 100x for Scan-based BIST," IEEE International Test Conference, 2006.
- [19] K. Miyase and Seiji Kajihara, "XID: Don't Care Identification of Test Patterns Circuits and Systems," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 23, No.2, pp. 321-326, 2004.
- [20] LingLing Wan, Motohiro Wakazono, Toshinori Hosokawa, and Masayoshi Yoshimura, A Bit flipping Reduction Method for Pseudo-random Patterns Using Don't Care Identification on BAST Architecture, 9th Workshop on RTL and High Level Testing, 2008.11.
- [21] A. Dolan, R. J. Wilson and J. Aldous, Networks and Algorithm: An Introductory Approach, John Wiley & Sons, 1994.

謝 辞

本研究を進めるにあたり日立超 LSI システムズの若園大洋氏, ルネサスマイクロシステムの万玲玲氏, 日本大学大学院博士前期課程 2 年の山崎達也氏, 同 1 年の柏崎智史氏に感謝します。