

デジタルシンセサイザのスパリアス特性の検討

日大生産工(院) ○村田 真也
日大生産工 田中 将義

1 はじめに

次世代の衛星通信システムにおいてA/D, D/A変換, 利得・位相の制御, 周波数変換等をデジタル回路で実現することが検討されている(1). 中でも, デジタル周波数変換用局部発振器としての信号発生が重要でありDirect Digital Synthesizer (DDS)を用いることが考えられる. このDDSについて, 位相を2分割し, それぞれに固有のLook Up Table (LUT)を持たせることによって使用メモリ容量を低減し, 周波数の安定度が向上する構成が提案されている(5, 6).

本研究では, さらに量子化に伴い発生するスパリアスを相殺するDDSを提案し, その性能評価を行ない, 従来構成との比較検討を行った.

2 システム構成と原理

2.1 DDSの構成と原理と問題点

Fig. 1に一般的なDDSの構成を示す. 発振周波数 f_{out} , 発振周波数の分解能 Δf は以下の式で与えられる.

$$f_{out} = \frac{f_{clk}}{2^n} \quad (1) \quad \Delta f = \frac{f_{clk}}{2^m} \quad (2)$$

ただし, f_{clk} はクロック周波数, n は位相ビット数, m は分解能ビット数とする.

Fig. 1に示すように, 従来のDDSでは, まずPhase Accumulatorにより1周期分の位相を生じさせサブリング位相(B_m)として出力させる. 次にサブリング位相をLook up table (LUT)で処理しやすい数にビット数を減らし(B_n), その後, 量子化したサブリング位相を参照し, それに見合うLUT内部に記録されている正弦波の数値を出力, さらにD/Aコンバータを通すことにより正弦波を生成するものである. しかし, 従来のDDSは通常LUT内に1周期分の正弦波のサブデータを持っており, この場合, 入力ビット n の2の累乗に比例してデータ容量が増加する. また, 位相の量子化に伴いスパリアス不要波が発生する.

信号とスパリアスの電力差をSFDRと呼び, SFDRの値を高くするほど格段にデータ容量が増える問題点がある.

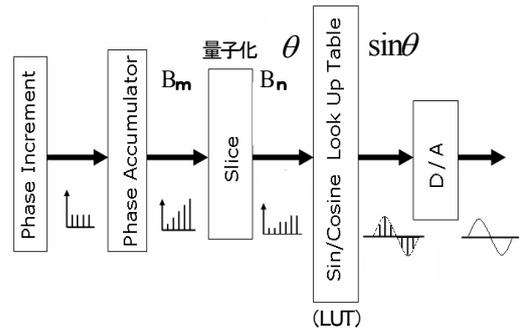


Fig. 1 System configuration of DDS

2.2 新提案 DDS のシステム構成と原理

2.2.1 スパリアス相殺型 DDS

Fig. 2に提案するスパリアス相殺型DDS(4)の構成図を示す. Fig. 1に示す従来型のSliceの後ろ部分に, LUT-1とLUT-2の2つのLUTを有し, LUT-2はLUT-1の2倍の周波数の発振器として動作する.

LUT-1では, 所望周波数 f_0 で発振するが, 量子化に伴い $2f_0$ にスパリアスが発生する.

LUT-2は, 予め $2f_0$ で発振させることで, LUT-1で発生するスパリアスと逆相で合成させることにより, 相殺させる構造である.

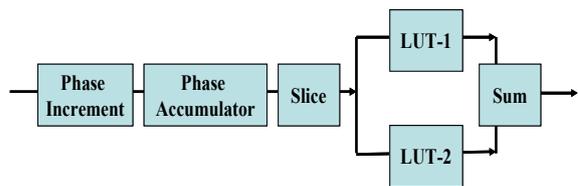


Fig. 2 Configuration of cancel-type DDS

2.2.2 位相分割型 DDS

Fig. 3に位相分割型DDS (2, 3, 6) の構成を示す. Fig. 1のSlice後に位相データを分割し, それぞれに固有なLUTで処理させることにより, 帯域の低減を計るDDSである.

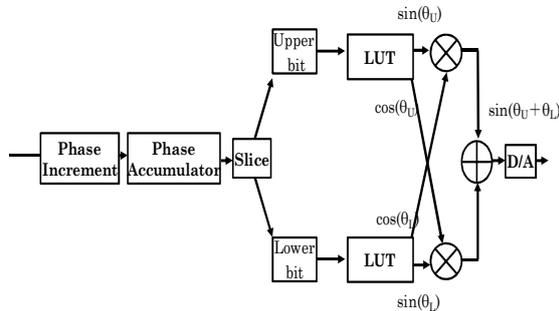


Fig.3 Configuration of phase division DDS

2.3.2 デイザリング法

Fig. 4にFig. 3のSliceにデイザリングを付加した構成を示す.

SliceをSlice1, Slice2と直列に2ヶ所に分け, Slice1のビット数を S_1 , Slice2のビット数を S_2 とすると, 互いのビット数を近いものとする

ことで, LUTに貯蔵されているビット数の直下に

デイザを付加させ, より効率の良いデイザリングをさせている. ただし, (4)式を条件とする.

$$S_1 > S_2 > 0 \quad (4)$$

また, デイザリングを付加させるポイントdは(5)式により決定している.

$$d = m - n \quad (5)$$

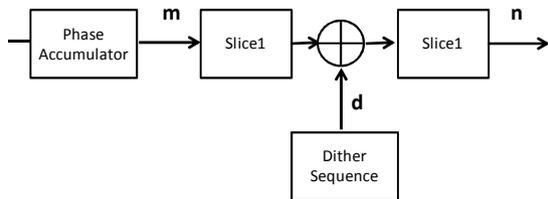


Fig.4 Dithered DDS

また, 位相を分けた後, それぞれにデイザリングを付加させた.

Fig. 5に位相分割型DDSの上位ビットと下位ビットにそれぞれデイザリングを付加させた構成を示す. Fig. 4同様Sliceで切った直下のビットにデイザを加えている.

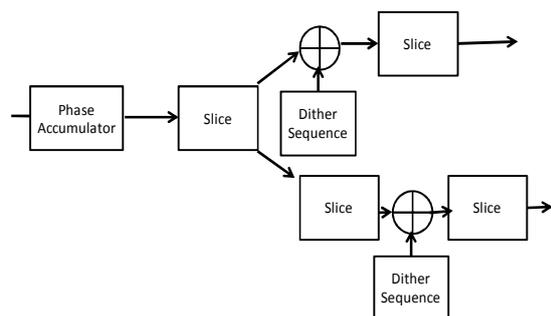


Fig.5 Phase division with dither sequence

3. 検討結果

3.1 相殺型 DDS の出力結果

下のFig. 6は, 先に述べた相殺型DDSのFig. 2のLUT 1 の出力結果である. 今回設定を, クロック周波数100MHz, 発振周波数20MHz, 位相ビット数を5bitとしている.

従来のDDS同様 $2f_0$ の部分にスパリアスが表れていることがわかる.

SFDRは30dBと従来のDDSにおいて, 位相ビット数を5bitと設定した場合と同等な出力が得られている.

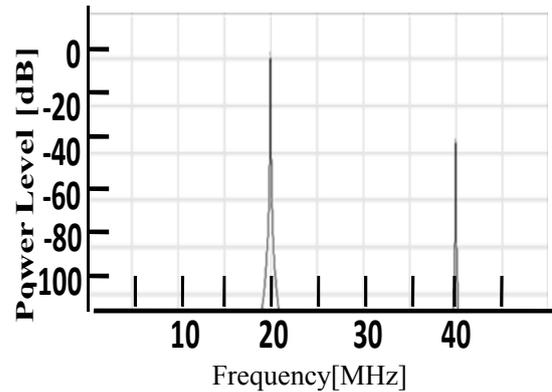


Fig.6 Output spectrum of LUT-1

Fig. 7は, Fig. 2に示した相殺型DDSにおける, LUT2の出力結果となっている.

各設定は, 位相ビット数を5bitとし, 基本周波数はLUT1から出力される基本周波数の2倍波部分の逆位相分をLUT2で作り出すため40MHzとした. また, クロック周波数はFig. 2の構造上先に述べたLUT1の設定と同値となる.

40MHzにLUT 1 の出力結果の2倍波の値に近い40dB付近の値が出力されているが, LUT1での発振周波数である20MHzの部分にもスパリアスが出現しているのがわかる.

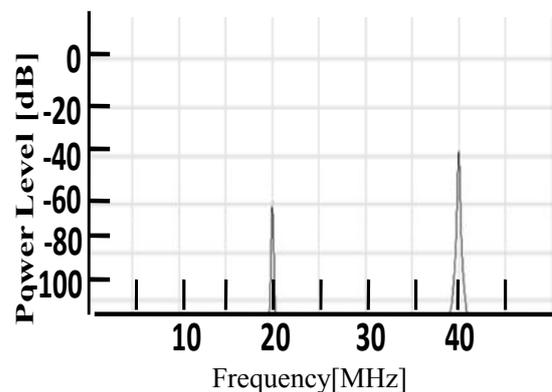


Fig.7 Output spectrum of LUT-2

Fig. 8はFig. 2に示した相殺型DDSの最終的な出力結果である.

全体的にFig. 2のシステムをみると, クロック周波数100MHz, 発振周波数20MHz位相ビット数5bitの出力結果から, SFDRの値が30dBから72dBと, その差42dBと大きく改善していることがわかる. Table1からもわかるように, この出力結果を従来のDDSで実現しようとした場合, 12bitの位相ビットが必要となるが, 相殺型DDSでは相殺

のためのLUT2の位相ビット数を考慮し、使用メモリー容量を算出すると、従来のDDSの6bit分で済み、スプリアスの低減効果では7bit分の効果を示すFig. 8の出力を可能とする。

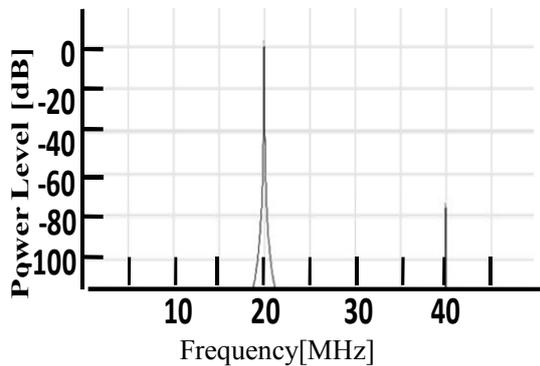


Fig.8 Cancel-type DDS output spectrum

Table1 Comparison between proposed and conventional DDS (SFDR=72dB)

Configuration		Memory volume N=12 LUT 1 = 5 LUT 2 = 5
Proposed	Cancel	2×2^5
	Phase division	2×2^5
Conventional		2^{12}

3.2 位相分割型DDSの出力結果

Fig. 9にクロック周波数100MHz, 発振周波数20MHz, 位相ビット数を10bitとし, Fig. 4に示したディザリング法を付加した位相分割型DDSの出力結果を示す。

従来のDDSであれば, Fig. 6と同等な出力になるが, Fig. 9の出力結果ではディザリングにより全体的なSFDRの改善がなされていることがわかる。

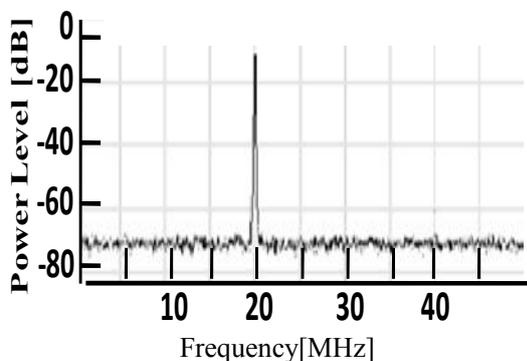


Fig.9 Phase division DDS output spectrum with dither sequence

Fig. 10はFig. 5に示したディザリング法を位相分割型DDSにおける, 上位位相部分に付加した出力結果である。全体的にディザが加わっているが, 2倍波部分のスプリアスの低減効果が低いこ

とがわかる。

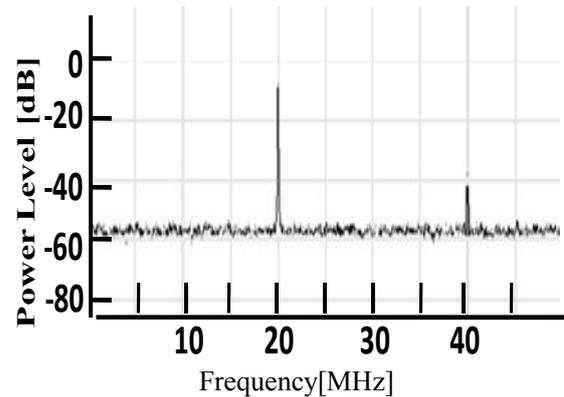


Fig.10 Phase division DDS output spectrum with dither sequence

Fig. 11 はFig. 10の位相分割型DDSの下位位相部分にディザリング法を付加させたものである。

Fig. 10同様, 全体的にディザが付加されているが, 2倍波部分のスプリアス低減効果が低いことがわかる。

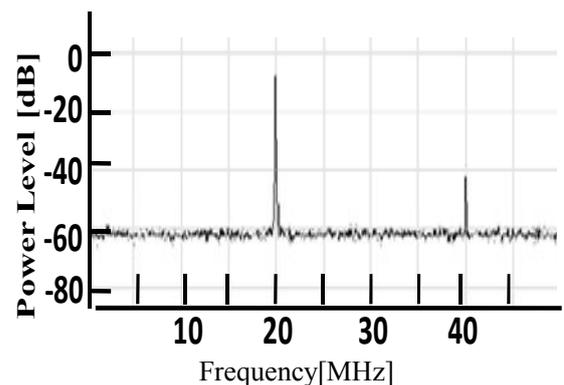


Fig.11 Phase division DDS output spectrum with dither sequence

Fig. 12はFig. 10とFig. 11の上位位相部分と下位位相部分のディザリングを同時に行った時の出力結果である。

Fig. 10より全体的なディザの量を抑えており, また, 2倍波部分のスプリアスも低減されていることがわかる。これは, 上位位相部分のディザと下位位相部分のディザが打ち消しあっている部分があるためと考えられる。

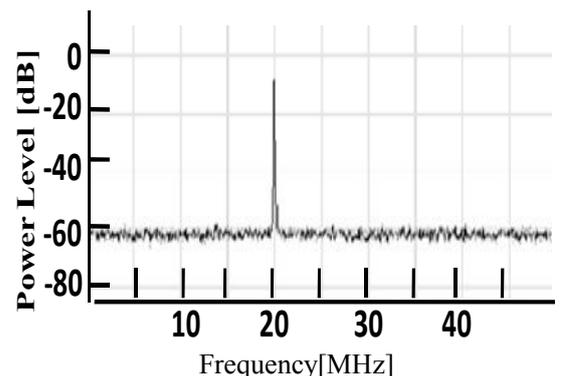


Fig.12 Phase division DDS output spectrum with dither sequence

4. DDSの比較と検討

4.1 DDSの比較

Fig. 13は横軸SFDR, 縦軸メモリ容量とした相殺型DDSと従来型DDS及び位相分割型DDSの比較のグラフである。

グラフを見ると, メモリ低減の観点では, 位相分割型DDS, 相殺型DDSの順に従来のものに比べ高いパフォーマンスを得ることができることがわかる。

高いSFDRを実現しようとする従来型では格段に高いメモリ使用量を必要とするが, 位相分割型や相殺型では, 高いSFDRを実現させても従来のものより低いメモリ容量で実現可能である。

また, 位相分割型DDSは上位位相ビットと下位位相ビットを等分に分割しているのに対し, 相殺型DDSでは, スプリアスを相殺させるためのLUT2を固定のビット数としているため, 位相分割型DDSと比べてSFDRの変化に対するメモリの変動が少ないが, SFDRの低い箇所ではメモリが高くなってしまう。

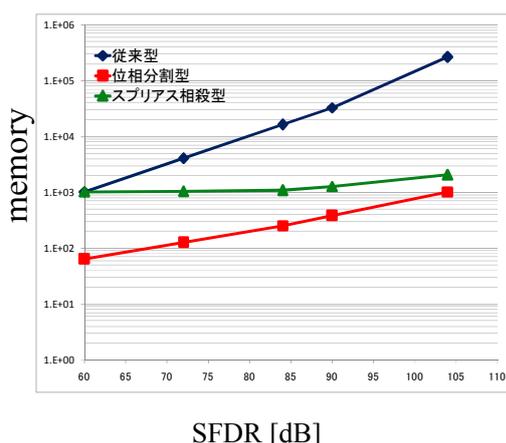


Fig.13 Memory volume versus SFDR

4.2 DDS方式の検討

4.2.1 従来方式

従来方式では, SFDRを良くするために精度を上げようとする格段にメモリ容量が増加することはFig. 9からもわかるが, 相殺型DDSや位相分割型DDSと比べ, その構造が簡易であり, ハードに組み込みやすい利点がある。

4.2.2 相殺型DDS

Fig. 9の結果のように, メモリの低減効果の改善は, 位相分割型DDSより若干低下し, また周波数を変化させる時, 設定箇所が増えるという難点がある。

4.2.3 位相分割型DDS

位相を分割するため, 処理が増加し, 構造が複雑になるが, 従来方式のメモリ容量の問題点が改善され, メモリとスプリアス低減効果を最も効率よく行えるシステムといえる。

5. 考察

今回提案した相殺型DDSは, 特定個所のスプリアス低減に効果的であるが, 発振周波数を変化させた時に, 打ち消す側のLUTを変化に見合うものへと変える必要がある。

また, スプリアス低減効果では, 位相分割型DDSにおいてもデジタリング法を用いることにより, 低減することが可能であり, それぞれのDDSと比較すると, 相殺型DDS, 位相分割型DDSと共に従来型のものより格段に良好な特性が得られた。

メモリ容量を考慮すると, 比較する中では位相分割型DDSが最も効率良くメモリ低減とスプリアス低減を実現できることが明らかとなった。

6. おわりに

今回, 2つの新しい構成のDDSを提案し, スプリアス特性を評価し, スプリアス低減効果, 及びメモリ低減効果の性能比較を行った。

その結果, 相殺型, 及びスプリアス低減法を付加した位相分割型DDSが従来方式に比べメモリを増加させることなくSFDRを改善できることをシミュレーションで確認した。

次世代衛星通信システムとしてアナログ回路をデジタル処理に置き換えることにより, 素子の経年変化や環境依存性がなく安定性を高められ, かつ使用者の意図するプログラムを容易に変更することができるシステムが検討されている。このシステムの実現のため, 今後はFPGAにおいてシミュレーション回路を実装し, その動作について評価していく。

参考文献

- (1) M. Tanaka, et al, Multibeam Mobile Satellite Communication Payload with Beam-forming Network, AIAA 25th ICSSC, AIAA-2007-3179, 2007
- (2) 村田真也, 田中將義, デジタルシンセサイザの周波数安定化に関する検討, 電子情報通信学会ソサエティ大会, B-3-20, 2009
- (3) 村田真也, 田中將義, デジタルシンセサイザの低雑音化の研究, 第42回日本大学生産工学部学術講演会, 2-24(2009), p81-84
- (4) 村田真也, 田中將義, スプリアス相殺型デジタルシンセサイザの検討, 電気情報通信学会総全大, B-3-31, 2010
- (5) 仲瀬正樹, 田中將義, メモリ容量を低減した高周波デジタルシンセサイザの検討, 信学会ソサエティ大会, B-3-2, 2007
- (6) 仲瀬正樹, 田中將義, FPGAを用いたデジタルシンセサイザの周波数安定化に関する検討, 電子情報通信学会総全大, B-3-2, 2008