

BAST アーキテクチャにおける反転ビット数 削減のための観測ポイント挿入法

日大生産工(学部) ○陳 賛 日大生産工 細川 利典

1 はじめに

近年の半導体集積技術の急速な進歩により、超 大 規 模 集 積 回 路 (Very Large Scale Integrated circuits : VLSI) が大規模化、複雑化している。LSI のテストにはスキャン設計と自動テストパターン生成ツール (Automatic Test Pattern Generator : ATPG) [1]によるテスト生成が広く利用されている。この手法では故障検出率が高いが、テストパターン数は増大する傾向にある。その結果、テストデータ量がテストのメモリをオーバーフローするような問題が発生し、テスト実行時間が大幅に増大している[3]。

高故障検出率を維持しながら、テストデータ量を大幅に削減する手法の一つとして、組込み自己テスト BIST (Built-in Self Test) [2]の技術と ATPG を組み合わせたテスト手法である BAST (BIST Aided Scan Test) [3]が提案されている。BAST アーキテクチャにおいて、擬似ランダムパターン生成器 PRPG[4]から生成される擬似ランダムパターン中のあるビットを反転させ、ATPG で生成される決定的パターンに変換する。また反転したビットの位置を記憶するため、BAST コードと呼ばれているコードがテストから入力される。よって、ビット反転数が多いほど、BAST コード量が増大する。BAST において、テストデータ量を削減するためには、反転ビット数の削減が重要となる。文献[4]では、検出回数が少ない故障を r. p. r 故障とする。r. p. r 故障のみの検出を保証するようにドントケア抽出法が提案された。r. p. r 故障検出ドントケア抽出技術を用いた擬似ランダムパターンのビット反転数削減のマッピング法により、回路全体のビット反転数は 7%~37%程度削減できた。

本論文では、さらに反転ビット数を削減するために、観測ポイントを用いる。可検査性の悪い信号線に観測ポイントを挿入することにより反転ビット数を削減できる観測ポイント挿

入法を検討する。

2 BAST 基本概念

BAST の基本概念としては、「ATPG により生成される決定論的テストパターンは全てのビットを指定することはない」に基づいている。多くの場合は、決定論的テストパターンは多数のドントケアビット及び少数のケアビットから構成されている。ここで、テスト生成において 1 または 0 で割当てたビットをケアビット、未割当てのビットをドントケアビットと呼ぶ。一般的に、ケアビットの割合は通常 1%~5%である[3]。

図1はBASTの基本概念図を示している。擬似ランダムパターンを発生する擬似ランダムパターン生成器 PRPG(Pseudo Random Pattern Generator) [2]と出力信号をシグネチャに圧縮する MISR[2](Multiple Input Signature Register)を持つ BIST から構成されている。ATPG により割当てられる擬似乱数の値は PRPG によりテスト対象回路 CUT(Chip Under Test)内部で生成される。したがって、テストデータは、テスト ATE(Automatic Test Equipment)と CUT 間のインタフェースチャンネルを通してコード化して印加される。更に MISR によって ATE 中にすべての出力期待値を記憶する必要性をなくす。MISR の利用は、シグネチャを取り組むときのアンノウン(U)状態の問題を取り扱うことが必要となり、BAST は、U 状態の影響をマスクする機能ももつ。

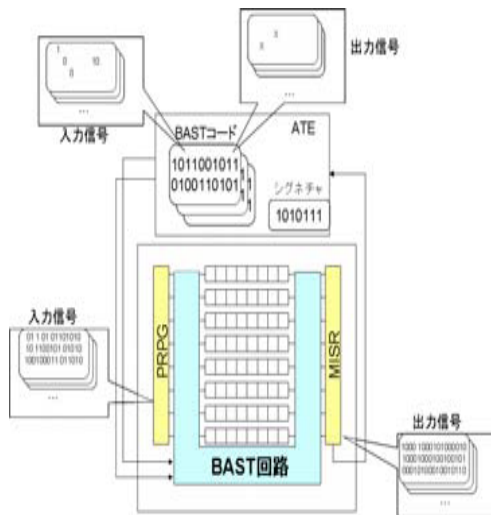


図1 BAST 概念図

3 BAST アーキテクチャ

BAST アーキテクチャは、STUMPS (Self-Test Using a MISR and a Parallel Shift register sequence generator) [3] に代表されるスキャンベース BIST に基づいている。BAST は図 2 に示すようにスキャンチェーンの入出力と PRPG, MISR の間に挿入され、インバータブロック、デコーダブロックとアンノウン状態マスクブロックの三つのブロックから構成される。本研究では、アンノウン状態マスクブロック機能を利用しないので、説明は省略する。

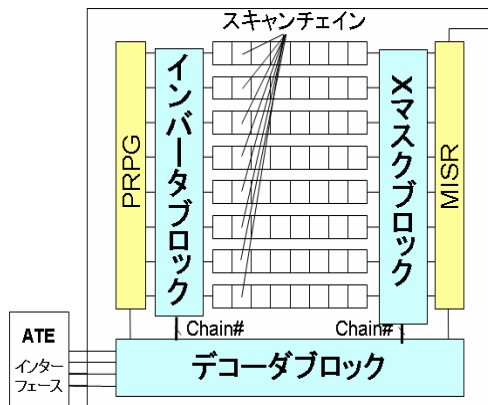


図2 BAST アーキテクチャ

3.1 インバータブロック

インバータブロックは、PRPG からスキャンチェーンへ通過する信号を反転させ、スキャンチェーン数と同一のビット幅を持つ。その論理は XOR ゲートから構成され、反転を制御するフリップフロップ (flip flop : FF) の信号に従い PRPG の出力信号を反転させる。図 3 の例を示すように、FF の Set が 1 かつ Reset が 0 の時

は、PRPG の出力信号を反転し、PRPG の出力信号が 1 から 0 に反転される。

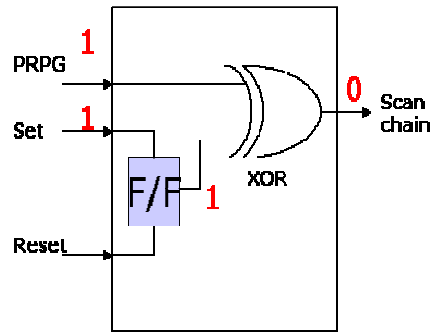


図3 ビット反転論理例

3.2 デコーダブロック

デコーダブロックは、コード化された信号を受け取るインタフェースチャンネル[2]に接続され、インバータブロック、アンノウン状態マスクブロックの対応する FF を制御する。インタフェースチャンネルに入力されるコード化されたテストパターンを BAST コードと呼ぶ。

4 BAST におけるテストパターンの生成法

決定的テスト生成により CUT のテストパターン (TD) を生成し、同時に LSI 内部に埋め込まれた PRPG が生成したものと同一の擬似ランダムパターン (TR) を生成する。これらのテストパターンを重ね合わせ、回路に印加されるテストパターンを BAST テストパターンと呼ぶ。本論文では、ハンガリアンアルゴリズムを用いたマッピング法[4]で反転ビット数を最少にした BAST パターン集合 (TB) を生成する。決定的テストパターンと擬似ランダムパターンの反転情報を BAST コードとする。

4.1 BAST コードを生成するためのマッピング法

図 4 に文献[4]で提案されたマッピングアルゴリズムを示している。具体的な例をあげてみる。図 5 の決定的パターン集合 TD に対してランダムパターンレジスタント故障検出ドントケア抽出技術 (N=1) [4] を用いて、1 回検出故障集合 {f1, f8, f3, f5} を検出できるテストパターン TD' が生成する。次に、生成された TD' と擬似ランダムパターン集合とマッピングを行い、BAST パターン集合 TB' を生成する。ここで、

BAST パターン集合による検出故障集合から、ランダムパターンで故障{f2, f6}が検出でき、反転数2と求められる。

さらに、図6のBASTパターン集合TB'に対し、故障シミュレーションを行い、全故障集合から未検出故障集合{f4, f7}を生成する。未検出故障集合{f4, f7}に対して、テストパターン集合TUを生成する。生成されたTUに対して、再びハンガリアンアルゴリズムでTB'との再マッピングを行う。BASTパターン集合TB'において、TB'で検出できる故障のケアビット以外はシャドー部分に示している。シャドー部分は"0"か"1"のどちらでも良い値である。

図6では、TUa=X0XX01とTB' 3=101101がマッピングされ、TUb=0X1101とTB' 2=000101がマッピングされる。よって、再マッピングで求められたテストパターン集合TB={101101, 000101, 101010, 001001}となる。回路全体のビット反転数とはTB'が求められるときのビット反転数2とTBが得られるとき、求められたビット反転数1との和である。

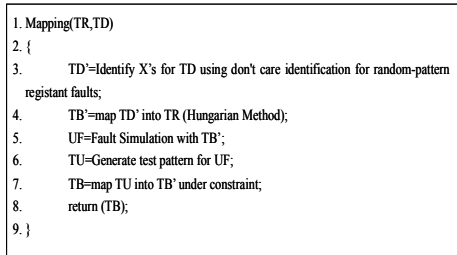


図4 マッピングアルゴリズム

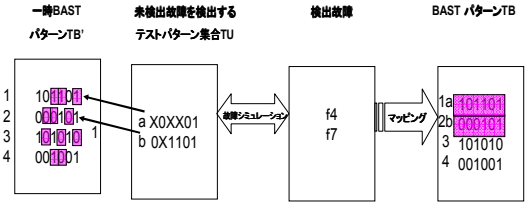
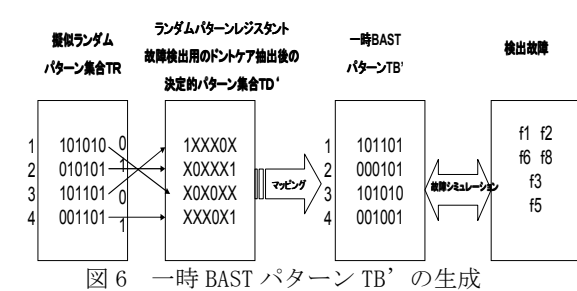
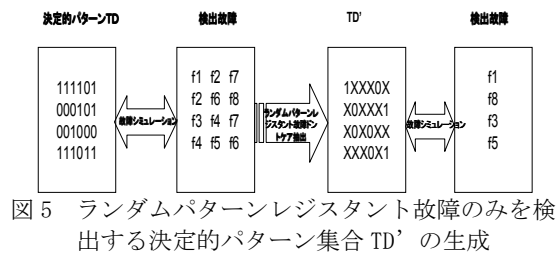


図7 再マッピング後のTBの生成

5 BAST コード削減のための観測ポイント挿入法

決定的パターンと擬似ランダムパターン間の値の衝突が多いとBASTコード[2]が増加する。衝突数はケアビットの分布とケアビット数に依存する。したがって、BASTアーキテクチャにおける反転ビット数を削減するため、決定的パターンのケアビット数を削減する観測ポイント挿入法を提案する。

5.1 観測ポイント

観測ポイントとは、回路の信号線を観測するために挿入された論理回路である。ある観測困難な信号線に、観測ポイントを挿入することにより、その信号線が擬似外部出力(pseudo primary output:PPO)と等価とみなすことができ、観測可能となる。

5.2 観測ポイント挿入の例

例えば、図4の回路に、FF4の出力信号線に0縮退故障(s-a-0)が存在とする。この故障はFF2が0でなければ検出できない。したがって、テストパターンがt1のようになり、ケアビット数が4となる。ゲートG3の出力に観測ポイントPPOを挿入することにより、s-a-0がPPOで観測可能になる。そのため、FF2がXでも検出可能となる。テストパターンはt2となり、ケアビット数がt1より1ビット少なくなる。このように観測ポイント挿入することにより、テストパターン中のケアビット数を削減できる。

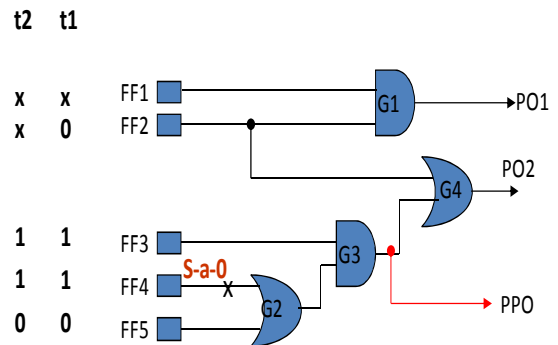


図4 観測ポイントPPOを挿入した回路

6 SCOP テスタビリティ解析に基づく観測ポイント挿入法

6.1 SCOP により故障検出確率の計算

本論文では回路のテスト容易性の計算に SCOP テスタビリティ[6]を用いる。可制御費は $cc0(cc1)$ [7]で表し、可観測費は co [7]で表す。可制御費と可観測費により、各信号線における縮退故障が外部出力で検出される確率の計算を式(1)，(2)の通りに行う。さらに、各信号線のテストタビリティを表す評価関数を式(3)に示す。

$$Wa1 = cc0(i) \times co(i) \quad \dots (1)$$

$$Wa0 = cc1(i) \times co(i) \quad \dots (2)$$

$$K = Wa1 + Wa0 \quad \dots (3)$$

$Wa1$ は、信号線 i の 1 縮退故障の検出確率を表し、 $Wa0$ は、信号線 i の 0 縮退故障の検出確率を表す。 K は、各信号線のテストタビリティを表す評価関数である。

6.2 観測ポイント挿入箇所の探索アルゴリズム

図 5 に評価関数を用いた観測ポイント挿入箇所の探索アルゴリズムを示している。まず、SCOP テスタビリティ解析に基づき、各信号線の可制御費と可観測費の計算を行う。次に、各信号線の評価関数を計算する。次に、評価値が一番高い信号線を観測ポイントの挿入箇所として選択する。観測ポイント挿入箇所として選択した信号線を擬似外部出力とみなす。指定された観測ポイント数まで同じ処理が繰り返す。

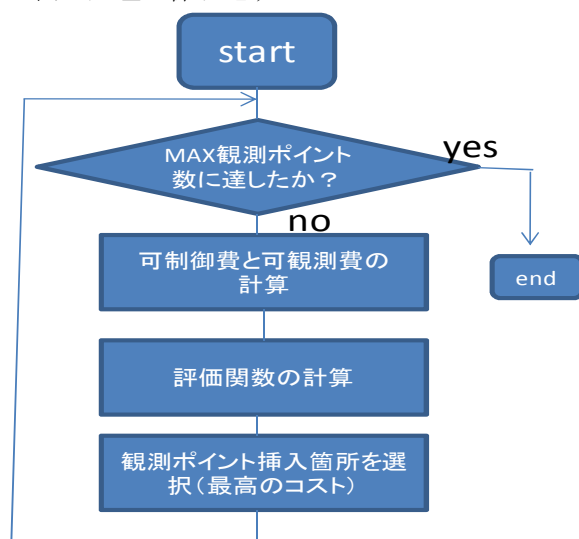


図 5 観測ポイント挿入箇所の探索アルゴリズム

7 実験結果

8 おわりに

本論文では、BAST アーキテクチャにおいて、擬似ランダムパターンの反転ビット数を削減するための観測ポイント挿入法を提案した。

今後の課題として、ビット反転数をさらに削減するため、より効果的なコスト関数の提案が挙げられる。

[参考文献]

[1]H.Fujiwara, “Logic Testing and Design for Testability,” The MIT Press, pp. 1-5, 1985.

[2]Masayuki Arai, Satoshi Fukumoto, Kazuhiko Iwasaki, Takahisa Hiraide, Takashi Aikyo, ” Test Data Compression Using TPG Reconstruction for BIST-Aided Test” , proc. IEEE 6th Workshop on RTL and High Level Testing, 211-8588, 2005.

[3]相京 隆, 平出 貴久, 江守 道明, ” BAST:Bist Aided Scan Test-テストコスト削減のための新しい手法” , 電子情報通信学会論文誌, Vol. J88-D-I, No. 6, pp. 1012-1020, 2004. 8. 27.

[4]LingLing WAN, Motohiro WAKAZONO, Toshinori HOSOKAWA, Masayoshi YOSHIMURA, ” A Bit flipping Reduction Method for Pseudo-random Patterns Using Don’ t Care Identification on BAST Architecture” , Proceedings of IEEE The 9th Workshop on RTL and High Level Testing, pp. 111-1116, 2008. 11

[5]P.H. Bardell and W.H. McAnney, ” Parallel pseudo-random sequences for built-in test,” Proc. ITC, pp. 302-308, 1984

[6]Micheal L. Bushnell and Vishwani D. Agrawal , ” Essentials of electronic testing for digital, memory, and mixed-signal circuits” , pp. 131-149, July, 2000

[7]藤原秀雄, ” デジタルシステムの設計とテスト, ” 工学図書, 2004.