

リシード技術を用いたスキャンベースBISTによる 遷移故障検出率の評価

日大生産工 (学部) ○柏崎 智史 日大生産工 細川 利典

1. はじめに

近年, 大規模集積回路 (Large Scale Integration: LSI) の大規模化, 複雑化が進み, テストコストの増大化が問題となってきた [1]. その理由としては, 縮退故障モデルのみのテストでは不十分で, それ以外の遷移故障モデルなども検出するようなテストが要求されているからである. しかし, そのような複数の故障モデルを検出するテストをすると, テストパターン数が増加してしまうためテストコストが増加してしまうという問題点が存在する. そこで, テストコストを削減する一手法として組み込み自己テスト BIST(Built-in Self-Test)方式[2]が提案されている. 従来の外部テスト方式は, テスタと呼ばれる装置を用いてスキャン機能でテストパターンを印加し, それに対する応答パターンを観測していた. それに対して, BIST 方式では, 従来テスタが持っていたテストパターン発生器と応答パターン圧縮器を回路内に内蔵している. しかしながら BIST 方式では, 疑似乱数パターンを用いているため自動テストパターン生成ツール ATPG(Automatic Test Pattern Generator)ツールによって生成された決定的なテストパターンに比べるとはるかに故障検出率が低いという問題がある. その解決方法として, 乱数を生成する際に用いる初期値(シード)を入れ替えるリシード方式というものが提案されている [3].

本論文では, 遷移故障[4]を対象にまず遷移故障のランダムパターンテストビリティを解析し, その後リシーディングにより効果的な故障検出率の向上を図ることによって, テストコストの削減を目指す. 本稿は 2 章でスキャンベース BIST について説明し, 3 章で遷移故障のテストについて説明し, 4 章でリシード方式について説明し, 5 章で実験結果, 6 章でまとめと今後の課題の予定について述べる.

2. スキャンベースBIST

外部テスト方式と異なり, テスタの一部機能をLSIに内蔵させる方法をBISTという.

図1に外部テストとBISTの概念図を示す. CUTは, テストを行う対象の回路. TPGは, テストパターンを発生させる場所. CMPは, テストの結果を観測する場所である. 図1 (a)のようにテスタがTPGとCMPの機能を持っている方式を外部テスト方式, 図1 (b)のようにTPGとCMPを保持していない方式をBIST方式という.

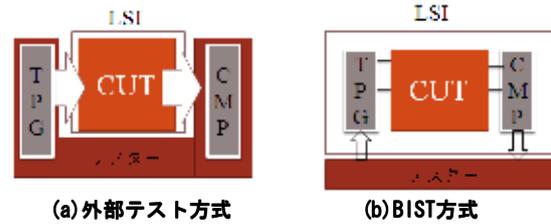


図 1: 外部テスト方式とBIST方式

BIST方式[2]により, テスタに記憶させるテストパターンが少なくすることが可能になるので, メモリ使用量が減り, メモリ量が少ない低価格テスタでテストすることが可能になる.

図2にスキャンベースBISTの代表的なアーキテクチャであるSTUMP[5]を示す. STUMPは, 複数スキャンチェーンのtest-per-scan方式[6]をベースとするTPGとして線形帰還シフトレジスタLFSR(Linear-Feedback Shift Register)を用いて疑似乱数を生成する. 一般に, サイズ n のLFSRから生成される疑似乱数パターン数は 2^n-1 通り(オール0は除く)ある. フェーズシフターでは, 後段につながるスキャンチェーン内の値に相互関係が発生しないようにLFSRの出力同士で, EXORをとる. CUTは, テストを行う対象の回路, MISRは, テストを行った結果を圧縮して符号化する場所である.

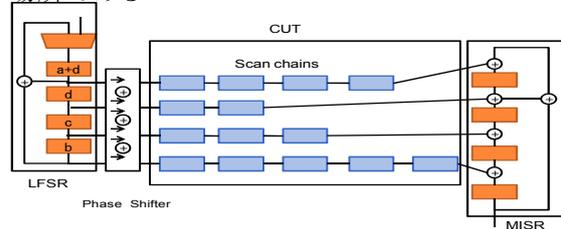


図 2 スキャンベースBISTの構成STUMPS

Evaluation of transition fault coverage using reseeding technologies for scan base BIST

Satoshi KASHIWAZAKI, Toshinori HOSOKAWA,

3. 遷移故障テスト

本章では、遷移故障テストについての説明を行う。3.1で遷移故障とはどのようなものか述べた後、3.2で遷移故障のモデルについて述べ、3.3で2パターンテスト中でもブロードサイド方式についての説明をする。

3.1 遷移故障

遷移故障[4]とは、あるゲートや信号線において遷移信号が最短パスを伝搬してもクロックの周期以上の伝搬時間に大きく遅れる故障である。これは、遷移故障がある経路で活性化された場合必ずその故障影響が FF に伝搬することを意図しており、遷移遅延が LSI の動作周期(クロック周期)より大きいと考えてよい。ここでの遷移信号とは、2パターンテストにおける第1時刻と第2時刻の論理値が0から1、または1から0へと遷移する信号であり、それぞれ立ち上がり信号、立ち下り信号と呼ぶ。

3.2 遷移故障モデル

立ち上がり遷移故障とは、立ち上がり信号の第2時刻の論理値が1でなく0となる故障である図3(b)。立ち下り遅延故障図3(a)は、立ち下り信号の第2時刻の論理値が0でなく1となる故障である。

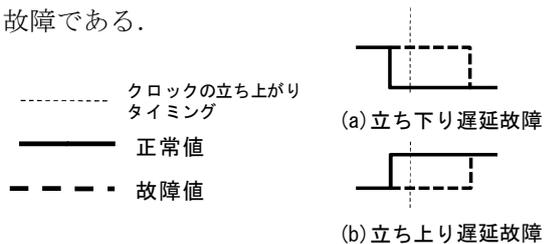


図3 遷移故障モデル

3.3 2パターンテスト

遷移故障を検出するためには、連続する2パターンにより信号の遷移を発生させる必要性がある。この連続する2パターンによるテストを2パターンテストと呼び、第一のパターンを初期化パターン、第二のパターンをリリースパターンと呼ぶ。2パターンテストによる遷移故障検出方法を、以下のStep1~Step4で示す。

- (Step.1) 初期化パターンが、TPGからSC(Scan Chains)を通して図4の1時刻目(t1)のCUTを初期化する。
- (Step.2) 初期化パターンからリリースパターンに入力が変化することにより、FFの一部で遷移が発生し、その遷移が図4の2時刻目(t2)のCUTに伝搬する
- (Step.3) 図4の2時刻目(t2)のCUTの組合せ回路部の応答パターンを、各FFが取り込む。
- (Step.4) 各FFが取り込んだ応答値を、SCを

通しスキャンアウトに送り故障の影響を観測する。

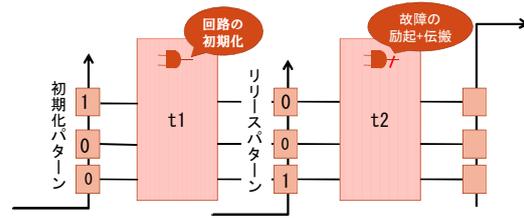


図4 2パターンテスト例

3.3 ブロードサイド方式

2パターンテストには2つの方法が知られており、一つはスキュードロードテスト[7]もう一つは、ブロードサイドテスト[8][9]である。本論文の2パターンテストは、ブロードサイド方式に基づいている。ブロードサイド方式とは、初期化パターンに対するCUTの回路応答を用いて、リリースパターンを作成する方式である。その回路モデルを、図5に示す[8]。1時刻目のFFからの入力信号線を、(擬似外部入力 pseudo primary input : PPI)2時刻目のFFへの出力信号線を(擬似外部出力 pseudo primary output : PPO)とし、外部入力(primary input : PI)はすべて1時刻目と2時刻目で同じ値を入力する、外部出力(primary output : PO)に対しては観測できないものとする、1時刻目と2時刻目の間にあるFFはバッファ(buffer : BUF)とし、1時刻目の回路のFFへの出力がリリースパターンとなるモデルである。

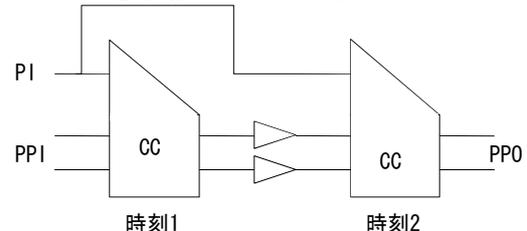


図5 ブロードサイド回路モデル変換

4. リシード方式

本章では、リシード方式についての説明を行う。擬似ランダムパターンを用いて高故障検出率を達成するために膨大なテストパターンが必要となる。現実的なテストパターン数で、高故障検出率を達成するための手法として、LFSRの初期値(シード)を入れ替えるリシード方式[3][9]が提案されている。4.1でリシードのアルゴリズムについて説明し、4.2でシードを計算する方法について説明する。

4.1 リシードの方法のアルゴリズム

リシードのアルゴリズムを、図6に示す。

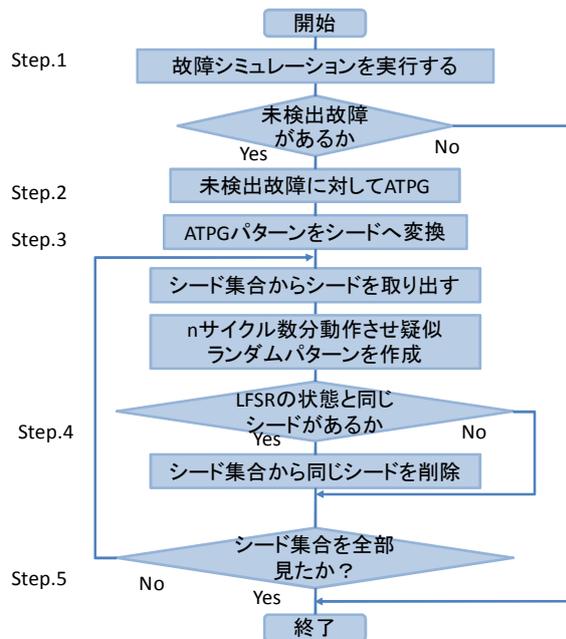


図 6 リシード法アルゴリズム

(Step.1) 最初に任意で決めたseed値を用いてLFSRから擬似ランダムパターンを生成し、故障シミュレーションを実行する。

(Step.2) 未検出故障が存在する場合、未検出故障に対してATPGを行い、テストパターンを生成する。

(Step.3) Step.2で生成した各テストパターンに対してシードを作成する。

(Step.4) Step.3で作成したシード集合から一つシードを取り出してLFSRを任意のサイクル数分動作させて、擬似ランダムパターンを生成する。生成した擬似ランダムパターン中にシード集合の一部と一致するものが存在すればそのシードを削除する。

(Step.5) シード集合が空になるまでStep.4を繰り返す。

このアルゴリズムを用いて、リシードを行う。

4.2 シード計算方法

生成された ATPG パターンは、そのままでは LFSR の初期シードの値として使用することができない。そこで、ATPG パターンを発生し得るように LFSR の初期シードを計算する必要性がある。ここでは、シード計算方法の一つとして連立一次方程式を解くことにより初期シードを求める方法を説明する[11]。その計算方法を図7に示す。

図7は、未検出故障に対して ATPG を実行した結果(0,X,1,X,0,1)のテストパターンを生成した。ケアビットの場所となる FF の式で連立1次方程式を作成し解を求めると、初期シードは(a,b,c,d)=(1,0,X,0)となる。

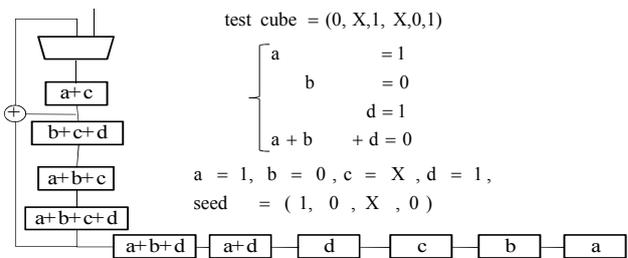


図 7 リシード方におけるシード計算法

5. 実験結果

まずランダムパターンでの遷移故障検出率についてISCAS'89ベンチマーク回路を用い評価した。結果を表1,表2に示す。

表1は、実験で使った回路の情報である。

「回路名」は回路の名前、「全 FF 数」は回路上のすべての FF の数、「入力数」は PI の数、「SC 数」はスキャンチェーン数、「最大 FF 数」は SC 上の最大 FF の数、「テストパターン数」は LFSR で発生したテストパターン数を示す。すべて 10,000 パターンテストパターンを発生した。

表 1. 回路情報

回路名	全FF数	入力数	SC数	最大FF数	テストパターン数
s208	8	11	9	11	10,000
s1238	17	14	6	38	10,000
s5378	179	35	6	38	10,000
s13207	669	31	10	75	10,000
s15850	597	14	10	67	10,000

表2は、10,000 パターンの擬似ランダムパターンでの故障検出率である。表2において、「回路名」は回路の名前、「総故障数」は回路上にある全ての故障の数、「対象故障数」は外部出力 PO を観測しなくなるにより検出できなくなった故障を引いた後の対象故障数、「検出数」は 10,000 パターンで検出することができた故障の数、「未検出数」は(対象故障数-検出数)、「検出率」は、総故障数に対する故障検出率を示す。

表 2 ランダムパターンでの故障検出率

回路名	総故障数	対象故障数	検出数	未検出数	検出率(%)	検出不可数
s27	52	48	47	1	90.385%	4
s208	416	286	169	117	40.625%	130
s1238	2476	1584	773	811	31.220%	892
s5378	10590	9482	3351	6131	31.643%	1108
s13207	26358	24744	17629	7115	66.883%	1614
s15850	31694	30422	24591	5831	77.589%	1272

表2より、総故障数に対する検出率は高いものもあれば低いものも存在する事が分かった。しかし、検出不可の故障も含めた数で検出率を求めているので検出率が低くなる可能性が考えられる。

そこで、その値を引いた対象故障数で検出率を計算すると表3のようになった。

表3 ランダムパターンでの故障検出率

回路名	総故障数	対象故障数	検出数	未検出数	検出率(%)	検出不可数
s27	52	48	47	1	97.917%	4
s208	416	286	169	117	59.091%	130
s1238	2476	1584	773	811	48.801%	892
s5378	10590	9482	3351	6131	35.341%	1108
s13207	26358	24744	17629	7115	71.246%	1614
s15850	31694	30422	24591	5831	80.833%	1272

表3より、対象故障数での検出率は表2の結果より5%ほど上がることが分かった。

6. おわりに

本稿では、ランダムパターンでの遷移故障検出率の評価を行ったあとに、リシードを用いた遷移故障検出率の評価を行った。今後は、リシード方式での効果的な検出効率達成のためのアルゴリズムの実装と実験を行い予定同じテストパターンでどれ位検出率がどのように変わるかを観測する予定である。

【参考文献】

- 1) Semiconductor Industry Association, International Technology Roadmap for Semiconductors, 2001 Edition, 2001
- 2) P.Bardel, W.H.McAnney, and J.Savir, "Built-in test for VLSI" John Wiley and Sons, New York, 1987
- 3) S.Hellebrand, B.Reed, S.tarnic, and H.-J.Wunderloch, "Pattern generation for a deterministic BIST scheme" Proc.IEEE International Conference Computer Aided Design, pp.146-149, 1984
- 4) M.nakao, K.Hatayama and I.Higashi, "On acceleratinof test points selection for scan-based BIST" IEICE Trans. Inf.&Syst., vol.E85-D, no.10, pp.1506-1514, 2002
- 5) J.A.Waicukauski, E.Lindbloom, B.L.Rosen, and V.S.Iyengar, "Transition fault simulation" IEEE Design and Test of Computers, Vol.4, pp.32-38, 1987
- 6) 市野 健一, 渡辺 康一, 新井 雅之, 福本 聡, 岩崎 一彦 "LFSR を用いた擬似ランダムパターン発生器の初期値選択手順" Technical report of IEICE. ICD 102(477) pp.47-52 20021121
- 7) J.Savir and S.Patil, "Scan-based transition test" IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol.12, No.8, pp.1232-1241, 1993
- 8) J.Savir and S.Patil, "Broad-side delay test" IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol.13, No.8, pp.1057-1064, 1994

- 9) Kajihara Seiji, Morishima Shohei, Yamamoto Masahiro, Xiaoqong Wen, Fukunaga Masayasu, Hatayama Kazumi: "Estimation of Delay Test Quality and Its Application to Test Generation" IPSJ Transactions on System LSI Design Methodology 1(0) pp.104-115 2008
- 10) Al-Yamani, J. McCluskey "BIST RESEEDING WITH VERY FEW SEEDS"
- 11) Sybille Hellebrand, Birgit Reeb, Steffen Tarnick, Hans-Joachim Wunderlich: "Pattern generation for a deterministic BIST scheme" Proceedings of the 1995 IEEE/ACM international conference on Computer-aided design