7-11

低消費電力向け縮退故障テスト生成法

日大生産工（学部）　○沈　揚　　日大生産工　細川　利典
九大　　吉村　正義

１．はじめに

近年，半導体集積技術の進歩に伴い超大規模集積回路(Very Large Scale Integration ： VLSI)が大規模化，高機能化している．したがって，スキャン設計された VLSI のテスト生成時間やテストデータ量が増大し，テストコストが増大している[1]．またテスト時の消費電力は，回路設計において最も重要な問題となっている[2]．VLSI のテスト時には，通常の 2 倍から 3 倍の電力を消費することが知られている[3].

テスト時の消費電力の増大が引き起こす問題として，発熱の問題と IR ドロップの 2 つの問題が考えられる[4]．テスト時の過度の電力が，VLSI の発熱の原因につながり，回路に致命的なダメージを与え，場合によっては回路を破損させるおそれがある[5]．また，キャプチャ時のフリップフロップ(flip-flop：FF)の遷移は同時刻に発生するので, IR ドロップが起こる可能性が高まり，その影響で，テスト時に誤動作を起こし，欠陥のない VLSI も不良品と判定されてしまう，したがって，キャプチャ時の消費電力を削減することが重要な課題である．

消費電力は，以下のような式で表される．

$$P \propto C V^2 f$$

P は消費電力，V は電源電圧, C は負荷容量, f は動作周波数を表している．
消費電力Pは電源電圧V，負荷容量C，周波数 f の積と比例するので，電源電圧V，負荷容量C，周波数 f を削減することで消費電力を削減することができる．しかしながら，電源電圧Vは，近年大幅に低下してきており，回路を稼動させることが可能な最小電圧になっている，また，動作周波数fは，回路設計の仕様に依存するので，変更することが困難である．よって，唯一回路設計やテスト生成によって，削減できる項目は，負荷容量 C である．負荷容量 C は，スキャンテストにおけるキャプチャ時において値が 1 から 0，0 から 1 へ遷移する FF の数が増加すると消費電力も増大する．したがって，キャプチャ時の FF の遷移発生回数を可能限り削減するように，テストパターンの値を設定することが重要である．

キャプチャ時の FF の遷移発生回数を削減する方法に，テスト生成後，テストパターン集合にドントケア抽出を適用して，FF の遷移回数を削減するようにドントケアに値を再割当てを行う方法（Low Capture Power：LCP 法）が提案されている[6][7].

LCP 法は初期に生成したテストパターン集合のドントケア部の割当てを変更するという範囲内で低消費電力化を目指している，そのため，劇的な低消費電力化が困難なテストパターン集合が存在する可能性がある．

テスト生成の段階で，FF の遷移回数を抑制する制約のもとで，テストパターンの生成を行う方法（Low Power Automatic Test Pattern Generator：LATPG 法）が提案されている[8].

本論文では，LCP 法と LATPG 法を実装し，ISCAS ‘89 ベンチマーク回路で評価し，LATPG 法の遷移回数削減における有効性を示す.

２．LCP 法

キャプチャ時の FF の遷移発生回数を抑制する方法として，擬似外部入力(pseudo primary input：PPI)と擬似外部出力(pseudo primary output：PPO)に存在するドントケアに遷移を発生させない値を割当てる X 再割当て手法である[6][7].

図1はX再割当て手法の例を示す, 図1においては核回路に外部入力（primary input：PI）が2

A Low Power Oriented Test Generation Method for stuck at Faults

You SHIN, Toshinori HOSOKAWA,
and Masayosshi,YOSIMURA

本，外部出力（primary output：PPO）が1本，PPIとPPOはそれぞれ3本存在する．テストパターンv'=<a1,a2,a3,a4,a5> = <1,X,1,0,X>とする．

キャプチャ時のFF遷移が発生するPPIとPPOは<a3 , b2>と< a4, b3>である．FF遷移を抑えるため，X再割当て手法を用いる場合では，PPI
の a5 の値に PPO の b4 の値 1 を割当てる．しかし，ビットペア<a3 , b2>と<a4 , b3>の値の遷移が依然存在するという問題点がある．

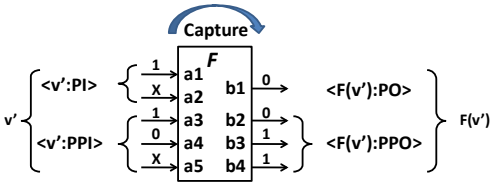

図1，X-Filling手法

3．低消費電力テスト生成フロー

3．1．全体アルゴリズム

図 2 は，低消費電力テスト生成フローの全体アルゴリズム[8]を示している．

まず，Step1 で回路に対して，テスト生成を行う．Step2 において，Step1 で生成したテスト集合から FF の遷移回数がある値以上発生させているテストパターン選択し，Ttar とする．Step3 では，Step2 で生成した Ttar でのみ検出可能な故障を Ftar とする．Step4 では，Step2 と Step3 で選択された Ttar と Ftar を用いて，低消費電力テスト生成（LATPG）[8]を実行する．Step5 では，生成したテストパターンに対いて，X-Filling 処理を行う．Step6 では，Step4 と Step5 の処理を行った後のテストパターンを新たなテスト集合とする．

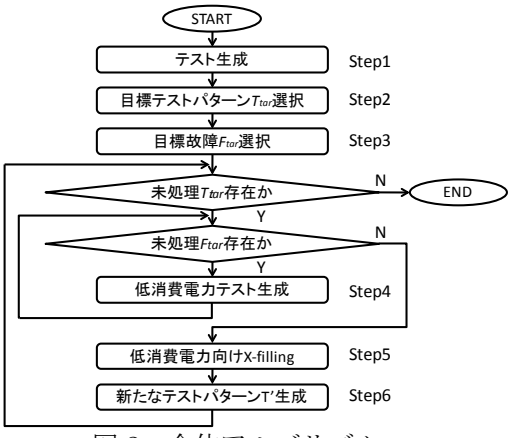

図 2．全体アルゴリズム

3．2．目標テストパターン選択

図2のStep1で生成したテストパターンを用いて，キャプチャ時のFF遷移発生回数を解析する．全テストパターンを遷移回数の大きい順にソートする．その遷移回数が予め設定した c_limit の値以上であるテストパターンを目標テストパターンとする．本論文では，c_limit を FF 数全体の 30%の値に設定する．

4．LATPG 法

この章では，3 章で生成した Ftar 集合に対して実行する，低消費電力テスト生成（LATPG 法）[8]について説明する．LATPG 法では，PODEM アルゴリズム[9]に基づいている．外部入力の値を決定する際に，FF 遷移を制約として考慮する手法である．予め 2 つのスタック，P スタックと R スタックを用意する．P スタックは，テスト生成する際に，PODEM アルゴリズム上での衝突が発生する時，それまでの情報を保存する場所として使用する．R スタックは，テスト生成する際に，決定された疑似外部入力の値とそれに対する疑似外部出力と異なる値になる時，それまでの情報を保存する場所として使用する．LATPG を行う際に，各情報を両スタックに保存する．失敗する場合では，R スタックに保存された最新情報を削除し，遷移発生の判断を一回停止する．

LATPGのアルゴリズムに例を用いて説明する．

図3は，LATPGの失敗例を示す，図4では，LATPGの成功例を示す．

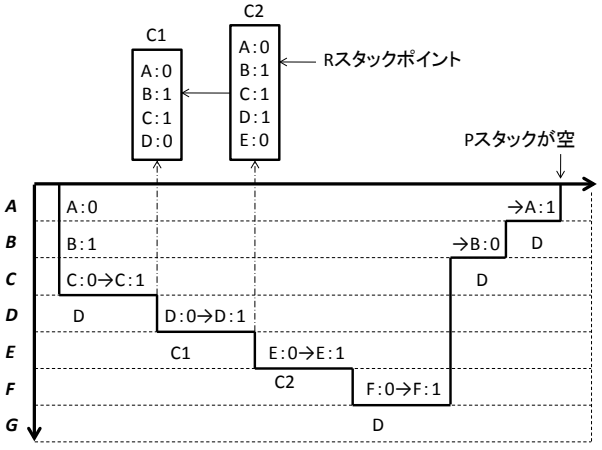

図3，低消費電力テスト生成の失敗例

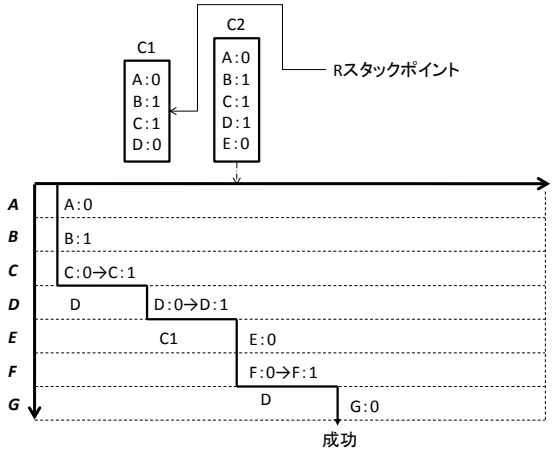

図4，低消費電力テスト生成の成功例

図5と図6に示すように，回路の外部入力はAからGまでの7本である．図6，図7において，DはPODEMアルゴリズム上での衝突が発生することを示し，以後D衝突と呼ぶ．Cは遷移が発生することを示し，以後C衝突と呼ぶ．テスト生成を行う際に，信号線AからGの順に値を決定する．

まず，失敗例から説明する．C の値に 0 を割当てる際に，D 衝突が発生する．バックトラックして，C に 1 を割当てる．D の値に 0 を割当てる際に C 衝突が発生する．バックトラックして，D に 1 を割当てる．この時，D の値が決定されるまでの各外部入力の情報を R スタックに保存し，C1 とする．次に，E の値に 0 を割当てる際に C 衝突が発生する．バックトラックして，E に 1 を割当てる．同じく，各外部入力の情報を R スタックに保存し，C2 とする．このように，各外部入力の値を，衝突を確認しながら決定する，しかしながら，バックトラックしつくして，全外部入力線の値を決定することができなく，テスト生成に失する．

次に，図4の成功例について説明する．図3の一連の動作が終了後，RスタックにC1とC2,2つの情報を保存されている．最新のC2の情報をRスタックから削除する，C1の情報に従って，テスト生成を再開する．ただし，Eの値を決定する際に，遷移の発生を無視し，Eに0を割当てる．次にFに1を割当て，Gまで辿り着き，テスト生成が成功である．

５．評価実験

本稿では, ISCAS'89 ベンチマークを使用し実験を行った．表 1 は実験結果を示す．

表1において低消費電力X-FillingはLCP法である．低消費電力ATPGはLATPG法である．テストパターン数は回路に対してテスト生成を行う後，生成されたテストパターンの数を示す．故障検出率は生成されたテストパターンを使用し，故障の検出率を示す．テストパターン増加はLATPG法において，LCP法に対するテストパターンの数の増加率を示す．最大遷移数は両手法を使用し，FFの最大の遷移回数を示す．遷移回数削減率はLATPG法において，LCP法に対する遷移回数の削減率を示す．時間は実行時間を示す．

実験結果より，各回路に対して，最大遷移回数を，最大45%を削減することができた，平均削減率は26.2%であることを確認できた．ただし，FF数全体の30%のc_limitに対して, 削減率が30%以上の結果3つのみを確認できた，まだ，30%以下の結果が多数存在する．また，テストパターンの増加率も，最大30%，故障検出率では，LATPG法にはバックトラック回数制限設定しないため，高検出率を得た，一方，実行時間も大幅に増大した．

６．おわりに

本論文ではLCP 法と LATPG 法を実装して評価を行った. LATPG 法は最大遷移回数を 6～45%削減することができた．しかしながら，LATPG 法のテスト生成時間は十倍～数百倍遅，今後の課題として，LATPG 法に代わる検出外部出力に着目した低消費電力向けテスト生成アルゴリズムを検討することが挙げられる．

[参考文献]

[1]ToshinoriHosokawa,MasayoshiYoshikawa,and Mitsuyasu Ohta."Novel DFT Strategies Using Full/Partual Scan Designs and Test Point Insartion to Reduce Test Application Time."IEICE A publocation of the engineering sciences society, (2001) pp3-4

[2]周藤明史 新井雅之 岩崎一彦「スキャンベースハイブリッド BIST における消費電力削減に関する一考察 」信学技報(2008)pp. 33-38

[3]SeijiKajiwara,KojiIshida,KoheiMiyase "Aberage Power Reduction in Scan Testing by Test Vector Modification" (2002) p12-13

[4]Tetusya Aoyama, Masanori Hariyama, Michitaka Kameyama "High-Level Synthesis for Low Power VLSI Processors Using Muitiple Supply Voltages" (2002) pp25-31

[5]Jaehoon Song, Hyunbean Yi, Doochan Hwang, Sungju Park "A Compression Improvement Technique for Low-Power Scan Test Data" (2002) pp12-13

[6]Ro Sankttalingam and N.Touba, ``Controlling pcak power dllring scan tcsting,"Proc.VLSI Tcst Symp.(2002)pp.153-159.

[7]X.Wen,H.Yamashita,S.Kajihara,L.T Wang,Ko Saltta,and K.Kinoshita,``On low-capture-power tcst generation for scan testingF" Proc.VLSI Test Symp.(2005)pp.265-270

[8]Xiaoqing Wen, Seiji Kajiharra, Kohei Miyase, Tatsuya Suzuki, Kewai K. Saluja, Laung-Terng Wang, and Kozo Kinoshita "A Novel ATPG Method for Gapture Power Reduction during Scan Testing" IEICETransactions on Information and Systems, Vol, E90-D, No.9 pp 1398-1405, Sep 2007

[9]R Goel :An implicit enumeration algo□ ithnl to gencrate tests for combinationa1 logic circuits,"IEEE Transo Comput.vol.30, no.3.(1981),pp.215-222.

表1. 実験結果

回路	低消費電力X-Filling				低消費電力ATPG					
	テストパターン数	故障検出率(%)	最大遷移回数	時間 (Sec)	テストパターン数	テストパターン増加(%)	故障検出率(%)	最大遷移回数	遷移回数削減率(%)	時間 (Sec)
s1238	125	94.0%	18	0.2	128	2.4%	100.0%	12	33.3%	21.2
s1423	24	99.1%	49	0.1	31	29.2%	98.9%	32	34.7%	10.5
s5378	100	99.1%	102	0.5	107	7.0%	99.8%	95	6.9%	41.3
s9234	111	93.5%	124	2.9	132	18.9%	99.4%	98	21.0%	110.4
s13207	235	98.5%	380	4.3	254	8.1%	98.7%	302	20.5%	105.3
s15850	97	96.7%	280	6.3	108	11.3%	99.5%	203	27.5%	208.4
s35932	12	89.9%	1548	36.1	14	16.7%	98.5%	1089	29.7%	216.4
s38417	87	99.5%	590	78	95	9.2%	97.6%	491	16.8%	320.4
s38584	114	95.9%	925	54.9	125	9.6%	98.9%	503	45.6%	620.5
平均		96.2%				12.5%	99.0%		26.2%	