

2.3 最大スプリアス低減システムの構成と原理

2.3.1 デイザリング法

Fig. 3はFig. 2の位相部分を取り出し、デイザリングブロックを付加させたものを示している。量子化桁落ちに微小なランダム値を足し合わせることで、最大スプリアスの低減をするものである。

また、デイザリングビット数 d は式(4)で表すことができ、位相ビットの変化に合わせてバイナリポインタを変化させている。

$$d = m - n \quad (4)$$

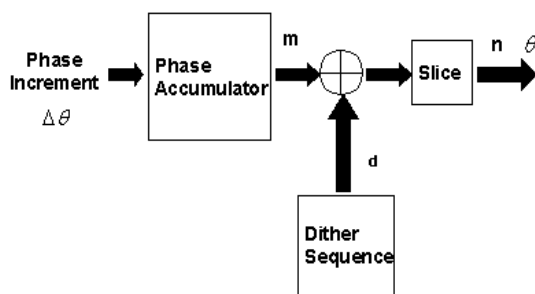


Fig.3 デイザリング法

2.3.2 フィードバック法

Fig. 4はFig2の位相部分を取り出し、フィードバックを付加させたものを示している。Sliceブロックで桁落ちした値をフィードバックさせたものである。

位相ビットの最下位のビットに反映させることで、量子化誤差を小さくしている。

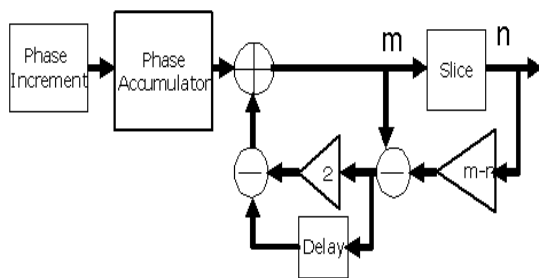


Fig.4 フィードバック法

3 検討結果

3.1 位相ビット分割方とSFDRの関係

新提案DDSでは、位相ビットを分割させる際、その割り振り方の違いによって、DDSの出力結果のSFDRに影響を与える。

ただ単に4つに等分すると、下位位相ビットで定める位相が細くなり、LUT値が全て同じ値となるため、出力に影響を及ぼさなくなる。よって、本提案DDSを使用する場合、下位位相ビットが細くなり過ぎないように注意して、位相データの分割の設定をする必要がある。

Fig. 5は実際に新提案DDSに対して位相データの分割の方法によって変動するSFDRの値をグ

ラフとして表したものである。第2層と第3層との間で、第2層にビットが移る際にSFDRが大きく変化していることがわかる。

また、第1層と第2層、及び第3層と第4層のビット数の大小を入れ違えてもSFDRには影響を及ぼしていない。

これらのことより、SFDRは第1層と第2層の上位ビットによって変動することが分かった。

Fig. 6は上位ビット数とSFDRの関係を記したグラフである。上位ビットの値が増加するほどSFDRも高い値をとることが分かる。

以上のことより今回の報告では位相の切り方を5:5:1:1を参考に、まず上位ビットと下位ビットに大きく分け、上位ビットと下位ビットでは等分になるように位相を分割した。

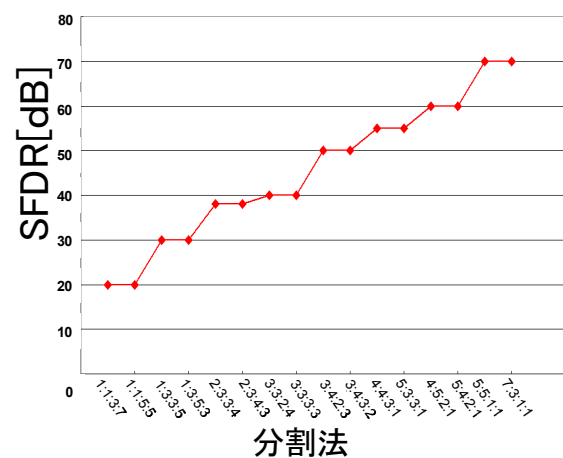


Fig. 5 4分割方法とSFDRの関係

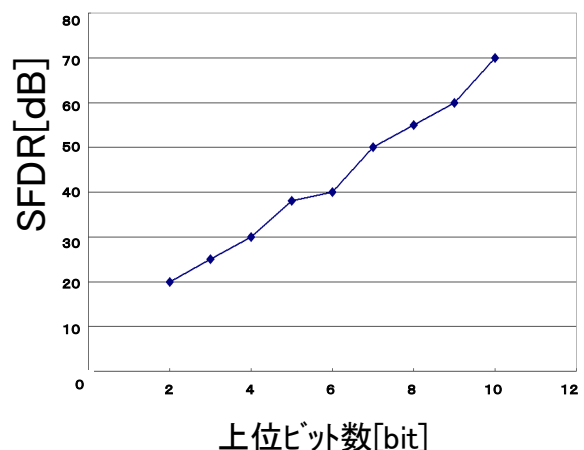


Fig. 6 上位ビット数とSFDRの関係

3.2 出力結果

Fig. 7は新提案DDSのシミュレーションの出力結果である。

クロック周波数100MHz、発振周波数20MHz、位相ビット数を12bitsと設定し、分割の割合は5:5:1:1とした。

また、周波数分解能は式(2)で定まり、本研究ではクロック周波数100MHz、分解能ビット32bitであるため、周波数分解能は、0.0232Hzである。

グラフから分かるように、40MHzにスプリアスが出ている。また、基本周波数周辺に現れる位相雑音も見られ、従来のDDSとほぼ同等な性能を実現していることを確認することができた。

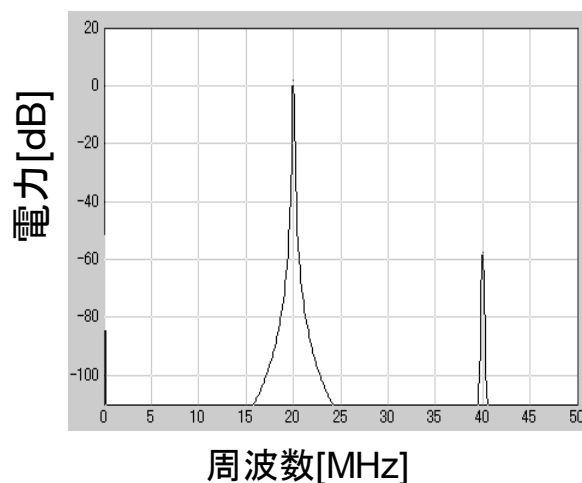


Fig. 7 新提案DDSのスペクトラム

4.1 雑音低減法

本研究ではスプリアスや位相雑音をフィードバック制御及びディザリング法で低減させる。

4.1.1 フィードバック制御を付加した新提案DDSのスペクトラム

Fig. 9は新提案DDSにおいて、クロック周波数100MHz、発振周波数20MHz、位相ビット12bitsと設定し、フィードバックを付加した物のスペクトラムである。

量子化誤差による雑音部分を全体的に分散させることにより、SFDRを低減することができた。

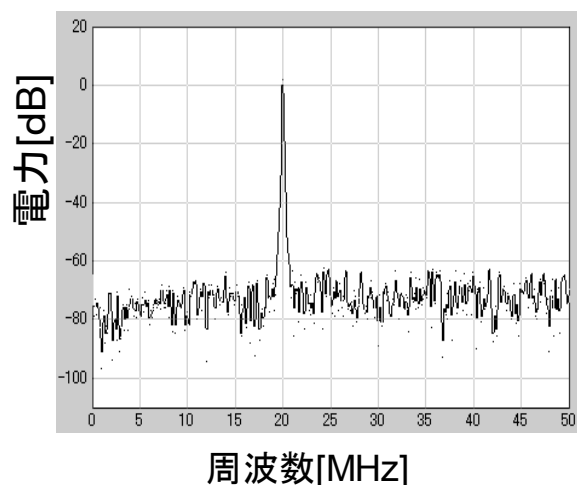


Fig. 8 フィードバック付加のDDSスペクトラム

4.1.2 ディザリング法を付加した新提案DDSの出力結果

Fig.9は新提案DDSにおいて、先ほどのフィードバックの時の設定と同条件に設定し、フィード

バックは付加せずにディザリングだけを付加した物のスペクトラムである。

Fig.9と比べ、40MHzに現れるスプリアスが大きくなっているが、全体のスプリアスレベルが減少していることが分かる。

ディザリング法はフィードバックに比べ最大スプリアスレベルを下げる機能は低下してしまうが、全体的なスプリアスレベルを下げる効果があることが分かった。

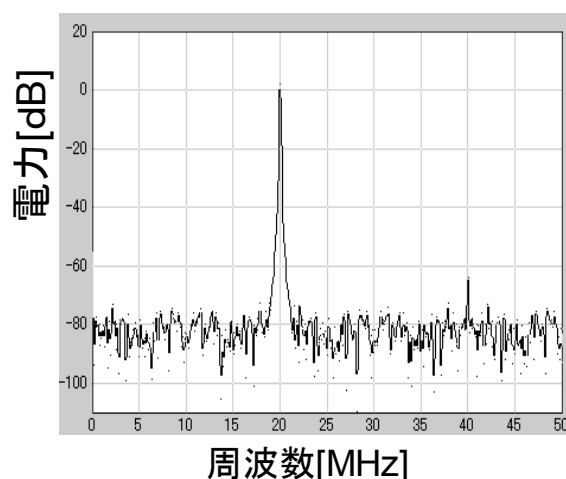


Fig. 9 ディザリング付加のDDSスペクトラム

4.3 ディザリング法とフィードバック法を付加した新提案DDSのスペクトラム

Fig. 10は新提案DDSにおいて、フィードバックとディザリングを付加させ、先ほどのフィードバック、及びディザリングのみを付加したDDSの設定と同様にクロック周波数、発振周波数、位相ビットを設定したときの出力結果である。最大スプリアスを低減し、また微量ではあるが全体のスプリアスレベルも低減していることが分かる。

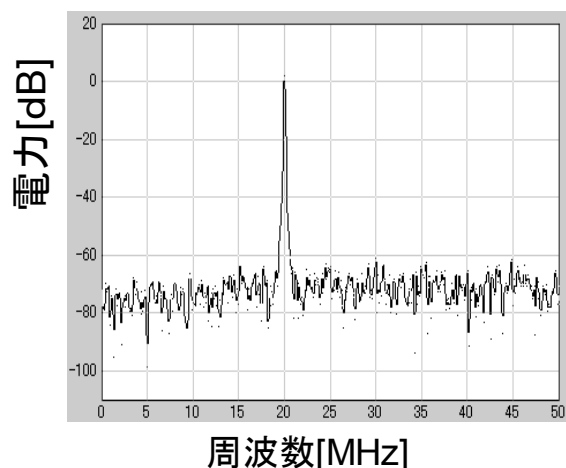


Fig. 10 2種類の雑音低減付加時のDDSスペクトラム

5. 内部メモリ容量の比較

Fig. 11は従来の1つのLUTからなるDDSと今回提案する4つのLUTで構成するDDS及び、すでに確認されている2つのLUTで構

成されたDDSについて、それぞれの内部メモリ使用量を比較したものである。

メモリに保存しているデータは、出力ビットの14bitであり、LUTの入力ビット数との乗算によりメモリ容量が定まる。

グラフからも位相ビット数が増加するとメモリ使用量が増大することがわかるが、位相ビットを分割し、それぞれ固有のLUTにおいて処理させることでメモリ使用量の増大を大幅に少している。

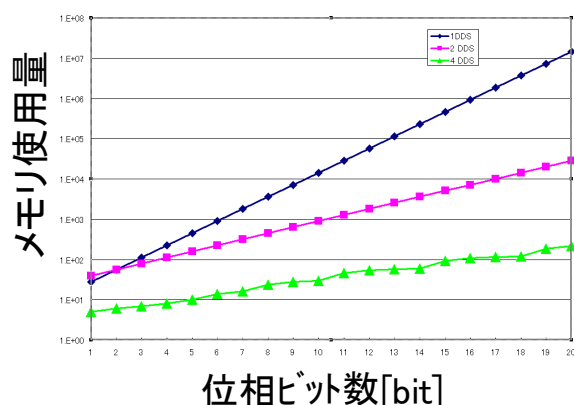


Fig. 11 メモリ使用量の比較

6. 考察

6.1 位相ビットを上げた新提案DDSのスペクトラム

本提案DDSでは使用メモリ容量の低減が大幅にできるため、位相ビット数を増やし、SFDRを高くすることができる。

Fig. 12はクロック周波数100MHz、発振周波数20MHz、位相ビット14bitsと設定した、新提案DDSにフィードバック及びディザリングの2つの雑音低減法を付加した物のスペクトラムである。Fig. 11と比べ全体のスペクトルレベルが低減し、低雑音化が実現していることが分かる。

このように、本提案DDSでは使用メモリ使用量が低減した分、位相ビットを高くすることで、低雑音のスペクトラムを得ることができる。

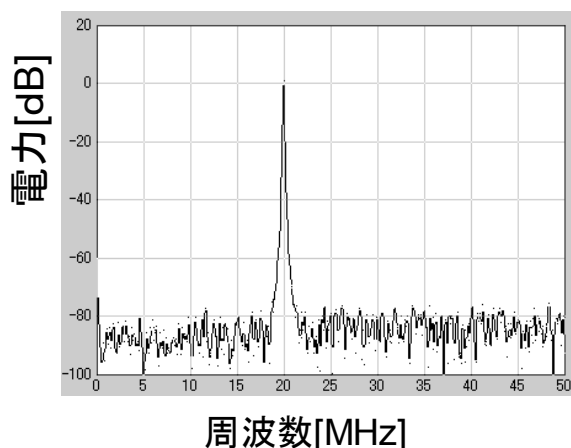


Fig. 12 位相ビット改善DDSの結果

6.2 LUT数の違いによるDDSの性能比較

Table. 1はLUTの数とSFDRについて表にまとめたものである。

従来のDDS (LUT1)に比べ2つのLUTを有するDDSや、4つのLUTを有する新提案DDSにおいても、ほぼ同等な結果が得ることが可能なことが分かった。

どのDDSにおいても位相ビット数を大きくするほどより精度が良くなり、先ほどのFig. 12の結果を考慮すればLUTを多く有するDDSの方が、より高いパフォーマンスを示すことが分かる。

Table1 LUT数と性能比較

位相ビット [bit]	SFDR[dB]		
	LUT1	LUT2	LUT4
8	55	50	50
10	65	60	60
12	78	66	70
14	80	78	80

7. おわりに

今回はDDSについて、内部メモリ容量を従来方式に比べて格段に減少させる構成を提案し、シミュレーションにおいて、同等な性能な出力を確認し、さらに、ディザリング法やフィードバック法によってSFDRが改善することを確認した。

また、低減した使用メモリ容量を有効活用し、位相ビット数を上げることで、さらに精度の高いスペクトラムを得られた。

次世代衛星通信システムとしてアナログ回路をデジタル処理に置き換えることにより、素子の経年変化や環境依存性がなく安定性を高められ、かつ使用者の意図するプログラムを容易に変更することができるシステムが検討されている。このシステムの実現のため、今後はFPGAにおいてシミュレーション回路を実装し、その動作について評価していく。

また、新提案DDSの分割法についてもさらに詳しく調べていく予定である。

参考文献

- (1) M. Tanaka, et al, Multibeam Mobile Satellite Communication Payload with Beam-forming Network, AIAA 25th ICSSC, AIAA-2007-3179, 2007
- (2) 仲瀬正樹, 田中將義, メモリ容量を低減した高周波ディジタルシンセサイザの検討, 信学会ササエ大, B-3-2, 2007
- (3) 仲瀬正樹, 田中將義, FPGAを用いたディジタルシンセサイザの周波数安定化に関する検討, 信学総全大, B-3-2, 2008