# ディジタルシンセサイザの低雑音化の研究

## 1 はじめに

次世代の衛星通信システムにおいてA/D, D/A変換,利得・位相の制御,周波数変換等をディジタ ル回路で実現することが検討されている(1). 中でも,ディジタル周波数変換用局部発振器とし ての信号発生が重要でありDirect Digital Synthesizer (DDS)を用いることが考えられ る.このDDSについて,位相を2分割し,それ ぞれに固有のLook Up Table(LUT)を持たせる ことによって使用メモリ容量を低減し,周波数の 安定度が向上する構成が提案されている (2,3).本研究では,さらに位相を細かく分割 することにより,メモリ容量を一層低減させ,同 時に位相雑音,スプリアスの低減の検討を行った.

# 2 システム構成と原理

# 2.1 DDS の構成と原理と問題点

Fig. 1に一般的なDDSの構成を示す. 発振周 波数 $f_{out}$ ,発振周波数の分解能 $\Delta f$ は以下の 式で与えられる.

$$f_{out} = \frac{f_{clk}}{2^n} \quad (1) \qquad \Delta f = \frac{f_{clk}}{2^m} \quad (2)$$

ただし、 $f_{clk}$ は $p_{v}$ の周波数,n は入力ビット数,m は分解能ビット数とする.

Fig. 1に示すように、従来のDDSでは、まず Phase Accumulatorにより1周期分の位相を 生じさせサンプリング位相( $B_m$ )として出力させ る.次にサンプリング位相をLook up table(LUT) で処理しやすい数に量子化し( $B_n$ )その後、量 子化したサンプリング位相を参照し、それに見合 うLUT内部に記録されている正弦波の数値を 出力、さらにD/Aコンバータを通すことにより正弦 波を生成するものである.しかし、従来のDDS は通常LUT内に1周期分の正弦波のサンプルデータ を持っており、この場合、入力ビットnの2の累 乗に比例してデータ容量が増加する.位相の量 子化に伴いスプリアスが発生する.信号とスプリアス 日大生産工(院) ○村田 真也 日大生産工 田中 將義

の電力差をSFDRと呼ぶ.そのSFDRの値を高く するほど格段に容量が増えるという問題点が ある.



Fig.1 一般的な DDS の構成

#### 2.1 新提案 DDS のシステム構成と原理

Fig. 2に提案する 4 つのLook Up Table (LUT) を使用する DDS の構成を示す. 位相を  $\theta_1, \theta_2, \theta_3, \theta_4$ の4つに分割し, それぞれに固 有のLUTを持たせることにより更なるメモリの低 減を計った.本構成では,正弦波の出力は, 以下の式で計算される.

 $\sin(\theta_1 + \theta_2 + \theta_3 + \theta_4)$ 

 $= (\sin\theta_1 \cos\theta_2 + \sin\theta_2 \cos\theta_1) \times (\cos\theta_3 \cos\theta_4 - \sin\theta_3 \sin\theta_4)$  $+ (\sin\theta_3 \cos\theta_4 + \sin\theta_4 \cos\theta_3) \times (\cos\theta_1 \cos\theta_2 - \sin\theta_1 \sin\theta_2)$ 



Fig.2 新提案DDSの構成

A Study on Reducing Noise in Direct Digital Synthesizer

Shinya Murata and Masayoshi Tanaka

# 2.3 最大スプリアス低減システムの構成と原理 2.3.1ディザリング法

Fig. 3はFig. 2の位相部分を取り出し, ディザリ ングブロックを付加させたものを示している. 量子化桁落ちに微小なランダム値を足し合わせ ることにより, 最大スプリアスの低減をするもの である.

また, ディザリングビット数dは式(4)で表すこと ができ, 位相ビットの変化に合わせてバイナリポイン トを変化させている.



Fig.3 ディザリング法

# 2.3.2 フィート・パック法

Fig.4はFig2の位相部分を取り出し,フィード バックを付加させたものを示している.Sliceブ ロックで桁落ちした値をフィードバックさせたもので ある.

位相ビットの最下位のビットに反映させるこ とで,量子化誤差を小さくしている.



Fig.4 フィート・ハック法

#### 3 検討結果

#### 3.1 位相ビット分割方とSFDRの関係

新提案DDSでは,位相ビットを分割させる際, その割り振り方の違いによって,DDSの出力結 果のSFDRに影響を与える.

ただ単に4つに等分すると,下位位相ビットで 定める位相が細かくなり,LUT値が全て同じ値 となるため,出力に影響を及ぼさなくなる.よ って,本提案DDSを使用する場合,下位位相ビ ットが細かくなり過ぎないように注意して,位 相データの分割の設定をする必要がある.

Fig.5は実際に新提案DDSに対して位相データの分割の方法によって変動するSFDRの値をグ

ラフとして表したものである.第2層と第3層と の間で,第2層にビットが移る際にSFDRが大きく 変化していることがわかる.

また,第1層と第2層,及び第3層と第4層のビ ット数の大小を入れ違えてもSFDRには影響を及 ぼしていない.

これらのことより、SFDRは第1層と第2層の 上位ビットによって変動することが分かった. Fig.6は上位ビット数とSFDRの関係を記したグ ラフである.上位ビットの値が増加するほどSFDR も高い値をとることが分かる.

以上のことより今回の報告では位相の切り 方を5:5:1:1を参考に,まず上位ビットと下位ビ ットに大きく分け,上位ビットと下位ビットでは等 分になるように位相を分割した.



Fig.5 4分割方法とSFDRの関係



Fig.6 上位ビット数とSFDRの関係

#### 3.2 出力結果

Fig. 7は新提案DDSのシミュレーションの出力結果である.

クロック周波数100MHz,発振周波数20MHz,位相L\* ット数を12bitsと設定し,分割の割合は5:5:1:1 とした.

また,周波数分解能は式(2)で定まり,本研究 ではクロック周波数100MHz,分解能ビット32bitであ るため,周波数分解能は,0.0232Hzである. グラフから分かるように、40MHzにスプリアスが 出ている.また、基本周波数周辺に現れる位 相雑音も見られ、従来のDDSとほぼ同等な性 能を実現していることを確認することがで きた.



Fig.7 新提案DDSのスペクトラム

## 4.1 雑音低減法

本研究ではスプリアスや位相雑音をフィードバック 制御及びディザリング法で低減させる.

4.1.1 フィードバック制御を付加した新提案DDSの スペクトラム

Fig.9は新提案DDSにおいて, クロック周波数 100MHz, 発振周波数20MHz, 位相ビット12bitsと 設定し, フィードバックを付加した物のスペクトラムで ある.

量子化誤差による雑音部分を全体的に分散 させることにより,SFDRを低減することがで きた.



Fig. 8 フィードバック付加のDDSスペクトラム

# 4.1.2 ディザリング法を付加した新提案DDSの 出力結果

Fig.9は新提案DDSにおいて,先ほどのフィ ードバックの時の設定と同条件に設定し,フィード ヾックは付加せずにディザリングだけを付加した物のスペクトラムである.

**Fig.9**と比べ,40MHzに現れるスプリアスが大 きくなっているが,全体のスプリアスレベルが減 少していることが分かる.

ディザリング法はフィードバックに比べ最大スプリア スレベルを下げる機能は低下してしまうが,全 体的なスプリアスレベルを下げる効果があること が分かった.



Fig.9 ディザリング付加のDDSスペクトラム

# 4.3 ディザリング法とフィードバック法を付加した 新提案DDSのスペクトラム

Fig. 10は新提案DDSにおいて, フィードバックと ディザリングを付加させ, 先ほどのフィードバック, 及 びディザリングのみを付加したDDSの設定と同様 にクロック周波数, 発振周波数, 位相ビットを設定し たときの出力結果である. 最大スプリアスを低減 し, また微量ではあるが全体のスプリアスレベルも 低減していることが分かる.



Fig. 10 2種類の雑音低減付加時のDDSスペクトラム

## 5. 内部メモリ容量の比較

Fig. 11は従来の1つのLUTからなるDDS と今回提案する4つのLUTで構成するDDS 及び,すでに確認されている2つのLUTで構 成されたDDSについて、それぞれの内部メモリ 使用量を比較したものである.

メモリに保存しているデータは,出力ビットの14bit であり,LUTの入力ビット数との乗算によりメモ リ容量が定まる.

グラフからも位相ビット数が増加するとメモリ使用 量が増大することがわかるが,位相ビットを分 割し,それぞれ固有のLUTにおいて処理させ ることでメモリ使用量の増大を大幅に 少している.





#### 6. 考察

6.1 位相ビットを上げた新提案DDSのスペクトラム 本提案DDSでは使用メモリ容量の低減が大幅に できるため,位相ビット数を増やし,SFDRを高く することができる.

Fig. 12はクロック周波数100MHz,発振周波数 20MHz,位相ビット14bitsと設定した,新提案 DDSにフィードバック及びディザリングの2つの雑 音低減法を付加した物のスペクトラムである. Fig. 11と比べ全体のスプリアスレベルが低減し,低 雑音化が実現していることが分かる.

このように、本提案DDSでは使用メモリ使用量が 低減した分、位相ビットを高くすることで、低雑 音のスペクトラムを得ることができる.



问版奴[IVII IZ]

Fig. 12 位相ビット改善DDSの結果

#### 6.2 LUT数の違いによるDDSの性能比較

Table.1はLUTの数とSFDRについて表にまとめたものである.

従来のDDS (LUT1)に比べ2つのLUTを有する DDSや,4つのLUTを有する新提案DDSにおいて も,ほぼ同等な結果が得ることが可能なこと が分かった.

どのDDSにおいても位相ビット数を大きくするほどより精度が良くなり,先ほどのFig. 12の結果を考慮すればLUTを多く有するDDSの方が,より高いパフォーマンスを示すことが分かる.

位相ビット	SFDR[dB]		
[bit]	LUT1	LUT2	LUT4
8	55	50	50
10	65	60	60
12	78	66	70
14	80	78	80

Table1 LUT数と性能比較

# 7. おわりに

今回はDDSについて,内部メモリ容量を従 来方式に比べて格段に減少させる構成を提 案し,シミュレーションにおいて,同等な性能な出力 を確認し,さらに,ディザリング法やフィードバック 法によってSFDRが改善することを確認し た.

また,低減した使用メモリ容量を有効活用し, 位相ビット数を上げることで,さらに精度の 高いスペクトラムを得られた.

次世代衛星通信システムとしてアナログ回路を ディジタル処理に置き換えることにより,素子 の経年変化や環境依存性がなく安定性を高 められ,かつ使用者の意図するプログラムを容 易に変更することができるシステムが検討され ている.このシステムの実現のため,今後は

FPGAにおいてシミュレーション回路を実装し,その動作について評価していく.

また,新提案DDSの分割法についてもさら に詳しく調べていく予定である.

#### 参考文献

(1)M. Tanaka, al, Multibeam Mobile
Satellite Communication Payload with
Beam-forming Network, AIAA 25<sup>th</sup> ICSSC,
AIAA-2007-3179, 2007
(2)仲瀬正樹,田中將義,メモリ容量を低減した
高周波ディジタルシンンセサイザの検討,信学会ソサエティ
大,B-3-2,2007

(3) 仲瀬正樹, 田中將義, FPGAを用いたディジタル シンセサイザの周波数安定化に関する検討, 信学総 全大, B-3-2, 2008