

マルチサイクルキャプチャテスト生成を用いた 過剰テスト抑制法

日大生産工(院) 明大 ○小河 宏志 日大生産工 細川 利典
山崎 浩二 九大 吉村 正義

1 はじめに

近年の半導体微細化技術の進歩のため、大規模集積回路 (VLSI) が大規模化、複雑化し、歩留まり低下が問題となっている。歩留まり向上策の一つとして過剰テストの抑制が挙げられる。一般的に過剰テストとは、VLSIのすべての通常動作に影響を与えない故障が、VLSIのテストでは故障と判断されることが原因となっている。一般的な過剰テストの抑制において、非スキャン回路において無効状態を先に見つけ、無効状態となるテストパターンを製造テストに用いないことで達成される。しかしながら、一般的な過剰テスト抑制方法は、無効状態を見つけることや無効状態を回避したテストパターンを生成することが困難である。そこで本稿では、スキャン設計[1][2]された回路に対して過剰テストの抑制を試みる。スキャンテストは、シフト動作によって順序回路を構成する各フリップフロップに外部から自由に状態を設定でき、またそれらのフリップフロップの状態を容易に観測することができるテスト法である。しかしながら、スキャンテストは回路構造の情報のみを利用したテスト法で、シフト動作によって回路を無効状態に遷移させてテストする場合がある。したがって、スキャンテストは過剰テストを行っている可能性がある。過剰テストの弊害としては、歩留まり損失の発生とテストパターンに無効状態に遷移するテストパターンが含まれることによるテストパターン数の増加が挙げられる。

本稿では、過剰テストを防ぐことにより、歩留まり損失を抑制しつつ、テストパターン数を削減することを目的としている。文献[3]では、スキャンテストで発生する過剰テスト

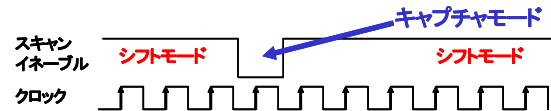


図1 従来のスキャンテスト

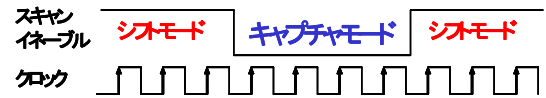


図2 kサイクルキャプチャテスト (k=4)

を防ぐために、できるだけ順序動作を行って故障を検出するようなスキャンテスト方法として、キャプチャモード時のサイクル数がkであるkサイクルキャプチャテストが提案されている。しかしながら、kサイクルキャプチャテスト[3]でのテスト実行時間が長くなるという課題を有していた。この課題を解決するために、本稿では文献[3]で提案されているkサイクルキャプチャ縮退故障テスト生成に基づき、過剰テストを抑制しつつ、kサイクルキャプチャ縮退故障テスト生成で生成したテストパターンから、目標故障を励起し、故障の影響を外部出力かフリップフロップへ伝搬しているものを選択して、実際のテスト実行に用いる方法を提案する。

2 kサイクルキャプチャテスト

(定義1: kサイクルキャプチャテスト)

kサイクルキャプチャテストとは、スキャンテストのキャプチャモード時のサイクル数がkであるスキャンテスト方法である。k $\geq$ 2のとき、マルチサイクルキャプチャテストという。

図1に従来のスキャンテストのスキャンイネーブルとクロックの波形を示す。図2にkサ

A Method of Restraining Overtesting Using Multi Cycle Capture Test Generation

Hiroshi OGAWA, Toshinori HOSOKAWA,
Koji YAMAZAKI and Masayoshi YOSHIMURA

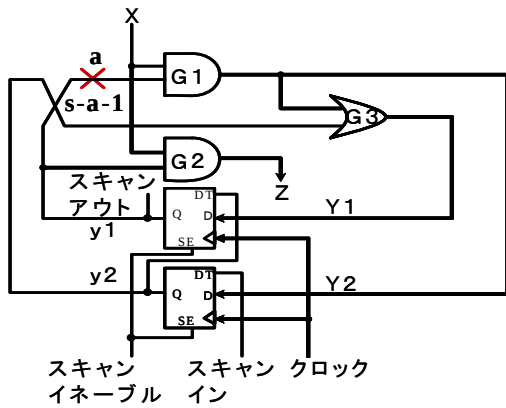


図3 フルスキャン回路例

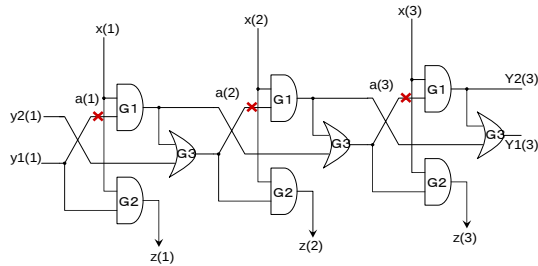


図4 時間展開モデル例 (k=3)

イクルキャプチャテストのスキャンイネーブルとクロックの波形を示す。図1で示すように従来のスキャンテストのキャプチャモード時のサイクル数は1サイクルである。従来のスキャンテストのキャプチャモード時のサイクル数が1であるのに対して、図2で示すようにkサイクルキャプチャテスト (k=4) では、キャプチャモード時にkサイクル間 (k=4) 順序動作を行う。そのため、kサイクルキャプチャテストを行うことで、シフト動作によって回路を無効状態に遷移させてテストする回数が減り、過剰テストを抑制できる可能性があると考えられる。

3 kサイクルキャプチャ縮退故障テスト生成

3.1 k時間展開モデル

(定義2: k時間展開モデル)

k時間展開モデルとは、1時刻目のスキャンフリップフロップの出力を擬似外部入力とし、k時刻目のスキャンフリップフロップのデータ入力を擬似外部出力として、k時間分順序回路を時間展開した組合せ回路モデルである。

3.2 kサイクルキャプチャ縮退故障テスト生成

(定義3: kサイクルキャプチャ縮退故障テスト生成)

	外部入力	フリップフロップの内部状態	
	X	y1	y2
時刻1	0	1	1
時刻2	1	1	0
時刻3	1	0	0

図5 テストパターン集合例

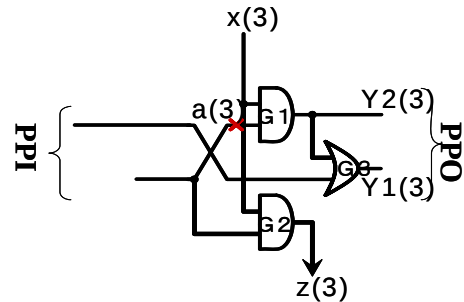


図6 故障を励起・伝搬する時刻のみ取出し

	外部入力	フリップフロップの内部状態	
	X	y1	y2
1パターン	1	0	0

図7 テストパターン選択例

kサイクルキャプチャ縮退故障テスト生成とは、k時間展開モデルを用いた縮退故障を検出するためのテスト生成である。

kサイクルキャプチャ縮退故障テスト生成が対象とする回路はフルスキャン設計やパースシャルスキャン設計[4][5][6]された順序回路である。それらの回路からk時間展開モデルを作成し、そのk時間展開モデルに対してテスト生成を行う。文献[8]では、順序回路に対してk時間展開モデルを生成しテスト不可能故障の判定を行っているが、テスト生成・テスト実行は行っていない。図3にフルスキャン回路例を示す。図3において、Xは外部入力を表し、Zは外部出力を表している。Y1, Y2はスキャンフリップフロップの入力を表し、y1, y2はスキャンフリップフロップの出力を表している。kサイクルキャプチャ縮退故障テスト生成では、図3のようにスキャン設計された回路から図4のようにk時間展開 (k=3) した時間展開モデルを生成し、テスト生成を行う。図4において、x(i)は時刻i (1 ≤ i ≤ 3) における外部入力を表し、z(i)は時刻iにおける外部出力を表している。y1(1), y2(1)は擬似外部入力を表し、Y1(3), Y2(3)は擬似外部出力を表している。故障モデルは単一縮退故障を仮定する。ただし、k時間展開モデル上で同一の故

障信号線が異なるタイムフレームに何度も出現するので、故障を多重故障として取り扱う必要がある。故障の励起はテスト不可能故障を効率よく同定するために擬似外部出力に近いタイムフレームから行う[7]。生成されるテスト系列は、シフトインするパターンと時間展開数分の外部入力系列とシフトアウトするパターンである。

4 テスト実行用テストパターン選択法

4.1 テスト生成戦略

本節では、文献[3]で提案されているテスト生成戦略に、テストパターン選択法を追加したテスト生成戦略を提案する。そのテスト生成戦略のアルゴリズムを示す。Uを故障集合、Vを検出情報集合、iをループ変数、kを時間展開数とする。まず、Step1で時間展開数1のテスト生成を行う。Step2でStep1のテスト生成結果のテスト可能故障をUとし、テスト不可能故障をVとする。ループ変数iに時間展開数kを代入する。Step3でUに対して時間展開数iでテスト生成を行う。Step4でStep3で生成されたテストパターンに対してテストパターンの選択を行い、選択したテストパターンで故障シミュレーションを実行する。Step5でStep3のテスト生成結果の打ち切り故障をUとし、検出故障とテスト不可能故障をVに加える。以後Step3, Step4, Step5の処理を繰り返し、iが0になったら終了する。アルゴリズムが終了した時点で、Vにテスト不可能故障と検出故障が存在し、Uに未検出故障が存在する。テストパターン数はStep4で選択したテストパターン数の総和である。

4.2 テスト実行時間削減のためのテストパターン選択

本節では、kサイクルキャプチャテスト生成で生成されるテストパターンに対して、過剰テストの抑制能力を維持しながら、テストパターン数を削減する手法について説明する。図5に図3のようなスキャン設計された回路に、3サイクルキャプチャテストによって得られるテストパターン集合の例を示す。図5において、1パターンはシフトのパターンとキャプチャのパターンから構成される。シフトのパターンのビット長はフリップフロップ数と同じである。キャプチャのパターンのビット長は外部入力数と同じであり、キャプチャのパターン数は時間展開数と同じである。よってkサイクルキャプチャテストのテストパターン数は、従来のフルスキャンテストで得られる

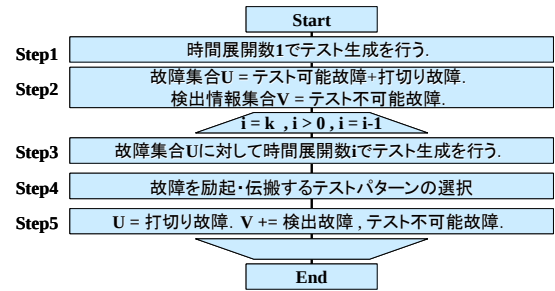


図8 テスト生成戦略

テストパターンサイズと比べ増加する傾向にある[3]。本稿では、kサイクルキャプチャテスト生成で得られたテストパターン集合を、従来のフルスキャンテストのテストパターン集合と同程度のテストパターン数に削減するテストパターン選択法について提案する。

テストパターン選択法として、故障が励起され、その影響が外部出力またはスキャンフリップフロップに伝搬する時刻に着目する。図5のテスト系列で検出できる故障は、図4の時間展開モデルで時刻3で励起・伝搬されると仮定する。図6は、故障を励起・伝搬する時刻のみを切り出した時間展開モデルである。このとき外部入力x(3)に印加されるテストパターンx(3)=(1)と、時刻3のスキャンフリップフロップの論理値(y1, y2)=(0, 0)を取出す。これを1つのテストパターンとして選択する。従来のkサイクルキャプチャテストで生成されたテスト系列の、時刻3での外部入力x(3)と時刻3でのスキャンフリップフロップの論理値を選択したテストパターンは、従来のフルスキャンテスト生成で生成したテストパターンと同じサイズである。よって過剰テストの抑制能力を維持した図7のテストパターン集合に変換することができ、テストパターン数を削減できる可能性があると考えられる。

5 実験結果

本章では、文献[3]の過剰テスト抑制能力と提案するテストパターン選択法を適用した場合の過剰テスト抑制能力を比較し、解析を行う。また、テスト実行時間についても比較を行う。文献[3]で提案されているkサイクルキャプチャ縮退故障テスト生成に、テストパターン選択法を実装し、ISCAS '89ベンチマーク回路に対してキャプチャサイクル数5で実験を行った。

表1にフルスキャンテストの検出故障数とkサイクルキャプチャテストの検出故障数、提案するテストパターン選択法を適用させたテストパターン集合での検出故障数の比較を示

表1 過剰テスト解析

回路	検出故障数			テスト実行時間 削減率
	スキャンテスト	文献[3]	TP選択法	
s5378	4206	3706	3722	62.13
s9234	6019	5805	5866	60.72
s35932	31654	31654	31654	63.19
s38417	27743	27665	27711	57.07

す。またテスト実行時間削減率とは、 k サイクルキャプチャテストでのテスト実行時間と比較し、どの程度テスト実行時間が削減できたかを示す。

表1の結果より、すべての回路で平均60%のテスト実行時間の削減が成功していることがわかる。次に故障検出数を見ると、スキャンテストに比べ過剰テストは抑制されているが、テストパターンサイズ削減法を適用させたテストパターン集合では、若干故障検出数が増加していることがわかる。これは時刻分の故障シミュレーションが原因と考えられる。[3]で提案されている k サイクルキャプチャ縮退故障テスト生成では、キャプチャサイクル数 k で生成されたテストパターンを用いて、キャプチャサイクル数 k で故障シミュレーションを実行している。それに対し本稿で提案しているテストパターン選択法を適用させた場合、取出したテストパターンを用いて、キャプチャサイクル数1で故障シミュレーションを実行している。そのためキャプチャサイクル数 k で故障シミュレーションを実行したときより、故障を励起・伝搬させやすい可能性がある。これにより検出故障数が増加したと考えられる。新たに検出された故障に対するテストパターンは、回路を無効状態に移しテストしていないので、過剰テストを抑制していると考えられる。

6 おわりに

本稿では、 k サイクルキャプチャテストでのテストパターン選択法を提案した。全ての回路で過剰テスト抑制能力をわずかに低下させたが、テスト実行時間を削減することができ、 k サイクルキャプチャテストでのテストパターンサイズを削減できる可能性があることを確認した。

今後の課題として、故障を励起・伝搬する時刻を1時刻のみ着目しテストパターンを選択するのではなく、故障の被覆関係を考慮したテストパターン選択によるさらなるテスト実行時間の削減や過剰テスト抑制能力の向上などが挙げられる。

「参考文献」

- [1] H. Fujiwara, "Logic Testing and Design for Testability," The MIT Press, 1985.
- [2] M. Abramovici, M. A. Breuer, and A. D. Friedman, "Digital systems testing and testable design," IEEE Press, 1995.
- [3] 大森 悠翔, 小河 宏志, 細川 利典, 吉村 正義, 山崎 浩二, "マルチサイクルキャプチャテストを用いたフルスキャン設計回路の縮退故障テスト生成" 信学技報, vol.107, No.482, DC2007-70, pp. 19-24, 2008年2月.
- [4] K.-T. Cheng and V.D. Agrawal, "A Partial Scan Method for Sequential Circuits with Feedback," IEEE Trans. Comp., pp.544-548, 1990.
- [5] S.T. Chakradhar, A. Balakrishnan and V.D. Agrawal, "An Exact Algorithm for Selecting Partial Scan Flip-Flops," Proc. Design Automation Conf., pp.81-86, 1994.
- [6] D.H. Lee and S.M.Reddy, "On Determining Scan Flip-Flops in Partial Scan Design Approach," Proc. Int. Conf. Computer-Aided Design, pp.322-325, 1990.
- [7] V.D. Agrawal and S.T. Chakradhar, "Combinational ATPG theorems for identifying untestable faults in sequential circuits," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, pp.1155-1160, 1995.
- [8] Sudhakar M. Reddy, Irith Pomeranz, Xijiang Lin+, and Nadir Z. "New Procedures for Identifying Undetectable and Redundant Faults In Synchronous Sequential Circuits" Basturkmen Electrical and Computer Engineering Department University of Iowa City, IA 52242 +Mentor Graphics Corporation 8005 S.W. Boeckman Road, Wilsonville, OR 97070.