

テスト長制約下での欠陥検出率向上のための 状態可観測な FSM のテスト生成法

日大生産工(院) ○井上 諒一 日大生産工 細川 利典
奈良先端大 藤原 秀雄

1 はじめに

半導体微細化技術の進歩のため、LSIが大規模化、複雑化し、LSIのテスト設計技術が重要になっている。これまで、LSIのテスト方法として、縮退故障を対象としたスキャンテスト[1,2]が、広く普及しているが、近年、ディレイテスト[3]や実動作速度機能テスト[4]が必要であるということが報告されている。スキャンテストは回路構造の情報のみを利用したテスト法で、シフト動作によって、回路を無効状態に遷移させてテストする場合がある。したがって、スキャンテストはオーバーテストを行っていると考えられ、そのため歩留まり損失が存在する。また、近年LSIの設計生産性向上のために、LSIのコントローラ部は有限状態機械(Finite State Machine: FSM)で設計されることが多い。FSMは回路仕様が明に記述されているので、この回路仕様の範囲内でテストすることにより、オーバーテストによる歩留まり損失を抑制できると考えられる。これらを考慮し、完全な論理テスト、タイミングテストが可能である故障非依存な1パターンテスト生成法、2パターンテスト生成法が提案されている[5,6]。しかしながら、状態遷移数が増加するとテスト長が激増するという問題がある。一方、故障モデルに依存したテスト生成法である故障モデル依存テスト生成法が提案されている[5,6]。このテスト生成法では現実的なテスト長になるが、対象とした故障モデル以外の故障モデルに対する故障検出率が高いとはいえない。

ブリッジ故障やトランジション故障などの主な故障モデルは、故障活性化率[7]を向上させるための縮退故障のn回検出テスト生成で比較的多数検出できることが報告されている[7]。そこで、指定された故障モデルを確実に検出するテスト生成を行い、かつできるだけ文献[7]で提案されているn回検出テストを含むようなテスト系列を生成すれば、現実的なテ

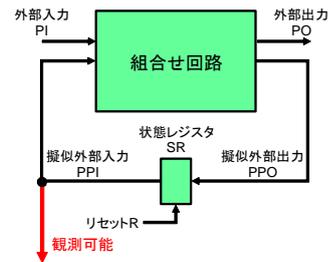


図1 状態可観測な FSM の論理回モデル

スト長で品質の高い論理テスト、タイミングテストができると考えられる。

本稿では、テスト長の制約下で指定された故障モデルを完全にテストし、できる限り故障活性化率を向上させるn回検出テストを含んだテスト生成法を提案する。また、状態可観測なFSMのテスト品質を評価する尺度として、重み付状態遷移被覆率を提案する。

2 状態可観測な FSM

FSMは論理合成により、同期式順序回路に合成され、DFTの適用により図1のように、状態レジスタの出力が可観測になるようにする。マルチプレクサを付加し、PPIとマルチプレクサの入力を接続し、マルチプレクサの他の入力をデータバスの出力と接続し、マルチプレクサの出力を外部出力と接続することで、外部出力ピンのオーバーヘッドを抑えることができる[8]。状態可観測なFSMのテストは、現在状態から外部入力値を印加し、外部出力(PO)を観測し、次状態へ状態遷移させて状態レジスタの出力(PPI)を観測することを繰り返す。

A Test Generation Method for State Observable FSMs to Increase Defect Coverage under the Test Length Constraint

Ryoichi INOUE, Toshinori HOSOKAWA, and Hideo FUJIWARA

3 故障活性化率 n 回検出テスト生成

(定義 1 : 故障活性化率)

故障 f の故障活性化率は、 f から到達可能な信号線数のうち、テスト集合 T によって f について活性化された信号線数の割合を表したものである。ここで、 f について活性化された信号線とは、 f が検出されたときの故障伝搬経路である。また回路全体の故障活性化率は、各故障の故障活性化率の平均値を表す。以下に故障活性化率の計算式を示す。

- $senf$: 故障 f の故障活性化率

$$senf = \frac{\text{活性化された信号線数}}{\text{故障から到達可能な信号線数}} \times 100 \quad (1)$$

- SEN : 回路全体の故障活性化率

$$SEN = \frac{\sum senf}{\text{故障数}} \quad (2)$$

故障活性化率 n 回検出テスト生成 (以降 FSOD) は、故障活性化率を向上させるように以下の戦略に基づいて縮退故障の n 回検出テスト生成を行っている[7]。

- (1) 各故障に対して、故障箇所から異なる故障伝搬経路を通じて、検出するテストパターンを n 個生成する。
- (2) 構造的に長い経路を活性化するように、故障伝搬経路を選択する。

4 状態可観測な FSM のテスト生成

本手法は、状態可観測な FSM から FSM テスト生成グラフを作成し、経路を探索することによりテスト系列を生成する。生成したテスト系列を評価する尺度として、論理故障を検出する能力を評価する重み付 1 状態遷移被覆率と、タイミング故障を検出する能力を評価する重み付 2 状態遷移被覆率を提案する。

4.1 FSM テスト生成グラフ

(定義 2 : FSM テスト生成グラフ)

FSM テスト生成グラフは、有向グラフ $G=(V, E, s, d, t)$ であり、頂点 $v \in V$ は、状態遷移を表し、各頂点にはラベル s, d, t が割り付けられる。 $s: V \rightarrow A$ (ただし、 $A=\{PPI_1, PPI_2, \dots, PPI_m\}$, $PPI_1, PPI_2, \dots, PPI_m \in \{0,1\}$, m は状態レジスタ数), $d: V \rightarrow A$ (ただし、 $A=\{PPI_1, PPI_2, \dots, PPI_m\}$, $PPI_1, PPI_2, \dots, PPI_m \in \{0,1\}$, m は状態レジスタ数), $t: V \rightarrow B$ (ただし、 $B=\{PI_1, PI_2, \dots, PI_n\}$, $PI_1, PI_2, \dots, PI_n \in \{0,1\}$, n は外部入力数) である。ラベル s は状態遷移元の状態を表し、ラベル d は状態遷移先の状態、ラベル t は状態 s から状態 d へ状態遷移する状態遷移入力を表す。また、辺 $(u, v) \in E$ ($u, v \in V$) は、頂点 u のラベル d の状態と頂点 v のラベル s の状態が一致していることを意味し、連続する二つの状態遷移ペアを表している。さらに、FSM テスト生成グ

ラフの頂点と辺に、それぞれ重みを付加する。頂点の重み $w_v(v) (v \in V)$ は、頂点 v の $\{s, t\}$ が FSOD で生成したテストパターンに相当する場合、重み 1 とする。その他の場合は 0 とする。辺の重み $w_d(v1, v2) (v1, v2 \in V, (v1, v2) \in E)$ は、頂点 $v2$ に付けられた重み w_v が 1 の場合、頂点 $v1$ の $\{s, t\}$ と頂点 $v2$ の $\{s, t\}$ とのハミング距離とする。頂点 $v2$ に付けられた重み w_v が 0 の場合、 $w_d(v1, v2)$ は 0 とする。

FSOD で生成したテストパターンを実行することで、論理テストの品質が向上すると考えられる。一方、パス遅延テストの品質には、1 パターン目と 2 パターン目で経路上の FF (または外部入力) にトグルが起こる必要がある。したがって、二つのパターンのハミング距離が大きいとトグルする可能性が高いと考えられる。また、二つのパターンのトグル率が大きいと、内部の信号線のトグル回数も多くなる傾向があると報告されている[9]ので、二つのパターンで故障箇所のトグルが発生する可能性が高くなる。よって、二つのパターンのハミング距離が大きくなるようなテスト系列を生成することで、パス遅延故障、遷移故障の品質が向上すると考えられる。

4.2 重み付状態遷移被覆率

FSM テスト生成グラフで頂点と辺に定義した重みを用いて、下記のように重み付 1 状態遷移被覆率と重み付 2 状態遷移被覆率算出する。

(定義 2 : 重み付 1 状態遷移被覆率)

重み付 1 状態遷移被覆率は状態可観測な FSM の論理テストの品質を評価する尺度として利用される。

$$\text{重み付 1 - 状態遷移被覆率} = \frac{\text{テスト系列が被覆する頂点の重み和}}{\text{各頂点の重み和}} \times 100(\%) \quad (3)$$

(定義 3 : 重み付 2 状態遷移被覆率)

重み付 2 状態遷移被覆率は状態可観測な FSM のタイミングテストの品質を評価する尺度として利用される。

$$\text{重み付 2 - 状態遷移被覆率} = \frac{\sum_v \max \left\{ \begin{array}{l} \text{各頂点の入力となる辺でテスト系列で} \\ \text{被覆されている辺の重み} \end{array} \right\}}{\sum_v \max \{ \text{各頂点の入力となる辺の重み} \}} \times 100(\%) \quad (4)$$

以下に与えられたテスト長で、有効状態で検出可能な縮退故障[5,6]を検出してかつ、重み付 1 状態遷移被覆率、重み付 2 状態遷移被覆率を最大化する状態可観測な FSM のテスト生成問題を定式化する。

(定式化)

入力: 状態可観測な FSM, 有効状態で検出可能な縮退故障に対する故障検出率 100% のテスト生成モデルのテストパターン集合

制約: テスト長

出力：テスト長制約下において有効状態で検出可能な縮退故障をすべて検出できる状態可観測な FSM に対するテスト系列

最適化：①重み付 I 状態遷移被覆率，②重み付 2 状態遷移被覆率

まず，PPI が必ず有効状態になる制約を設定して FSOD を実行し，FSOD で生成されたテストパターン集合を生成する。その後，FSM テスト生成グラフを生成し，与えられた縮退故障テストパターン集合と FSOD で生成したテストパターン集合を FSM テスト生成グラフの頂点に割り付ける。最後に，FSM テスト生成グラフにおいて，縮退故障テストパターンが割り付けられた頂点を少なくとも 1 回通る経路を探索する。そのときに FSOD で生成されたテストパターンが割り付けられた頂点をできるだけ通るようにし，重み付 I 状態遷移被覆率を増加させる。また，重みが大きい辺をできるだけ通るようにし，重み付 2 状態遷移被覆率を増加させる。なお，テスト長制約の下で全ての縮退故障テストパターン集合を被覆できなかった場合は解なしとする。

4.3 テスト生成戦略

FSM テスト生成グラフに対して，現状から長さ k の状態遷移探索をおこない全経路を抽出する。全経路の内，優先度のヒューリスティックに従って経路を選択する。

(優先度のヒューリスティック)

状態遷移探索の初期は，未実行の縮退故障の頂点が多いので，比較的縮退故障の頂点を通る確率が高い。ここで，縮退故障の頂点とは FSM テスト生成グラフにおいて，縮退故障テストパターンが割り付けられた頂点のことである。 k 状態遷移した経路の内，一つでも有効テストパターンが割り当てられている頂点の数が 1 以上の経路があった場合，比較的縮退故障の頂点を通る確率が高いと考える。この場合，条件 $3 \rightarrow 4 \rightarrow 5 \rightarrow 1 \rightarrow 2$ の優先順位で経路を選択する。その後，未実行の縮退故障の頂点が少なくなると，縮退故障の頂点を通る確率が低くなる。 k 状態遷移した全経路で，有効テストパターンが割り当てられている頂点の数が 0 になることが続けて m 回あった場合，縮退故障の頂点を通る確率が低くなったと考える。この時点で，優先順位を条件 $1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5$ に変更し経路を探索する。なお， k, m はそれぞれパラメータとして外部から設定できる。

1. 指定された故障モデルのテストパターンを全て被覆する必要があるため， k 状態遷移の内有効テストパターン [5] が割り当てられている頂点の数が多い経路を優先的に選択する。
2. テスト長を短縮するために， k 状態遷移において有効テストパターンが割り当てられている頂点までの距離が最短の経路を選択する。

3. 論理テスト品質を向上させるため，重み付 I 状態遷移被覆率が向上するように， k 状態遷移の内の頂点の重み wv の合計が多い経路を優先的に選択する。

4. テスト長を短縮するために， k 状態遷移において FSOD で生成されたテストパターンが割り当てられている頂点までの距離が最短の経路を選択する。

5. タイミングテスト品質を向上させるため，重み付 2 状態遷移被覆率が向上するように， k 状態遷移の内の辺の重み w_e の合計が多い経路を優先的に選択する。

5 実験結果

本テスト生成法を実装して，MCNC' 91 ベンチマーク回路 [10] に対して実験を行った。表 1 に故障非依存な 1 パターンテスト生成法 (1a) [5,6] と縮退故障を対象にした故障依存 1 パターンテスト生成法 (1b) [5,6] の実験結果を示す。表 2 にヒューリスティックの優先度切り替えのタイミングである m の値を 1 にしたときの本手法の実験結果を示す。表 3 にテスト長をそれぞれ 300, 500 に制限したときの本手法の実験結果を示す。表中に*印のある回路はテスト長 300, 500 で完全に縮退故障を被覆できなかったものを表している。

まず， m の値を 1 にしたときの本手法の結果を考察する。縮退故障は完全にテストでき，縮退故障を対象にした故障依存な 1 パターンテスト生成法と比較し，同等のテスト長で重み付 I 状態遷移被覆率が平均 14.15%，重み付 2 状態遷移被覆率が平均 14.46% 向上している。ブリッジ故障検出率が平均 0.48%，パス遅延故障検出率が平均 12.87%，遷移故障検出率が平均 9.53% 向上している。特に *styr* に関しては，重み付 I 状態遷移被覆率が 10.2% 向上し，ブリッジ故障検出率が 0.21% 向上している。さらに，重み付 2 状態遷移被覆率が 11.82% 向上し，パス遅延故障検出率が 23.38%，遷移故障検出率が 28.06% 向上し，タイミングテストの品質が向上している。

次に，テスト長を制限したときの本手法の結果を考察する。縮退故障は完全にテストでき，故障非依存な 1 パターンテスト生成法と比較し，大幅にテスト長を削減し，その他の故障モデルも比較的高い検出率を得ることができている。特に，テスト長を 500 に制限したときの *s386* に関して，重み付 2 状態遷移被覆率が 8.42% 向上し，パス遅延故障検出率が 3.89%，遷移故障検出率が 4.43% 向上している。

6 おわりに

本稿では，状態可観測な FSM に対して指定された故障モデルを完全にテストし，できる限り故障活性化率を向上させる n 回検出テストを含んだテスト生成法を提案した。また，状態可観測な FSM の論理テストとタイミングテストの品質を評価する尺度として，重み付状態遷移被覆率を提案した。

「参考文献」

- [1] H. Fujiwara, "Logic Testing and Design for Testability," The MIT Press, 1985.
- [2] M. Abramovici, M. A. Breuer, and A. D. Friedman, "Digital systems testing and testable design," IEEE Press, 1995.
- [3] A. Krstic, and K.-T. Cheng, "Delay Fault Testing for VLSI Circuits," Kluwer Academic Publishers, 1998.
- [4] P.C. Maxwell, R.C. Aitken, R. Kollitz, and A. C. Brown, "IDDQ and AC Scan: The War Against Unmodelled Defects," Proc. of IEEE Int. Test Conf., pp.250-258, Oct., 1996.
- [5] T.Hosokawa and H.Fujiwara, "A functional test method for state observable FSMs," IEEE 6th Workshop on RTL and High Level Testing (WRTL'05), pp.123-130, July 2005.
- [6] T.Hosokawa, R.Inoue, and H.Fujiwara, "Fault Dependent/Independent Test Generation Methods for State Observable FSMs," IEEE 16th Asian Test Symposium (ATS'07), October, 2007.
- [7] T.Hosokawa and K.Yamazaki, "An n-Detection Test Generation Method to Increase Fault Sensitization Coverage", IEICE Trans. Info. and Syst., Vol.J90-D, No. 6, pp. 1474-1482, June.2007 in Japanese.
- [8] S.Kajiwara, K.Ishida, K.Miyase, "Average Power Reduction in Scan Testing by Test Vector Modification", IEICE Trans. Info. and Syst., Vol.E85-D, No. 10, pp. 1483-1489, Oct.2002.
- [9] S.Ohtake, H.Wada, T.Masuzawa and H.Fujiwara, "A non-scan DFT method at register-transfer level to achieve complete fault efficiency," IEEE Proc. Asian South Pacific Design Automation Conference, pp.599-604, 2000.
- [10] S.Yang, "Logic synthesis and optimization benchmarks user guide," Technical Report 1991-IWLS-UG-Saeyang, Microelectronics Center of North Carolina, 1999.

表1 1パターンテストの実験結果

Circuit	1a										1b									
	SFC(%)	BFC(%)	PFC(%)	TFC(%)	TL	W1STC (%)	W2STC (%)	FSC (%)	CUtime (sec)	SFC(%)	BFC(%)	PFC(%)	TFC(%)	TL	W1STC (%)	W2STC (%)	FSC (%)	CUtime (sec)		
ex1	100.00	100.00	81.39	89.86	29997	100.00	72.82	96.75	34.60	100.00	95.43	52.39	81.49	145	2.71	2.24	94.99	0.08		
planet	100.00	100.00	89.23	88.09	12299	100.00	73.31	97.69	1.31	100.00	97.53	67.56	79.13	243	5.28	3.79	97.69	0.01		
s1	100.00	100.00	61.82	83.80	9012	100.00	73.94	97.05	3.85	100.00	94.55	38.18	69.64	154	4.42	3.72	95.54	0.07		
s208	100.00	100.00	100.00	75.98	30943	100.00	74.51	94.10	89.42	100.00	95.47	71.62	66.54	103	9.28	5.07	92.99	0.20		
s298	100.00	100.00	46.53	82.89	10528	100.00	37.43	99.23	87.10	100.00	97.95	46.02	82.86	1221	51.80	27.04	95.42	3.53		
s386	100.00	100.00	83.17	79.67	6066	100.00	80.06	95.98	4.62	100.00	95.93	55.02	71.97	87	13.52	11.68	95.42	0.02		
s420	100.00	100.00	97.40	73.81	29890	100.00	31.70	94.98	60.80	100.00	95.60	71.43	65.48	114	3.16	2.92	94.15	0.18		
styr	100.00	100.00	61.47	86.61	42805	100.00	71.51	97.34	100.27	100.00	95.55	19.24	54.16	207	6.58	4.35	95.19	0.23		
average	100.00	100.00	77.63	82.59	21442.50	100.00	64.41	96.64	47.75	100.00	96.00	52.68	71.41	284.25	12.34	7.60	95.17	0.54		

表2 本手法 (m=1) の実験結果

Circuit	本手法 (m = 1)									
	SFC(%)	BFC(%)	PFC(%)	TFC(%)	TL	W1STC (%)	W2STC (%)	FSC (%)	CUtime (sec)	
ex1	100.00	95.37	53.74	84.18	112	14.58	13.56	95.22	0.48	
planet	100.00	97.95	73.15	83.75	227	28.30	27.09	97.92	0.08	
s1	100.00	95.45	57.20	84.43	149	12.15	14.05	95.76	0.31	
s208	100.00	96.32	81.08	72.05	113	37.11	33.45	93.10	16.61	
s298	100.00	97.91	65.49	91.31	1247	37.10	44.30	95.65	513.65	
s386	100.00	95.85	67.96	78.52	85	25.86	27.60	95.50	0.17	
s420	100.00	97.20	83.12	71.03	122	40.00	32.28	94.15	4.99	
styr	100.00	95.76	42.62	82.22	181	16.78	16.17	94.99	1.64	
average	100.00	96.48	65.55	80.94	279.50	26.49	26.06	95.29	67.24	

表3 本手法 (テスト長制約) の実験結果

Circuit	本手法 (TL = 300)										本手法 (TL = 500)									
	SFC(%)	BFC(%)	PFC(%)	TFC(%)	TL	W1STC (%)	W2STC (%)	FSC (%)	CUtime (sec)	SFC(%)	BFC(%)	PFC(%)	TFC(%)	TL	W1STC (%)	W2STC (%)	FSC (%)	CUtime (sec)		
ex1	100.00	97.74	66.74	87.02	300	63.05	53.09	96.20	1.67	100.00	98.43	76.51	89.48	500	91.86	75.12	96.51	3.16		
planet	100.00	98.27	75.57	85.69	300	42.21	40.45	97.99	0.11	100.00	99.21	82.82	87.30	500	88.82	63.95	98.21	0.17		
s1	100.00	97.04	65.93	86.61	300	45.30	43.76	96.28	0.76	100.00	98.18	74.95	88.50	500	71.27	65.94	96.45	1.37		
s208	100.00	99.15	86.49	73.23	300	71.13	62.66	93.81	32.53	100.00	99.25	87.84	73.23	500	86.60	78.43	94.00	70.26		
s298*	100.00	97.91	65.49	91.31	1247	37.10	44.30	95.65	513.65	100.00	97.91	65.49	91.31	1247	37.10	44.30	95.65	513.65		
s386	100.00	98.20	85.11	83.44	300	88.51	77.86	95.79	0.47	100.00	99.00	87.06	84.10	500	100.00	88.48	95.89	2.09		
s420	100.00	98.40	92.21	73.02	300	69.47	58.60	94.78	9.18	100.00	98.90	93.51	73.81	500	87.37	77.66	94.78	19.61		
styr	100.00	96.56	47.72	85.80	300	35.83	31.31	95.57	2.60	100.00	97.37	53.29	87.24	500	67.80	53.34	96.66	4.54		
average	100.00	97.91	74.25	82.12	300.00	59.36	52.56	95.77	6.76	100.00	98.62	79.43	83.38	500.00	81.96	71.85	96.07	14.46		