

テストパターン数削減指向テストポイント挿入のための

Nハミング距離テストパターン圧縮法

日大生産工（学部）○ 湯本 仁高 日大生産工（院）齊藤 善洋
日大生産工 細川 利典 九大 吉村 正義

1. はじめに

近年、半導体集積技術の急速な進歩により、超大規模集積回路(VLSI)が大規模化、高機能化している。したがって、ゲート数に比例してテストパターン数も増加しテストコストも激増している [1]。

そこで上記の問題を解決するための一手法として、テストポイントの挿入によりテストパターン圧縮の効率を高める手法が提案されている [2][3][4]。回路内部の信号線にテストポイントが挿入された場合、その信号線は可制御かつ可観測となり、テストポイントが挿入された内部信号線は擬似外部入出力として扱うことが可能となる。したがって、テストパターン数の削減にテストポイントを用いる場合には、テストポイント挿入箇所が非常に重要になる。

また、テストポイント挿入箇所探索アルゴリズムとして、改善故障検出率を減少させるような位置を探索し、テストパターン数を削減するようなアルゴリズム [2] も提案されている。故障検出率とは、テストパターンの圧縮効率を示す尺度である。

テストパターンを圧縮する方法には、静的圧縮がある。0, 1, X（ドントケア）からなるテストパターンを衝突が発生しないように圧縮する方法である。しかし、この圧縮方法であるとテストパターンの圧縮能力が低い。よって圧縮できる条件を、ハミング距離が N 以下であるものとした N ハミング距離テストパターン圧縮を用いて、値の衝突が起こっている N ビットに対してテストポイントを挿入する N ハミング距離テストパターンに基づくテストポイント挿入箇所探索アルゴリズムが提案された [4]。

本稿では、文献 [4] で提案されたテストポイ

ント挿入法の N ハミング距離テストパターン圧縮に注目し、その重み最小最大クリーク抽出問題を定式化し、その問題を解くアルゴリズムを提案する。重み最小最大クリーク問題を解くことにより、より少ないテストポイント数で多数のテストパターンを圧縮できる可能性が高くなると考える。

2. Nハミング距離におけるテストポイント挿入箇所探索アルゴリズム

N ハミング距離におけるテストポイント挿入におけるアルゴリズムを図 1 に示す。

ATPG (Auto Test Pattern Generation) を用いてテストパターンを作成して、ドントケア抽出 [5] 後、 N ハミング距離テストパターン圧縮を行う。 N ハミング距離テストパターン圧縮結果を基にテスト対象回路のどの部分が外部入力での値の衝突原因になっているのかを解析し、最も多くの値の衝突原因となった内部信号線をテストポイント挿入箇所とする。次に内部信号線にテストポイントを挿入する。この一連の処理をテストポイント挿入数の上限に達するまで繰り返す。

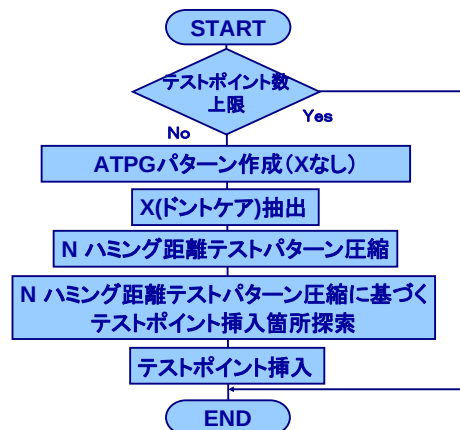


図 1. テストポイント挿入アルゴリズム

An N-Humming Distance Test Pattern Compaction Method for Test Point Insertion to Reduce the Number of Test Patterns.

Yoshitaka YUMOTO, Yoshihiro SAITO,
Toshinori HOSOKAWA, and Masayoshi YOSIMURA

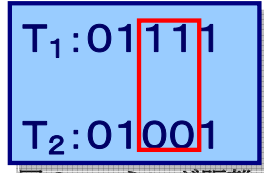


図2. ハミング距離

表 1. Nハミング距離圧縮演算 $\cap_N$

$\cap_N$	0	1	X
0	0	W	0
1	W	1	1
X	0	1	X

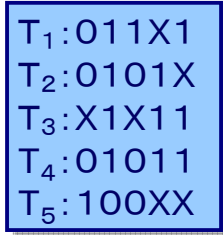


図3. テストパターン集合

3. Nハミング距離テストパターン圧縮

3.1 ハミング距離

ハミング距離とは、テストパターンを圧縮する際に値の衝突が起こっている箇所個数を表している。図2の T_1 と T_2 はテストパターンを表している。 T_1 と T_2 を比較してみると、右から2ビット目と3ビット目で値の衝突を起こしている。よって、衝突を起こしている箇所個数は2個であるためハミング距離は2である。

3.2 Nハミング距離テストパターン圧縮

(定義1: Nハミング距離圧縮可能)

外部入力($PI_1, PI_2, \dots, PI_m$)を持つ組み合わせ回路に対する2つのテストパターンを T_1, T_2 とする(m は外部入力数)。

T_1, T_2 の外部入力 PI_i の値をそれぞれ $T_1(PI_i), T_2(PI_i)$ と表記する($1 \leq i \leq m$)。

$$T_1(PI_i), T_2(PI_i) \in \{0, 1, X\}$$

表1に示すNハミング距離圧縮演算 $\cap_N$ を用いると、Nハミング距離圧縮演算結果 T は任意の i ($1 \leq i \leq m$) について式(1)で表すことができる。

$$T(PI_i) = T_1(PI_i) \cap_N T_2(PI_i) \dots (1)$$

$$\sum_{i=1}^n V(T(PI_i)) \leq N \text{ であるとき, } T_1 \text{ と } T_2 \text{ は } N$$

ハミング距離圧縮可能であるという。ただし、 $V(T(PI_i))$ は $T(PI_i)=W$ の時1、それ以外の時0であるとする。このとき演算結果 T を T_1 と T_2 のマスターパターンという。

(定義2: Nハミング距離圧縮可能グラフ)

Nハミング距離圧縮可能グラフは無向グラフ $G=(V, E)$ であり、頂点 $v \in V$ はテストパターンを表す。また、 $\forall u, v \in (u \neq v)$ において辺 $(u, v) \in E$ は u と v がNハミング距離圧縮可能であることを示す。

図3のテストパターン集合を用いて作成した1ハミング距離圧縮可能グラフを図4に示す。図4をクリーク分割して、Nハミング距離圧縮を行ったマスターパターンを図5に示す。図4のクリーク $C1, C2$ の重みは図5に示すマスターパターン T_{C1}, T_{C2} 中の W の個数となる。

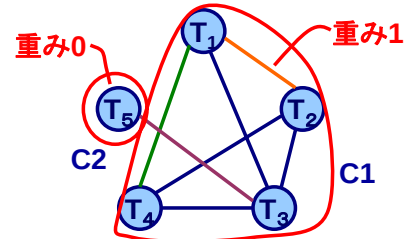


図4. 1ハミング距離でのクリーク分割例1

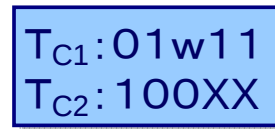


図5. 図4のクリーク分割のマスターパターン

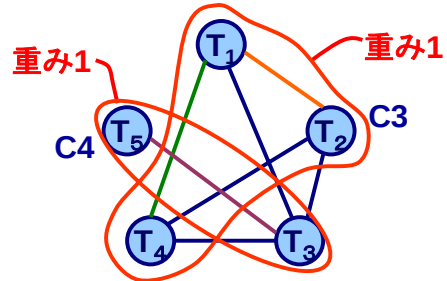


図6. 1ハミング距離でのクリーク分割例2

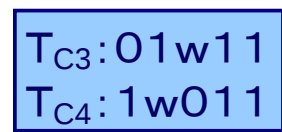


図7. 図6のクリーク分割のマスターパターン

4. N ハミング距離テストパターン圧縮における問題点

本章では、N ハミング距離テストパターン圧縮における問題点について説明する。W という記号は、本来値が衝突していて圧縮が不可能である部分で、このWを指標としてテスト対象回路のどの部分が値の衝突原因になっているのかを解析し、その衝突原因となる内部信号線にテストポイントを挿入する。したがって、マスターパターン中にW数に比例してテストポイント数が増えてしまう可能性があり、面積オーバーヘッドが許容できないものになってしまう可能性がある。

図 6 は図 4 と異なったクリーク分割をしている。図 6 のようにクリーク分割した場合、図 7 のようにテストパターンを N ハミング距離テストパターン圧縮することができる。

図 7 のマスターパターン T_{C3} 、 T_{C4} と図 5 のマスターパターン T_{C1} 、 T_{C2} を比較すると、マスターパターン数は同数であるが、W の個数が 1 個から 2 個に増加している。この W の個数の増加によりテストポイント数が増えると考えられる。したがって、限られたテストポイント数でテストパターン圧縮の効率を上げるためには、W の総数を最小にするようなクリーク分割が必要である。

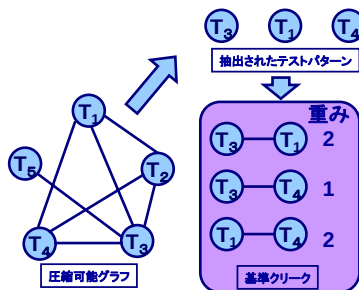


図 8. 基準クリーク作成例

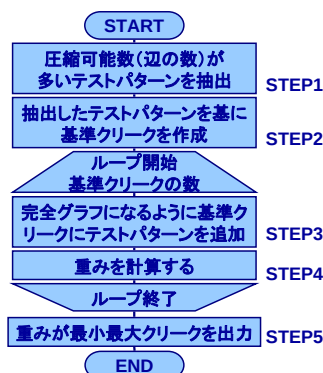


図 9. 重み最小最大クリーク抽出アルゴリズム

5. 重み最小の最大クリーク抽出問題

図 1 に示したように、提案するテストポイント挿入アルゴリズムは全てのクリークが圧縮可能となるような箇所を一度に探索するものではない。そのため、N ハミング距離圧縮可能グラフにおいて、重み最小となる最大クリークを抽出する問題 [6] を定式化する。この最大クリークが圧縮可能となるような箇所をテストポイントとして探索する。

(重み最小の最大クリーク抽出問題)

入力: N ハミング距離圧縮可能グラフ $G(V, E)$

出力: 最大クリーク

最適化: クリーク重み最小

6. 重み最小最大クリーク抽出アルゴリズム

6.1 基準クリーク

基準クリークとは、2 つのテストパターンからなるクリーク群である。STEP1 で抽出されたテストパターン中のある 2 つのテストパターンに注目し、N ハミング距離圧縮可能かどうかを判断する。圧縮可能ならばその 2 つのテストパターンをクリークにし、重みを計算しクリークサイズを増加させる。この重みは、クリークにした 2 つのテストパターンでどの程度クリークサイズが大きくなるか計算したものである。また、不可能ならば違うテストパターンで圧縮可能かどうか判断をし、重みを計算する。全てのテストパターンに対して圧縮可能かどうか判断し、重みが大きい方から j 個抽出する。基準クリークを作成する例を図 8 に示す。

6.2 アルゴリズム

図 9 に重み最小の最大クリーク抽出するためのアルゴリズムを示す。このアルゴリズムは図 1 に示したテストポイント挿入アルゴリズムにおける N ハミング距離テストパターン圧縮の中の重み最小最大クリークを抽出するためのアルゴリズムである。

STEP1 では、N ハミング距離圧縮可能な数(辺の数)に着目してテストパターンを降順にソートする。降順にソートされたテストパターンから k 個のテストパターンを抽出する。k は外部からパラメータとして設定する。

STEP2 では、抽出されたテストパターンを基に基準クリークを作成する。基準クリークとは重

み最小最大クリークを抽出するための基準となるクリークである。この基準クリークは STEP1 で抽出されたテストパターン k 個に応じて j 個作成される。 j は外部からパラメータとして設定する。 STEP1 と STEP2 の処理を行う理由には、圧縮可能（辺の数）な数が多いテストパターンを基準にしてクリークを構築していくことによって最大クリークを抽出する可能性があるためである。 STEP3 では、 j 個作成された基準クリークを基にして、それぞれの基準クリークに対して完全グラフになるようにテストパターンを追加する。 STEP4 では、基準クリークを基に作成されたクリークの重み（ W の個数）を計算する。 STEP3 と STEP4 は基準クリークの個数分（ j ）繰り返される。 STEP5 では、基準クリークを基に作成されたクリーク群から重み（ W の個数）が最小でなおかつ最大のクリークになっているものを選択し出力する。

7. 予備実験結果

ITC'99 の回路に対して N ハミング距離テストパターン圧縮を行うとどの程度までテストパターン数が削減し、どの程度値の衝突(W)が発生するのか予備実験を行った。本実験では、TetraMAX を用いて、動的圧縮と静的圧縮されたドントケア(X)を含まないテストパターンを作成し、そのテストパターンに対し X （ドントケア）抽出[5]をしたテストパターン集合を N ハミング距離テストパターン圧縮の入力とした。表 1 に ITC'99 に対し 1 ハミング距離テストパターン圧縮を行った結果を示す。 CIR は回路名、 #B_PAT は 1 ハミング距離テストパターン圧縮前のテストパターン数、 #A_PAT は 1 ハミング距離テストパターン圧縮後のテストパターン数である。 #GROUP は W を含むマスターパターン数。 W_BIT は、 W を含むマスターパターン集合中に含まれる W の合計数を表す。実験結果を見るとテストパターンを 4%～34%の削減ができる可能性があることを示した。

表 2. 予備実験結果

CIR	#B PAT	#A PAT	#GROUP	#W BIT
b14	823	624	178	178
b15	490	324	150	164
b18	1393	1234	159	135
b20	867	738	129	125
b21	873	804	69	58
b22	725	695	27	22

8. おわりに

N ハミング距離テストパターン圧縮において、重み最小の最大クリーク分割問題を定式化した。また、重み最小最大クリーク抽出のアルゴリズムを示した。予備実験を行い、 W の個数とマスターパターン数を評価した。

[参考文献]

- 1) Y.Sato, T.Ikeda, M.Nakao, and T.Nagumo, "A bist approach for very deepsub-micron (vdsb) defect," Proc. Interunational Test Conference, pp. 283291, 2000.
- 2) 吉村正義, 細川利典, 大田光保, "テストパターン数削減指向テストポイント挿入方法," 信学論, vol. J86-D-I, no. 12, PP. 884-896, 2003.
- 3) M.J.Geuzebroek J.Th.van der Linden, and A.J.van de Goor,"Test Point Insertion for Compact Test Sets," Pros. Int. TestConf., PP. 348-357,1999.
- 4) Rafamani Sethuram, Seongmoon Wang, Srimat T. Chakradhar, Michael L. Bushnell, "Zero Cost Test Point Insertion Technique to Reduce Test Set Size and Test Generation Time for Structured ASICs," Pros. Asian Test Symposium, pp. 339-346, 2006.
- 5) 斉藤義洋, "N ハミング距離テストパターン圧縮に基づく ATPG パターン数削減指向テストポイント挿入法", 数理情報工学特別研究中間報告会, 2007/09/05
- 6) Kohei Miyase and Seiji Kajihara, Irith Pomeranz, "XID: Don't Care Identification of Test Patterns for Combinational Circuits," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 23, No. 2, pp. 321-326, Feb. 2004.
- 7) J. ホロムコヴィッチ 著, 和田幸一, 増澤利光, 元木光雄 訳 "計算困難問題に対するアルゴリズム理論" Springer 出版, 2005.