

N ハミング距離テストパターン圧縮に基づく ATPG パターン数削減

指向テストポイント挿入法

日大生産工(院) ○齊藤 善洋 日大生産工 細川 利典
九大 吉村 正義

1. はじめに

近年の半導体集積技術の進展に伴い VLSI の回路規模が増大し、テスト設計の工数が増大しており、その自動化技術が重要になってきている。一般の順序回路の自動テストパターン生成 (ATPG) は困難な問題であり、高い故障検出効率を得るテストパターンを生成するには、フルスキャン設計¹⁾, ²⁾に代表されるテスト容易化設計 (DFT) が必要である。

フルスキャン設計におけるテストでのテスト実行時間は、テスト長とテスト動作のクロック周期の積に比例する。テスト長は、スキャンパスを取り除いた核回路のテストパターン数(ATPG パターン数)と最大スキャンパス長の積に比例する。³⁾

また、VLSI の大規模化が進んでいることから、回路内のゲート数が激増している。一般的にゲート数の増加に比例して ATPG パターン数も増加する傾向がある。⁴⁾このことにより、今後テスト実行時間が大幅に増大することが予測される。ここで、増大する ATPG パターン数の削減を図るための手法の1つとしてテストポイント挿入技術^{5), 6), 7)}がある。回路内部の信号線にテストポイントが挿入された場合その信号線は、可制御かつ可観測となる。すなわち、テストポイントが挿入された内部信号線は擬似外部入出力として扱うことが可能となる。回路内にテストポイントを挿入することによってテストパターン圧縮の効率が高くなり、その結果 ATPG パターン数が削減すると考えられる。

テストポイント挿入技術をテストパターン数削減に用い

る場合には、テストポイント挿入箇所が非常に重要となる。

ATPG パターン数を削減するためのテストポイント挿入箇所探索アルゴリズムは、回路構造の解析結果に基づいて探索を行うものが多く存在する。

本稿では、テストポイント挿入箇所の探索に用いる指標として、回路構造だけではなく実際に生成されたテストパターンに着目する。生成されたテストパターン情報と回路情報から圧縮効率が向上する指標を作成し、その指標を基にテストポイント挿入アルゴリズムを検討する。

圧縮効率を上げるために圧縮可能なテストパターンの条件を互いのテストパターンのハミング距離が N 以下であるものとした N ハミング距離テストパターン圧縮を用いる。N ハミング距離テストパターン圧縮を用いて N ビットの値衝突が原因で実際に圧縮できないテストパターングループを見つけ、これらのテストパターングループで発生している値衝突の原因となる信号線を解析する。その解析結果からテストポイント挿入箇所を探索するアルゴリズムを提案する。

2. 諸定義

(定義 1 : N ハミング距離圧縮可能)

外部入力($PI_1, PI_2, \dots, PI_n$)を持つ組合せ回路に対する 2 つのテストパターン T_1, T_2 を考える。

T_1, T_2 の外部入力 PI_i の値をそれぞれ $T_1(PI_i)$ (m 外部入力数), $T_2(PI_i)$ と表記する ($1 \leq i \leq m$)。

$$T_1(PI_i), T_2(PI_i) \in \{0, 1, X\}$$

表 1 に示す N ハミング距離圧縮演算 $\cap_N$ を用いると、N ハミング距離圧縮演算結果 T は任意の i ($1 \leq i \leq m$) について式(1)で示すことができる。

$$T(PI_i) = T_1(PI_i) \cap_N T_2(PI_i) \dots \text{式 (1)}$$

$\sum_{i=1}^m (V(T(PI_i))) = N$ であるとき、 T_1 と T_2 は N ハミング距離圧縮可能であるという。

表1 Nハミング距離圧縮演算 $\cap_N$

$\cap_N$	0	1	X
0	0	W	0
1	W	1	1
X	0	1	X

A Test Point Insertion Method to Reduce the Number of ATPG Pattern based N-Humming Distance Test Compaction

Yoshihiro SAITO, Toshinori HOSOKAWA, and Masayoshi YOSIMURA

ただし、 $V(T(Pl_i))=T(Pl_i)=W$ の時1、それ以外の時0である。このときの演算結果 T を T_1 と T_2 のマスターパターンという。

(定義2：Nハミング距離圧縮可能グラフ)

Nハミング距離圧縮可能グラフは無向グラフ $G(V, E)$ であり、頂点 $v \in V$ はテストパターンを表す。また、 $\forall u, v \in V(u \neq v)$ において辺 $(u, v) \in E$ は u と v がNハミング距離圧縮可能であることを示す。

3. Nハミング距離テストパターン圧縮に基づくテストポイント挿入アルゴリズム

Nハミング距離テストパターン圧縮に基づくテストポイント挿入の全体アルゴリズムについて述べる。図1にアルゴリズムを示す。

STEP1で、テストポイント挿入数の上限に達したかを判定する。上限に達している場合処理を終了し、達していない場合はSTEP2からSTEP6までの処理を繰り返し行う。ここで、テストポイント挿入数は外部から指定できる。STEP2で、テスト対象回路に対しATPGを用いてテストパターンを生成する。STEP3で、STEP2で生成されたテストパターンに対してドントケア(X)抽出⑧を行う。STEP4で、STEP3で生成されたXを含むテストパターンに対し、Nハミング距離テストパターン圧縮可能グラフを作成し、重み最小の最大クリークを抽出⑨する。Nハミング距離テストパターン圧縮の詳細については4章で述べる。STEP5で、重み最小の最大クリークを基に、各テストパターンペアがNビットの外部入力で値衝突を起こしているテストパターングループを求める。次にテスト対象回路内のどの信号線に値衝突を起こす原因があるかを解析し、値衝突を回避できるようなテストポイント挿入箇所を探索する。値の衝突を起こす内部信号線をテストポイント挿入箇所とする理由として、Nビットの外部入力で値衝突を起こしているテストパターングループを全て圧縮可能に

することをねらっているからである。STEP5の詳細については5章で述べる。STEP6で、STEP5の探索結果からテストポイント挿入箇所として決定された信号線にテストポイントを挿入する。

4. Nハミング距離テストパターン圧縮

Nハミング距離テストパターン圧縮は、テストポイントを挿入すべき箇所を探索するための情報を作成することを目的としている。

まず、Nハミング距離テストパターン圧縮とテストパターン圧縮での圧縮効率の比較を行う。図2の5つのテストパターンに対してテストパターン圧縮を用いて最小クリーク分割⑨を行った例(図3-a)と1ハミング距離テストパターン圧縮を用いて1ハミング距離圧縮可能グラフを作成し、最小クリーク分割を行った例(図3-b)を示す。

図3-aと図3-bの頂点は1つのテストパターンを示している。実線の辺は2つのテストパターンが圧縮可能であることを示し、点線の辺は1ハミング距離圧縮可能であることを示す。

図3の2つを比較すると、1ハミング距離テストパターン圧縮のほうがテストパターン圧縮に比べクリーク分割数が2個減少し、圧縮効率が高くなると考えられる。しかし、限られたテストポイントで全てのクリークを圧縮可能とするのは困難な問題である。それゆえ、重み最小の最大クリークを抽出し、このクリークのみをテストパターン圧縮可能とするようにテストポイント挿入を行う。

$T_1 = 10X1XX1$
 $T_2 = XX110X1$
 $T_3 = X0010XX$
 $T_4 = 0001XXX$
 $T_5 = 1XX11XX$

図2 テストパターン集合

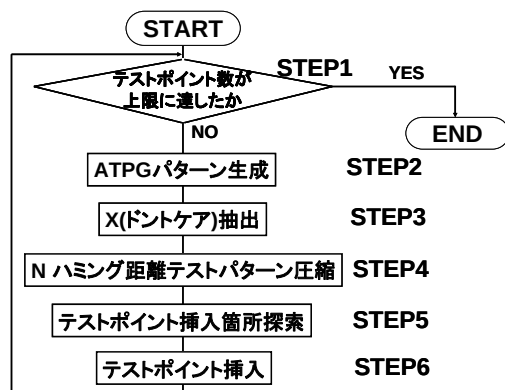
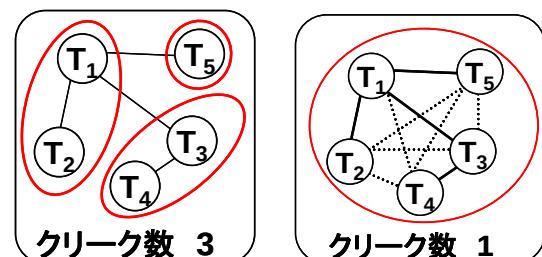
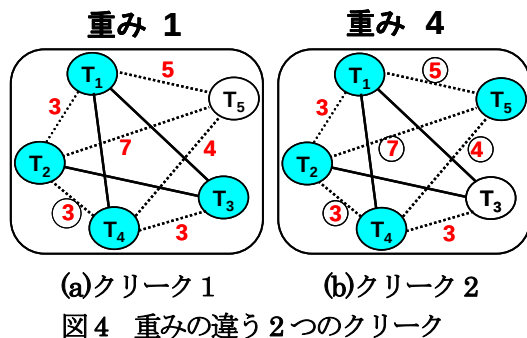


図1 全体のアルゴリズム



(a)テストパターン圧縮 (b)1ハミング距離テストパターン圧縮

図3 最小クリーク分割



ここでクリークの重みについて図 4 の例を用いて説明する。

クリークの重みとは、クリーク分割された複数のテストパターンを 1 つのテストパターンに圧縮したときに起こる値の衝突ビットの数である。

図 4 の a, b は共に $T_1 \sim T_5$ までの 5 つのテストパターンで 1 ハミング距離テストパターン圧縮可能グラフを作成したものである。

図 4 の辺と頂点は、図 3 と同条件である。さらに、点線の辺に付けられている数字は、2 つのテストパターンで値の衝突が起こっているビットを示している。例えば、 T_1 と T_2 は 1 ハミングテストパターン圧縮可能であり、3 ビット目で値の衝突が起こっていることを表す。

ここで、図 4-a は 4 つの要素 T_1, T_2, T_3, T_4 からなるクリーク 1 とし、図 4-b は 4 つの要素 T_1, T_2, T_4, T_5 からなるクリーク 2 とする。クリーク 1 を 1 つのテストパターンに圧縮すると、3 ビット目のみで値の衝突が起こる。よってクリーク 1 の重みは 1 となる。同様に、クリーク 2 は 3, 5, 4, 7 ビット目で値の衝突が起こるためクリーク 2 の重みは 4 となる。

次に、2 章で定義したマスターパターン作成方法について図 5 を用いて説明する。図 5 の $T_1 \sim T_5$ は圧縮前のテストパターンを表し、 T' は $T_1 \sim T_5$ の 5 つのテストパターンに対し N ハミングテストパターン圧縮を行うことで作成されるマスターパターンを表している。テストパターンの一番左のビットに注目すると T_1 と T_5 のテストパターンには値(1)が割り当てられているが、 T_4 のテストパターンには値(0)が割り当てられており値の衝突が生じている。その結果

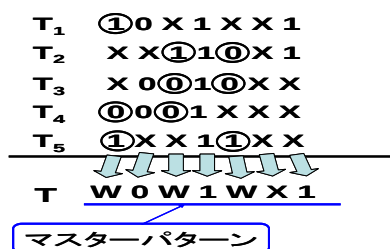


図 5 マスターパターン作成例

マスターパターンの一番の左ビットは W となる。同様に、左から 3, 5 番目のビットも値の衝突が生じているため W となり、マスターパターン T は W 0 W 1 W x 1 となる。マスターパターン T より $T_1 \sim T_5$ を圧縮可能にするためには、3 つの外部入力での値の衝突を回避するような信号線にテストポイントを挿入する必要がある。よって、マスターパターン中の W の個数がクリークの重みであるといえる。

これらのことから重み最小の最大クリークとは、クリーク中のテストパターン数が最大あり、そのマスターパターン中の W 数が最小のものである。外部入力での衝突数が少なければ、その原因を削除するためのテストポイント数もすくなくと考える。出来るだけ少ないテストポイント数で多数のテストパターンを圧縮可能にすることねらっているため、重み最小の最大クリークを抽出するのである。

5. テストポイント挿入箇所探索

図 6 にテストポイント挿入箇所探索アルゴリズムを示す。STEP1 で、重み最小の最大クリークを構成しているテストパターン集合に対し論理シミュレーションを行う。STEP2 で、論理シミュレーションの結果から衝突原因となった信号線の探索を行う。図 7 に衝突原因となる内部信号線の探索例を示す。図 7 の各信号線の括弧内の値は 2 つの衝突するテストパターン T_1, T_2 による論理シミュレーション結果を表す。まず、図中に G2 の OR ゲートと G3 の AND ゲートの出力信号線に注目する。この 2 つの信号線は共に、 T_1, T_2 について値の衝突が発生していない。図 7 の論理シミュレ

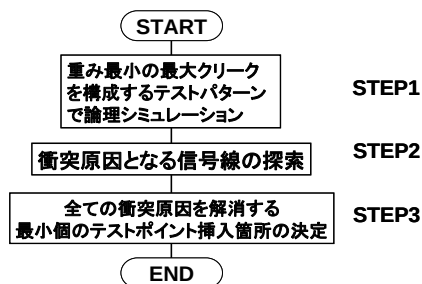


図 6 テストポイント挿入箇所探索アルゴリズム

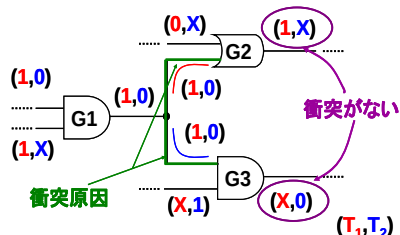


図 7 衝突原因の探索例

ーション結果から、衝突原因となる信号線は G2 の下側入力信号線と G3 の上側の入力信号線となる。この衝突原因となる信号線のどちらかにテストポイント挿入を行うことで、2 つのテストパターンは 1 つのパターンに圧縮可能となる。STEP3 で、重み最小の最大クリークを構成するテストパターンについて、STEP2 の処理で探索した衝突原因となる信号線集合の中から、全ての衝突原因を解消する最小個のテストポイント挿入信号線を決定する。

6. 予備実験結果

提案した N ハミング距離テストパターン圧縮を実装し、ITC'99 の回路に対して N ハミング距離テストパターン圧縮を行うとどの程度テストパターン数の削減が期待でき、どの程度値の衝突が発生するのか予備実験を行い評価した。本実験では、TetraMAX を用いて、動的・静的圧縮されドントケア(X)を含まないテストパターンを生成そのテストパターンに対し X 抽出を行ったテストパターン集合を N ハミング距離テストパターン圧縮の入力とした。

表 2 に ITC'99 に対し 1 ハミング距離テストパターン圧縮を行った結果を示す。表 2 の CIR は回路名、#B_PAT は X 抽出をしたテストパターン数、#MASTER は 1 ハミング距離テストパターン圧縮可能グラフを作成し、クリーク分割を行った後の全マスターパターン数、#SIMPLE_PAT は、クリーク分割後に他のテストパターンと圧縮ができず、圧縮前のテストパターンがそのままマスターパターンになったパターン数、#GROUP_PAT は、複数のテストパターンから構成されているクリーク数、#W_BIT は、マスターパターン集合中に含まれる値衝突ビット(W)の合計数を表す。予備実験結果を見ると全ての W を削除することでテストパターン数を 34%~4%削減ができると予想する。テストパターン数の削減率に比べ値衝突ビット数は非常に多く発生する結果となった。この結果から、テストパターン数を削減するために挿入されるテストポイント数が多くなることが予測できる。よって、実験結果からも限られたテストポイント数で全クリークを圧縮可能にするのは難しいのではないかと考えられる。

そこでテストポイント挿入箇所探索対象となるクリークを全クリークから重み最小の最大クリークだけに絞りこむ。これにより少ないテストポイント数で多数のテストパター

ンを圧縮可能にできる。さらに重み最小の最大クリークを圧縮可能にすることで、他のクリークも圧縮可能になるのではないかと考えられる。よって本稿で提案したアルゴリズムにより、テストパターン数の削減に効果的なテストポイントの挿入箇所を探索できるのではないかと考えられる。

7. おわりに

本稿では、N ハミング距離テストパターン圧縮に基づくテストポイント挿入アルゴリズムを提案した。さらに、N ハミング距離テストパターン圧縮から N ハミング距離圧縮可能グラフを作成し、最小クリーク分割部分まで実装を終え、ITC'99 に対して 1 ハミング距離テストパターン圧縮でのテストポイント数とテストパターン数の削減率の予測値を解析した。

今後の予定として、重み最小の最大クリーク分割とテストポイント箇所探索部分の実装を行い、提案アルゴリズムを評価することが挙げられる。

「参考文献」

- 1) H.Fujiwara, Logic Testing and Design for Testability, The MIT Press, 1985.
- 2) M Abramovici, M.A.Breuer, and A.D.Frindman, Digital Systems Testing and Testable Design, Computer Science Press, 1990.
- 3) International Technology Roadmap for Semiconductors 1999 Edition, Semiconductor Industry Association, 1999.
- 4) Y. Sato, T. Ikeda, M. Nakao, and T. Nagumo, "A bist approach for very deepsub-micron (vdsn) defect," Pros. International Test Conference, pp. 283-291, 2000.
- 5) 吉村 正義, 細川 利典, 太田 光保, "ATPG パターン数削減指向テストポイント挿入方法", [電子情報通信学会論文誌], Vol.J86-D-I No.12, pp.884-896, 2003
- 6) M.J.Geuzebroek, J.Th.van der Linden, and A.J.van de Goor, "Test Point Insertion for Compact Test Sets," Pros. Int. TestConf., pp .348-357,1999.
- 7) Rafamani Sethuram, Seongmoon Wang, Srimat T. Chakradhar, Michael L. Bushnell, "Zero Cost Test Point Insertion Technique to Reduce Test Set Size and Test Generation Time for Structured ASICs," Pros. AsianTest Symposium, pp . 339-346, 2006 .
- 8) Kohei Miyase, and Seiji Kajihara, "XID : Don't Care Indentification of Test Patterns Circuits and Systems", IEEE Trans.Computer-Aided Design of Integrated Circuits and Systems, Vol. . 23, No. 2, pp. 321-326, 2004 .
- 9) J.ホロムコヴィッチ 著, 和田幸一, 増澤利光, 元木光雄 訳, "計算困難問題に対するアルゴリズム理論," Springer, 2005

表 2 予備実験結果

CIR	#B_PAT	#MASTER	#SIMPLE_PAT	#GROUP_PAT	#W_BIT
s14	823	624	446	178	178
s15	490	324	174	150	164
s18	1393	1234	1075	159	135
s20	867	738	609	129	125
s21	873	804	735	69	58
s22	725	695	668	27	22