

BASTアーキテクチャにおける擬似ランダムパターンの反転数削減のための決定的パターンのマッピング法

—マッピングアルゴリズムの違いによる反転数の比較—

日大生産工(院) ○万 玲玲 日大生産工 細川 利典

1 はじめ

近年、半導体技術の急速な進歩により、LSIの回路規模が増大し、回路構造もより複雑化している。一般的にLSIの論理部のテストを行うにはスキャン設計と自動テスト生成ツール[1] (Automatic Test Pattern Generator: ATPG) によるテスト生成が広く受け入れられてきた。このテスト手法によって高い故障検出効率が得られるが、回路の高集積化に伴いATPGにより生成されたテストパターン数が増大し、テストデータ量がテストのメモリをオーバーフローするような問題が発生し、テストデータ圧縮技術の重要性が一気に高まってきた。

そこで、考案されたものに組込み自己テスト[1] (Built-In - Self - Test: BIST) とATPGを用いて生成した高い故障検出率のテストパターン集合を組み合わせた技術がある。この技術はテストデータ量の圧縮と設計フローへの影響をなくし、さらに高い故障検出効率のテストパターンを得ることを目的としている。これらの技術の1つとして組込み自己テスト援用スキャンテスト (BIST Aided Scan Test: BAST) [1]が挙げられる。BASTに代表される擬似ランダムパターン生成器から生成される擬似ランダムパターンのあるビットを反転させ、ATPGから生成される決定的パターンに変換し、テストを行う技術[3]はATPGのテストパターンを利用できることにより、高い故障検出効率を実現できる。

本稿では、BASTアーキテクチャによる擬似ランダムパターンの反転数を削減するための決定的パターンのマッピングアルゴリズムを実装し、評価する。第2章では、BASTの基本概念について説明する。第3章では、BASTアーキテクチャについて説明する。第4章では、BASTテストパターン[1]の生成方法について説明する。第5章では、擬似ランダムパターンの反転数を削減するための決定的パターンとのマッピングアルゴリズムについて説明する。第6章では、実験結果につい

て述べる。第7章では、本稿のまとめについて述べる。

2 BAST基本概念

BASTの基本概念は「ATPGにより生成される決定論的テストパターンは全てのビットを指定することない」という事実に基づいている。多くの場合、決定論的テストパターンは大多数のドントケアビット及び少数のケアビットから構成されている。ここで外部入力に1または0の割り当てがされたビットをケアビット、外部入力に値が割り当てされていないビットをドントケアビットと呼ぶ。ケアビットの割合は通常1%～5%で、このケアビットの値が故障検出に必要な値となる。図1はBASTの基本概念図である。基本構成は、擬似ランダムパターンを発生する擬似ランダムパターン生成器PRPG[1] (Pseudo Random Pattern Generator) と出力信号をシグネチャに圧縮するMISR[1] (Multiple Input Signature Register)を持つBISTである。ATPGにより割り当てられる擬似乱数の値はPRPGによりテスト回路内部で生成される。よって、テストデータの大部分は、この他にBASTコードと呼ばれる入力用のテスト系列や期待値を格納するテスト[5] (Automatic Test Equipment: ATE) とCUT間のインタフェースチャンネルを通して印加される。決定的テストパターン中のドントケアビットの値はPRPGを用いてCUT内部のスキャンチェーンに割り当てられるため、テストデータの大部分はATEのメモリから除外される。ケアビットの値はATEとCUT間のインタフェースチャンネルを通してコード化されて印加される。更にMISRによってATE中にすべての出力期待値を記憶する必要性をなくす。MISRの利用は、シグネチャを取り組むときのアンノウン(X)状態の問題を取り扱うことが必要となり、BASTは、アンノウン(X)状態の影響をマスクする機能ももつ。

A Mapping Method of Deterministic Patterns to Reduce the Number of Flips for Pseudo Random Random Patterns
Lingling Wan, Toshinori HOSOKAWA

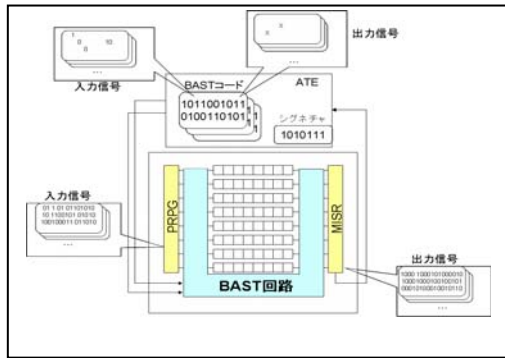


図1. BAST基本概念図

3 BASTアーキテクチャ

BASTアーキテクチャは、一般的なスキャンベースBIST STUMPS (Self-Test Using a MISR and a Parallel Shift register sequence generator) [5]に基づいている。BAST用のテスト回路論理はスキランチェーンの入力とPRPGインバータブロック、スキランチェーンの出力とMISRの間に挿入され、図2に示すようにデコーダブロックを加結し、三つのブロックから構成される。

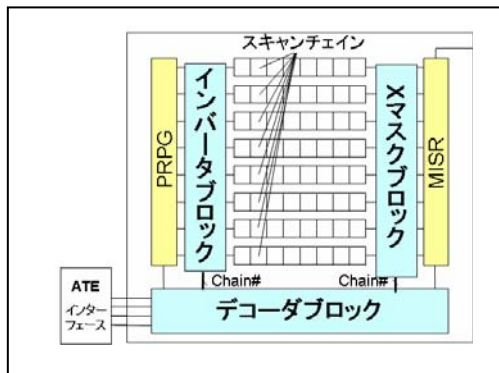


図2. BASTアーキテクチャ

3.1 インバータブロック

インバータブロックはPRPGの出力とスキランチェーンの入力の間に置かれる。これは、PRPGからスキランチェーンへ通過する信号を反転させる。図3はインバータブロックの1ビット分の論理を示す。インバータブロックは、スキランチェーン数と同一のビット幅を持つ。その論理はXORゲートから構成され、反転を制御するフリップフロップ (FF) の信号に従いPRPGの出力信号の反転操作を行う。なおFFの入力Set, Resetにより反転制御を行い、Setが1かつResetが0の時は反転を設定し、Resetが1かつSetが0の時は擬似ランダムテストパターンの値をそのまま出力するように設定する。

3.2 Xマスクブロック

Xマスクブロックは、内部スキランチェーン

の出力とMISRの入力の間に置かれる。図4はXマスクブロックの1ビット分の論理を示す。Xマスクブロックもインバータブロックと同様にスキランチェーン数と同一のビット幅を持つ。その論理はORゲートで構成され、マスク制御用のFFによりX状態をマスクする。なおFFの入力Set, ResetによりXマスク制御を行い、Setが1かつResetが0の時はマスク操作が設定され、Resetが1かつSetが0の時はスキランチェーンからの出力値をそのままMISRに出力するように設定する。

3.3 デコーダブロック

デコーダブロックは、コード化された信号を受け取るインタフェースチャンネル (インバータブロックの反転を制御するインバータフラグ信号とXマスクブロックを制御するXマスクフラグ信号及びスキランチェーンを選択するための複数のチェーンアドレス信号から構成される) に接続され、インバータブロック、Xマスクブロックの対応するFFを制御する。

3.4 BASTコード

インタフェースチャンネルで、インバータブロックの反転を制御するインバータフラグ信号と、Xマスクブロックを制御するXマスクフラグ信号、及び、スキランチェーンを選択するための複数のチェーンアドレス信号から構成される。インタフェースチャンネルに入力されるコード化されたテストパターンをBASTコードと呼ぶことにする。

4. BASTにおけるテストパターンの生成方法

BASTにおけるテストパターン生成について述べる。決定的テストパターン生成によりCUTのテストパターンを生成し、同時にLSI内部に埋め込まれたPRPGが生成するものと同じの擬似ランダムパターン (TR) を生成する。これらのテストパターンを重ね合わせた、回路に印加されるテストパターンをBASTテストパターンと呼ぶ。以下はBASTテストパターンについて説明する。図3はスキランチェーン8本、スキランチェーン長がそれぞれ3のときに、決定的テストパターンに (TD) おけるFFの信号割り当ての例を示す。図中の0, 1はケアビットの入力信号値、Uはドントケアビットの状態を示す。図4はTDとTRの各対応するビット位置を重ね合わせる。BASTテストパターンを次のように決定する。図7は、右側に図6で示しスキランチェーンを構

成するFFに対し、擬似乱数で設定された信号値が割り当てられた状態を示し、左側に決定的パターン生成からのケアビットの入力信号値のみ書き出したものを示す。すべてのタイムフレーム($t=1\sim3$),すべてのスキャンチェーン($i=0\sim7$)に対して以下のステップを操作する。

- 1) タイムフレーム t , チェイン i のビット位置におけるTDの値がU状態ならば, BASTテストパターン t の信号値はTRの信号値をとる。
- 2) タイムフレーム t , チェイン i のTDの信号値がTRの信号値と一致ならば, BASTテストパターン t はTRの信号値をとる。
- 3) タイムフレーム t , チェイン i のTDの信号値がTRの信号値と不一致ならば, BASTテストパターン t はTDの信号値をとる。

Time Frame	3	2	1
Chain 0	0	0	0
Chain 1	0	0	0
Chain 2	0	0	0
Chain 3	0	1	0
Chain 4	0	0	0
Chain 5	0	0	0
Chain 6	0	0	1
Chain 7	0	0	0

図3. 決定論的パターン生成による信号値

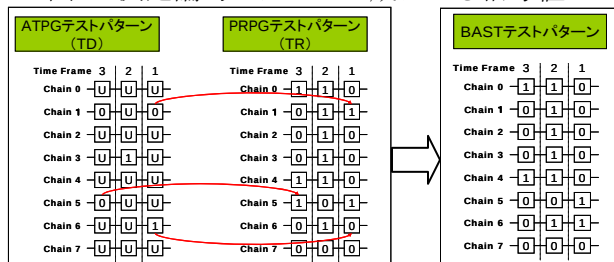


図4. 入力信号の重ね合わせ 図5. BASTテストパターン

また、図5は生成されたBASTテストパターンを示す。

5. マッピングアルゴリズム

BASTコード量やテスト実行時間を削減するため、BASTアーキテクチャにおける擬似ランダムパターンの反転数の削減のための決定的パターンとのマッピング法について検討する。

5.1 マッピングアルゴリズム

文献[1]で提案されているマッピングアルゴリズムを検討する。このアルゴリズムは評価関数を用いて、決定的パターンと擬似ランダムパターンのマッピングを行う。また、この評価関数は3つのポリシーによって、定義される。

- 1) ビット反転数の多い擬似ランダムパターンはマッピングしない。

- 2) ビット反転数が少ない擬似ランダムパターンが複数ある場合、決定的パターンのマッピングの優先度が低い。
- 3) ビット反転数が最小のランダムパターンとビット反転数が2番目に少ないランダムパターンは決定的パターンとのマッピング優先度は高い。

よって、評価関数 $W(i)$ は式 (1) のように示す。

$$W(i) = (\gamma_i - \alpha_i) + (\beta_i - \alpha_i) \quad (1)$$

$W(i)$ は決定的パターンに対して、擬似ランダムパターンとマッピングするときの優先度を表している。 $W(i)$ は大きければ大きいほど先にマッピングされる。また α_i は決定的パターンに対して、最小ビット反転数と定義する。 β_i は決定的パターンに対して、2番目最小ビット反転数と定義する。 γ_i は決定的パターンに対して、最大ビット反転数と定義する。

図6にマッピングアルゴリズムを示す。まず、決定的テストパターン集合中の全てのパターンに対し、擬似ランダムテストパターンとの反転数を求める。反転数を用いて、評価関数に基づき、各決定的パターンの評価値を計算する。次に、評価値最大となる決定的パターンに対して、反転数最小の擬似ランダムパターンを割り当てる。割り当てた決定的パターンと擬似ランダムパターンに対し削除する。これらの一連の処理が決定的パターン集合を ϕ となるまで繰り返す。

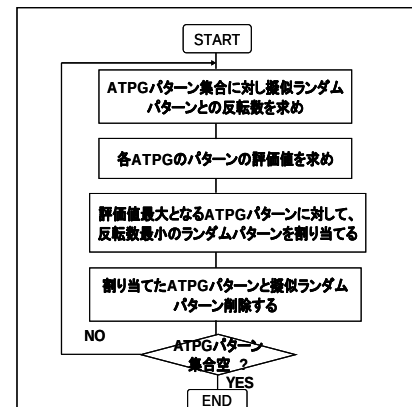


図6. マッピングアルゴリズム

5 実験結果

今回評価する実験データは、ISCAS' 89ベンチマーク回路のs35932, s38584及びITC' 99ベンチマーク回路を用いる。スキャンチェーンに数が16とした。決定的パターンと擬似ランダムパターンを先頭から順にマッピングするアルゴリズムと本稿で述べた文献[1]のマッピング

アルゴリズムを実装し、擬似ランダムパターンのビット反転数を評価した．表1において，*Circuit*は回路名，*#Flip Flop*は回路内のフリップフロップ数，*#ATPG patterns*はATPGのテストパターン数を示す．

表 1 決定的パターン数

Circuit	#Flip Flop	#ATPG patterns
s35932	1763	21
s38584	1462	147
b15	485	453

また，表2において，*Cir*は回路名，*prpseed*は擬似ランダムパターン生成器の種，*#ori_flip_num*は単純マッピング法のビット反転数，*#new_flip_num*は反転数削減マッピング法のビット反転数，*num_rr*は回路ビット反転数の削減率を表す．回路ビット反転数の削減率は式(2)により求められる．

$$num_rr = \frac{\#ori_method_flip_num - \#new_method_flip_num}{\#ori_method_flip_num} \times 100 \quad (2)$$

表 2 反転数削減率

Circuit	prpseed	#ori_flip_num	#new_flip_num	num_rr(%)
s35932	10	19682	18140	3.00
s38584	10	107491	102406	4.73
b15	10	109972	97313	11.5

表2から，BASTアーキテクチャに基づいて，擬似ランダムパターン生成器の種を二進数の10で与え，単純マッピング法と反転数削減マッピング法でのマッピングで反転数削減率は3%～11.5%程度であった．よって，回路全体のBASTコード量を削減することができた．

6 まとめ

本稿では，テストデータであるBASTコード量を削減するために，BASTアーキテクチャにおける擬似ランダムパターンの反転数を削減するための決定的テストパターンのマッピングアルゴリズムを実装，評価し，BASTコード量が削減できることを確認した．

今後の課題として，決定的パターンとの反転ビットが少なくなるようなテストポイント挿入法を提案する．

「参考文献」

[1] Masayuki Arai, Satoshi Fukumoto, Kazuhiko Iwasaki, Takahisa Hiraide, Takashi Aikyo, ” Test Data Compression Using TPG Reconstruction for BIST-Aided Test” , proc. IEEE 6th Workshop on RTL and High Level

Testing, 211-8588, 2005.

[2] 相京 隆，平出 貴久，江守 道明，” BAST:Bist Aided Scan Test-テストコスト削減のための新しい手法” ，電子情報通信学会論文誌, Vol. J88-D-I, No. 6, pp. 1012-1020, 2004. 8. 27.

[3] 藤原 秀雄，” デジタルシステムの設計とテスト” ，工学図書株式会社.

[4] 武内 和志，” 組込み自己テスト援用スキャンアーキテクチャによるテストデータ圧縮に関する研究” ，卒業論文, 2006.

[5] P.H. Bardell and W.H. McAnney, ” Parallel pseudo-random sequences for built-in test, ” Proc. ITC, pp. 302-308, 1984.