



しかし、テストパターン $t_A$ は圧縮バッファ内の既存のテストパターンとは圧縮が不可能である。

ここで図3に信号線 $b$ の1縮退故障を外部出力 $l$ に伝搬した場合を示す。

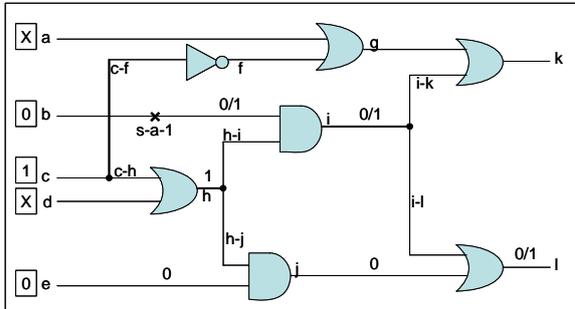


図3 テスト生成例 ( $t_b$ )

これにより得られるテストパターン $t_b$ は(X,0,1,X,0)である。 $t_b$ は圧縮バッファ内のテストパターン $t_A$ と圧縮が可能である。

以上の例より、生成されるテストパターンの値の割り当ては検出する外部出力に依存することがわかる。

### 3. 多重後方追跡を用いた仮想テストパターン生成

1つの故障に対して検出する外部出力を変化させて、各々のテストをすべて生成することは多大な時間を要する。よって、提案手法では各外部入力の割当要求に着目することで仮想テストパターンを生成して、それを圧縮可能性の評価尺度として用いることにする。

#### 3.1 多重後方追跡による値の割り当て

多重後方追跡(4)は、回路中の特定の内部信号線に特定の値(1または0)を割り当てるという目標を達成するためにどの外部入力に、どの程度の割当要求が来ているか求めるアルゴリズムである。

ここで多重後方追跡時に分岐元で値が衝突した際の処理について説明する。分岐元の場合は分岐先から異なる要求が来ることがありうる。この場合は、分岐元の割当要求回数の総和が大きい値を分岐元の値として目標に設定する。

図4に割り当て値の衝突の例を示す。分岐元Aには分岐先Bから0の割当要求が、分岐先Cからは1の割当要求が来ている。

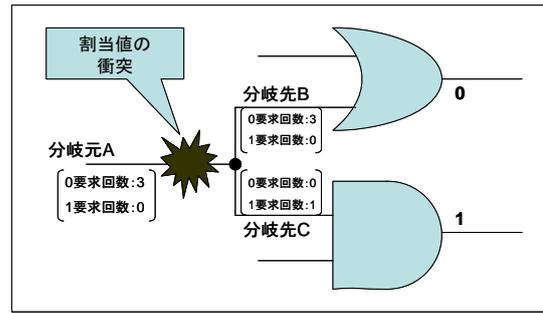


図4 分岐元での割当値の衝突

このとき、Bからの0割当要求は3回、Cからの1割当要求は1回伝搬されてきているので割当要求回数の総和の大きい0の値が分岐元Aの目標値として設定される。

#### 3.2 仮想テストパターン生成アルゴリズム

仮想テストパターン(5)とは目標に対する多重後方追跡の結果、外部入力で要求された論理値である。提案手法では1つの目標故障に対して到達可能な外部出力ごとに伝搬経路を設定して仮想テストパターンを生成する。

図5に仮想テストパターン生成のアルゴリズムを示す。前処理として各信号線には到達可能な外部出力の情報を持たせておく。

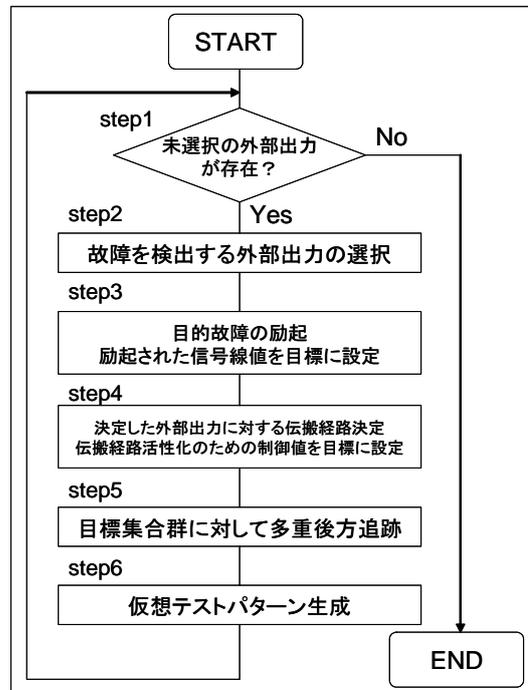


図5 仮想テストパターン生成アルゴリズム

(step1)

未選択の外部出力の存在を確認。存在しないならば、処理を終了する。

(step2)

故障を検出する外部出力を決定。

(step3)

目標故障を励起して、その信号線の値を目標集合群に追加する。

(step4)

指定した外部出力までの故障伝搬経路を可観測費を基に決定し、その経路を活性化するための値を目標集合群に追加する。

(step5)

step2 と step3 で設定した目標集合群に対して多重後方追跡を行い、各信号線の割当要求値を計算する。

(step6)

外部入力における目標の結果から仮想テストパターンを生成する。

## 4. 動的圧縮テスト生成アルゴリズム

### 4.1 故障テーブルソート

提案手法では、テスト生成の前処理としてランダムパターンを用いて故障テーブルのソートを行う。図 6 に故障テーブルソートのアルゴリズムを示す。

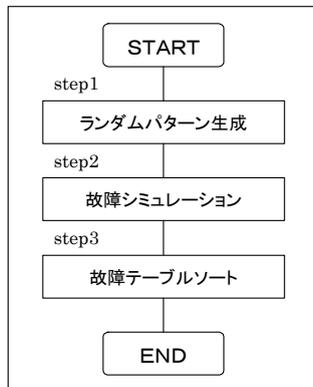


図 6 故障テーブルのソートアルゴリズム

(step1)

N 個のランダムパターンを生成する。(N の値はパラメータで与えられる。)

(step2)

ランダムパターンに対して故障シミュレーションを行うことで各故障が何回ずつ検出されたかをカウントする。

(step3)

step2 の結果から検出回数の低い故障を優先的にテスト生成の対象となるように故障テーブルをソートする。

検出回数の総数が低い故障は、擬似的に検出困難な故障とみなすことができる。検出容易な故障は目標故障ではないテストパターンでも検出されることが高確率でありうるため、検出困難な故障に対して優先的にテスト生成を行うことで、テストパターン数と CPU 時間の削減が期待できる。

### 4.2 テスト生成アルゴリズム

図 7 に検出外部出力を考慮した動的圧縮テスト生成アルゴリズムを示す。

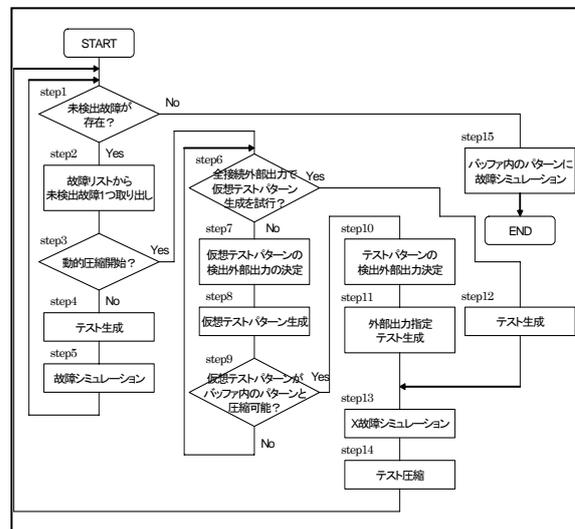


図 7 テスト生成アルゴリズム

(step1)

テスト生成は故障テーブル内の未検出故障がなくなるか、全ての故障に対してテスト生成を試みた時点で終了する。

(step2)

故障テーブルからテスト生成の対象となる未検出故障を 1 つ取り出す。

(step3)

故障検出効率を考慮し、一定の閾値を設けることで動的圧縮の開始を判断する。

(step4)

テスト生成し、パターンのドントケアはランダムで 0 または 1 の値が割当てて。

(step5)

生成されたパターンに故障シミュレーションを実行して故障テーブルを更新する。

(step6)

目標故障の信号線から到達可能なすべての外部出力に対して、仮想テストパターンを生成を試みたかを判断する。

(step7)

実選択な接続関係にある外部出力を1つ選択する。

(step8)

仮想テストパターンを生成する。

(step9)

生成した仮想テストパターンと圧縮バッファ内のパターンが圧縮可能か解析する。

(step10)

step9の結果からテスト生成時に故障を検出する外部出力を決定する。

(step11)

故障を検出する外部出力を限定してテスト生成を行う。

(step12)

検出外部出力を限定しない一般のテスト生成を行う。

(step13)

ドントケアを含んだテストパターンに対して、ドントケア故障シミュレーションを行う。

(step14)

圧縮バッファに生成したテストパターンを格納する。もし圧縮が可能ならば圧縮し、新しいパターンにドントケア故障シミュレーションを実行する。圧縮バッファ内をパターンのドントケア数で降順にソートし、次の目標故障に対するテスト生成に移行する。また、圧縮が不可能な場合は生成されたパターンのドントケア故障シミュレーションとバッファ内をドントケア数で降順にソートした後に、圧縮バッファ内のパターン数がバッファサイズを超過していないか調べる。パターンがバッファから溢れた場合は最もドントケア数の少ないパターンを1つ取り出して、ドントケアがある場合は1または0の値をランダムで割当てて故障シミュレーションを実行する。このパターンを圧縮バッファから除去して、次の目標故障に対するテスト生成に移行する。

(step15)

圧縮バッファ内に残ったパターンに故障シミュレーションを行い、未検出故障を検出できるパターンはテスト集合に追加する。

## 5. 予備実験結果

今回は予備実験として、従来法で ITC'99 ベンチマーク回路に対して圧縮可能なテストパターンをどの程度生成しているのかを調査した。バッファサイズは 200, 圧縮閾値 2) は 4 である。“circuit”は回路名, “#TP”はテスト集合のサイズ, “#ATPG\_comp”は動的圧縮開始後のテスト生成回数, “#comp\_pat”は圧縮可能だったテストパターン数を示す。また, “comp\_rate”は圧縮率を示し,  
$$\text{comp\_rate} = \# \text{comp\_pat} / \# \text{ATPG\_comp}$$
で計算した。

表 1 圧縮不可能なテスト生成数

| circuit | #TP  | #ATPG_comp | #comp_pat | comp_rate(%) |
|---------|------|------------|-----------|--------------|
| b14_C   | 1167 | 3058       | 1690      | 55.3         |
| b15_C   | 827  | 2030       | 998       | 49.2         |
| b17_C   | 1423 | 5763       | 4315      | 78.9         |
| b20_C   | 1723 | 4062       | 2080      | 51.2         |
| b21_C   | 1791 | 3953       | 1944      | 49.2         |
| b22_C   | 1640 | 5345       | 3555      | 66.5         |

## 6. おわりに

本稿では目的故障の伝搬経路および、圧縮バッファ内の既存のテストパターンに着目したテスト生成を行うことでより圧縮効率を向上させる手法を提案した。

今後の課題として、本手法の実装と ITC'99 ベンチマーク回路による手法の評価が挙げられる。

### 参考文献

- 1)Y.Matsunaga, “MINT:An exact algorithm for finding minimum test sets,” *IEICE Trans. Fundamentals* vol. E76-A, pp1652-1658 (1993)
- 2)秋山祐介, “ドントケア故障シミュレーションを用いた動的テスト圧縮の効率化”, 第 39 回日本大学生産工学部学術講演会数理情報部会公演概要, pp.89-92 (2006)
- 3)R.Lisanke , F.Brglez , A.J.Degeus and D.Gregory. “Testability-driven random test-pattern generation”,*IEEE Transactions on Computer-Aided Design*,CAD-6,:1082 (1987)
- 4)H.Fujiwara and T.shimono,”on the Acceleration of Test Generation Algorithms,” *IEEF trans* , on Computers,Vol.C-32 No.12 , pp.1137-1144 (1983)
- 5)斎藤善洋, “テスト圧縮効率化のためのテストポイント挿入尺度”, 第 39 回日本大学生産工学部学術講演会数理情報部会公演概要, pp.89-92 (2006)