

FPGA を用いたデジタル発振器の周波数の安定化の研究

日大生産工(院) ○ 仲瀬正樹
日大生産工 田中將義

1 はじめに

次世代の衛星通信システムとして、デジタル信号処理を用いたビームフォーミング型可変マルチビームシステムが検討されている(1)。このシステムはアナログ回路をデジタル処理に置き換えることにより、素子の経年変化や環境依存性がなく安定性を高めることができ、またプログラムを変更することにより、同一のハードウェアで多種多様な機能を実現することができる。このシステムには、A/D・D/A変換、利得・位相の制御、周波数変換等をDSP(Digital Signal Processor)、FPGA(Field Programmable Gate Array)で実現することが検討されている。特に、デジタル周波数変換用第一次局部発振器として高周波での信号発生が重要であり、Direct Digital Synthesizer (DDS)が有望である。

本報告では、従来のDDSに比べメモリ容量低減を実現するシステム構成を提案し、FPGAに実装して従来構成と同程度の性能でメモリ容量を低減するシステムの実現性を確認した。

2 システム構成と原理

2.1 DDSの構成と原理と問題点

Fig.1はビームフォーミング型可変マルチビームシステムのシステム構成である。デジタル処理された信号を、Divider(分配器)を通して素子ごとに信号を分配し、その後振幅と位相の重みを変えたものを周波数変換するまでをデジタル部で

行い以降をアナログ部で処理する。DDSはデジタル部での周波数変換部の局部発振器として使用する。Fig.2に一般的なDDSの構成を示す(2)。発振周波数 f_{out} 、発振周波数の分解能 Δf は以下の式で与えられる。

$$\Delta\theta = \frac{f_{out}}{f_{clk}} 2^n \quad \dots (1) \quad \Delta f = \frac{f_{clk}}{2^m} \quad \dots (2)$$

ただし、 f_{clk} はクロック周波数、 n は入力ビット数、 m は分解能ビット数とする。

Phase Accumulatorにより1周期分の位相を生じさせサンプリング位相 B_m として出力させる。次に、サンプリング位相をLook up tableの精度に合わせビット数を B_n に調整する。その後、位相に合わせてLook up tableに保存してる正弦波のデータを参照して正弦波を表現している。従来のDDSにおいて、Look up tableはデータは1周期分のデータを保存している。この場合、入力ビットの2の累乗に比例してデータ容量が増えていく。よって精度を高くするほど格段に容量が増える問題点がある。

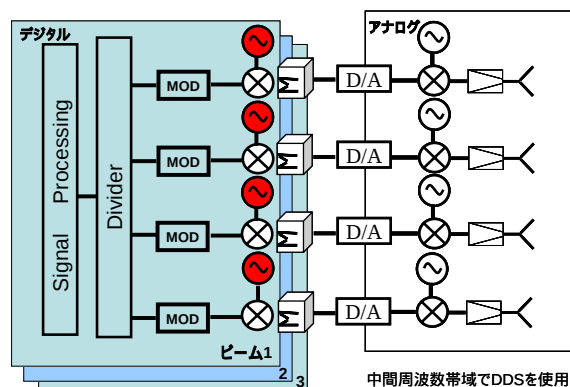


Fig.1 Multi beam satellite communication system with digital beam former

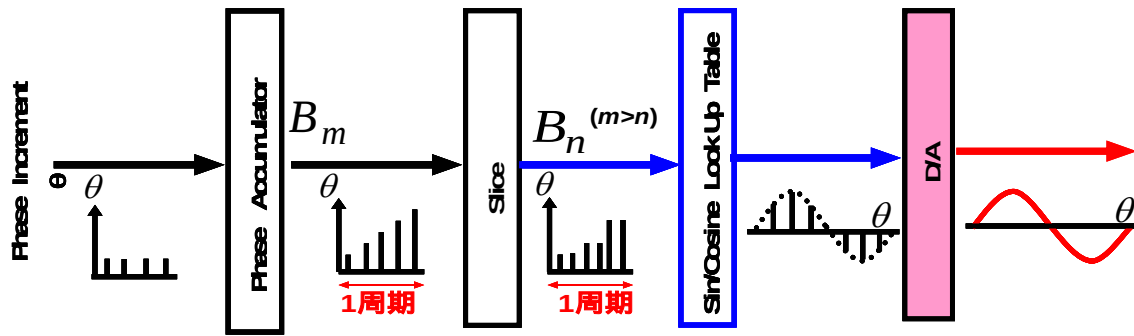


Fig.2 System configuration and principle of DDS

2.2 システム構成と原理(3)

Fig.3は本提案の位相を2分割する原理を示している。サンプリング位相を表現する値を上位ビット θ_U と下位ビット θ_L に分け、それぞれ別々のLUTを有している。Fig.4にLUTを2分割したDDSの構成を示す。式(3)に基づき、二つのLUTの出力の積和演算により、 $\cos(\theta_U + \theta_L)$ と $\sin(\theta_U + \theta_L)$ を算出している。

$$e^{j(\theta_U + \theta_L)} = e^{j\theta_U} \cdot e^{j\theta_L}$$

$$(\sin(\theta_U + \theta_L) = \sin(\theta_U)\cos(\theta_L) + \sin(\theta_L)\cos(\theta_U))$$

・ ・ (3)

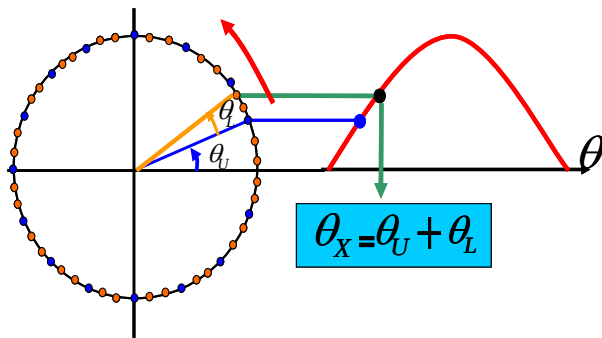


Fig.3 Phase is specified by two angles

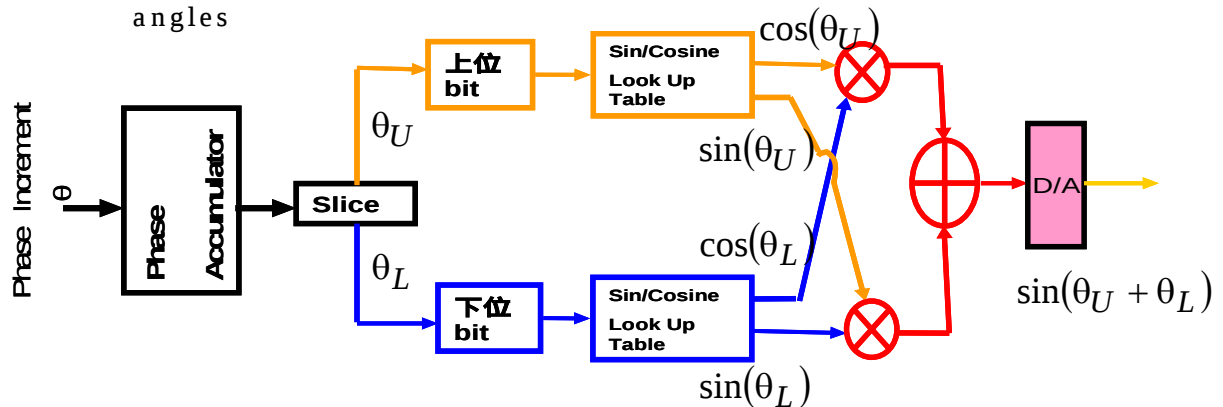


Fig.4 Configuration of proposed DDS

3 ハードウェアの構成

今回、シミュレーションと同時に信号処理プロセスをFPGAに実装して性能を評価した。本報告で使用した主なハードウェアとしてXilinx社のFPGA(VIRTEX-2 XC2V1000)及びAnalog Device社のD/A converter (AD9767)を使用した。

4 検討結果

4.1 上位ビットと下位ビットの分割方法

Fig.5は、入力ビット10bits、クロック周波数100MHz、出力ビット14bits、上位ビットと下位ビットを等分割の条件下で実際にFPGAへ実装したときの発振周波数20MHzの出力spectrumである。本報告では、以降、各々の条件を変えながら出力信号と最大スプリアスである第2高調波の差(SFDR)を評価した。Fig.6は、同条件下の上位ビットと下位ビットの割合に対するSFDRのグラフである。この図からSFDRは入力ビットの分割方法に依存しており、上位ビットと下位ビットを等分割にすることによりSFDRを高くできることが明らかになった。

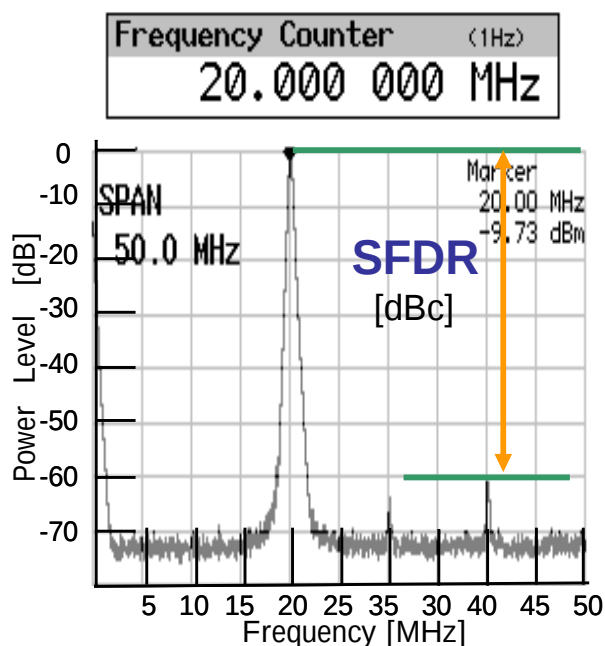


Fig.5 DDS output spectrum

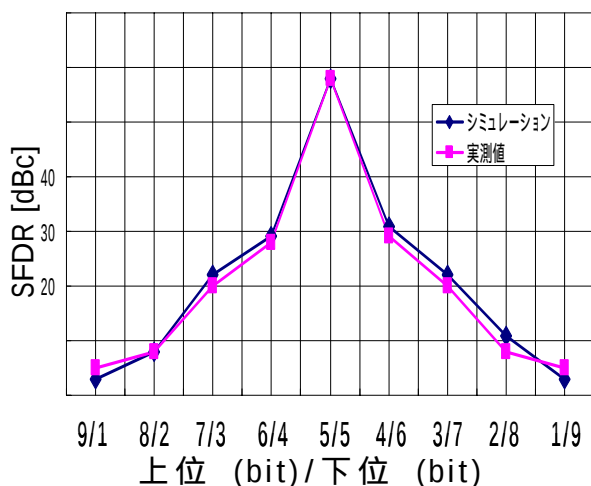


Fig.6 SFDR characteristics for various input bit combination

4.2 入力ビットとスプリアスレベルの関係

Fig.7はクロック周波数100MHz, 発振周波数20MHz, 出力ビット14bitsの一つのLUTで構成された従来のDDS(2)と今回提案したシステムについて, 入力ビット数と出力の信号のSFDR (信号と最大スプリアスの差) との関係を示したものである。従来のシステム(1 table)と提案するシステム(2 tables)はシミュレーション, 実測値共にほぼ同じ特性を示している。

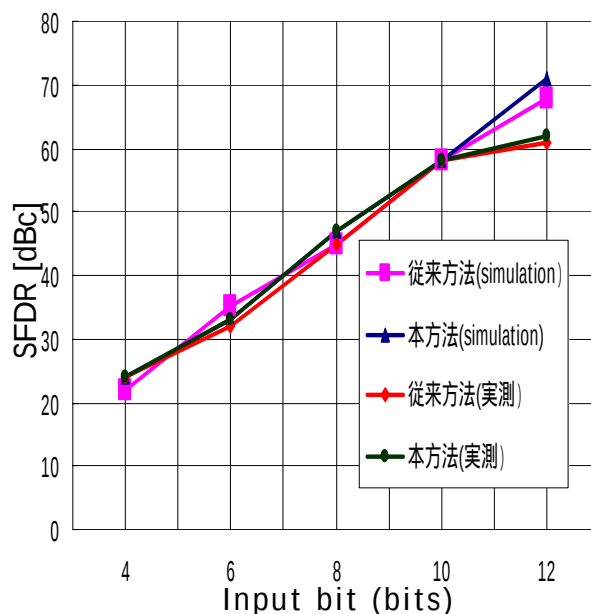


Fig.7 SFDR versus input bits

4.3 周波数の可変性

周波数分解能は式(2)で定まり, 本報告ではクロック周波数100MHz, 分解能ビット32bitであるため, 周波数分解能は, 0.0232Hzである。今回は, 計測機器の分解能を考慮し, 可変幅を1Hzとした。Fig.8はFig.5から1Hz発振周波数を変化させたときのspectrumである。Fig.9はFig.5と同条件下で発振周波数を変化させたときのSFDRである。発振周波数が20MHz以降SFDRが悪くなっている。この事柄については現在検討中である。

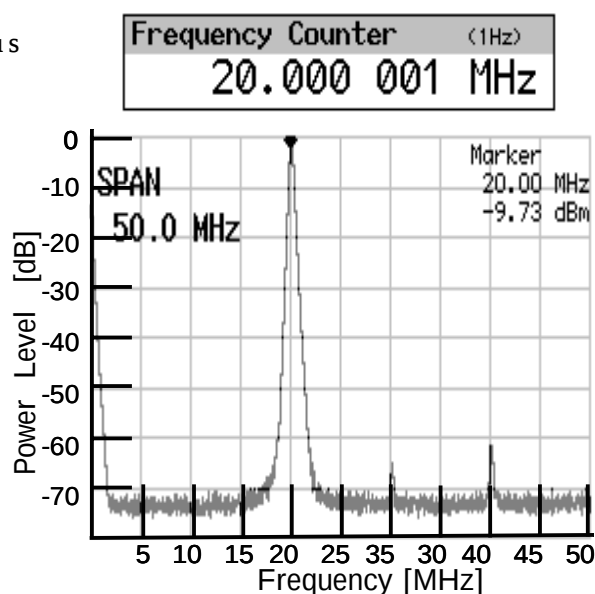


Fig.8 DDS output spectrum

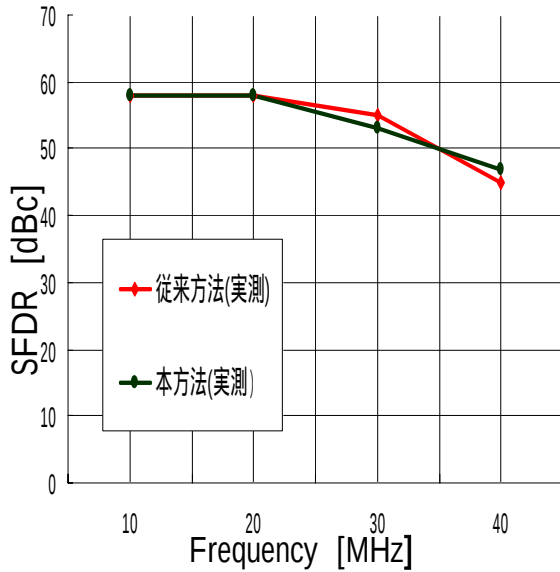


Fig.9 SFDR versus DDS output Frequency

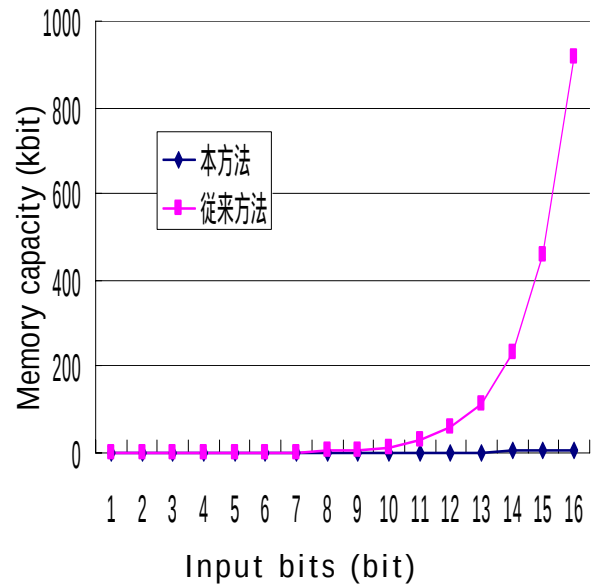


Fig.11 Internal memory size of DDS versus the number of input bits

4.4 内部メモリ容量の比較

Fig.10は従来構成である一個のLUTからなるDDSと今回の2個のLUTで構成されDDSの内部メモリ容量を示す．Fig.11はこれらのメモリ容量を比較したものである．メモリに保存しているデータは,出力ビット14bitであり, LUT入力ビット数との乗算によりメモリ容量が定まる．入力ビット数が増加するとメモリ量の低減効果が増大することが分かる．

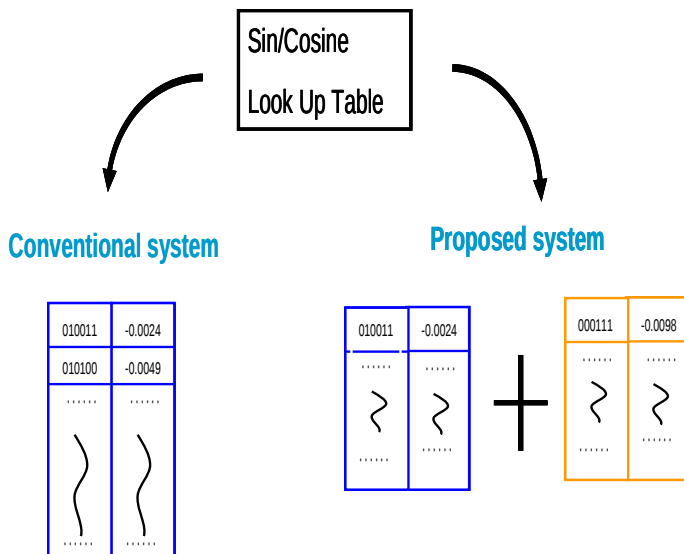


Fig.10 Comparison of look-up-tables in conventional and proposed system

5 おわりに

衛星通信システムへの適用を考慮した高周波数帯で動作するDDSについて, 内部メモリ容量を低減する構成を提案し, 出力スプリアスを評価した．その結果, 従来方式に比べて, 格段に少ないメモリで従来構成と同程度の性能を実現できることを示した．今後は更なる雑音改善方法について検討を行う．

参考文献

- (1)M.Tanaka,et al, Multibeam Mobile Satellite Communication Payload with Beam-forming Network, AIAA 25th ICSSC, AIAA-2007-31792007
- (2)XILINX,DDS v5.DS246 April 28 ,2005 Product Specification
- (3) 仲瀬正樹, 田中將義, メモリ容量を低減した高周波デジタルシンセサイザの検討, 電子情報通信学会ソサエティ大会B-3-2, 2007