

機能的時間展開モデルを用いた データパス順序回路のテスト生成解析

日大生産工(学部) ○杉木 一也 日大生産工 細川利典
FLEETS 吉村正義

1 まえがき

VLSI (Very Large Scale Integrate circuit)の高集積・大規模化が進むにつれて、テスト生成対象回路に対するテストパターンの生成が困難になってきている。それにともない、VLSIの自動テスト生成 (Automatic Test Pattern Generation:ATPG) について盛んに研究されている。テスト生成の対象となる回路は、回路の出力が入力のみ依存する回路を組合せ回路と回路の出力が入力と回路の内部状態に依存する順序回路の2種類に大きく分けることができる。順序回路の内部の構造は図1に示したように制御部と非制御部に分けて考えることができる。順序回路は制御部が外部からの制御入力に従い、非制御部に制御信号を供給して回路の動作を制御する。非制御部は制御部から受け取った制御信号に従い、外部からのデータ入力を処理して結果を外部出力に出力する。

順序回路に対して多くのテスト生成アルゴリズムが提案されている。しかし、一般の順序回路に対するテスト生成は組合せ回路に対するテスト生成と比べて、困難かつテスト生成に時間がかかる。一般の順序回路は図2のようにフィードバックを持つ。順序回路のフィードバックを時間的な論理ブロックの接続関係として図3のように時間展開する。図3のC(n)は時刻nでの組合せ回路に対応し、Y(t)は内部状態、X(t)およびZ(t)はそれぞれ時刻tの外部入力、外部出力を表す。時間展開することにより、回路全体としてFFのない組合せ回路として組合せテスト生成を行い、効率よく順序回路のテスト生成を行うことができる。

しかし、与えられた順序回路(図2)では単一故障であっても、順序回路の時間展開モデル(図3)では、同一の組合せ論理部が繰り返し現れることによって多重故障を扱わなければならない。また、フィードバック構造の時間展開は展開数が不確定なため、単純に展

開を行うと展開数が無限大になり、時間展開モデルを生成できない。

一般的に順序回路の多くは入力に対して有限時間内に結果を出力すると考えられる。つまり、機能面から見れば順序回路の時間展開数は有限になると考えられる。

本研究では回路の機能面を考慮することで、順序回路の非制御部分に対し組合せテスト生成を可能にする方法を提案する。

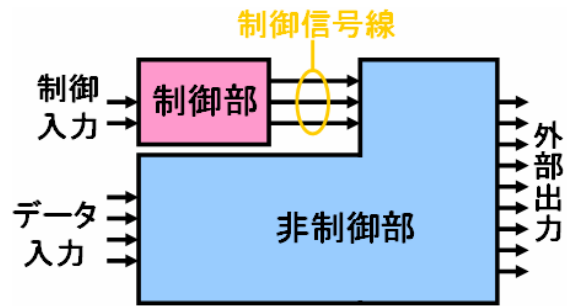


図1: 順序回路の構成図

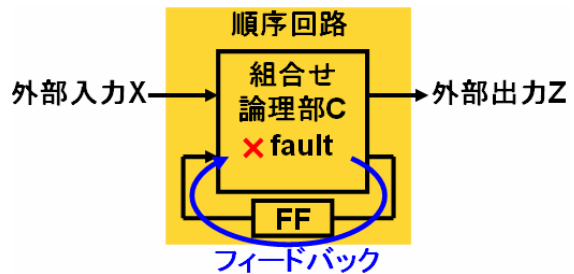


図2: 時間展開モデルの元となる順序回路

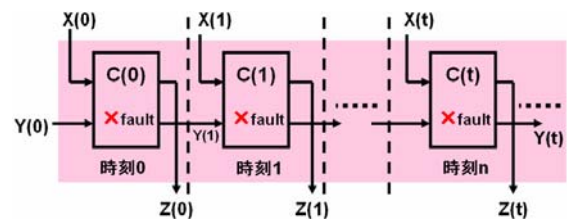


図3: 時間展開モデルと多重故障

Test Generation Analysis of Data Passing Sequential Circuit that Uses
Development Model of Functional Time

Kazuya SUGIKI, Toshinori HOSOKAWA, and Masayoshi TOSHIMURA

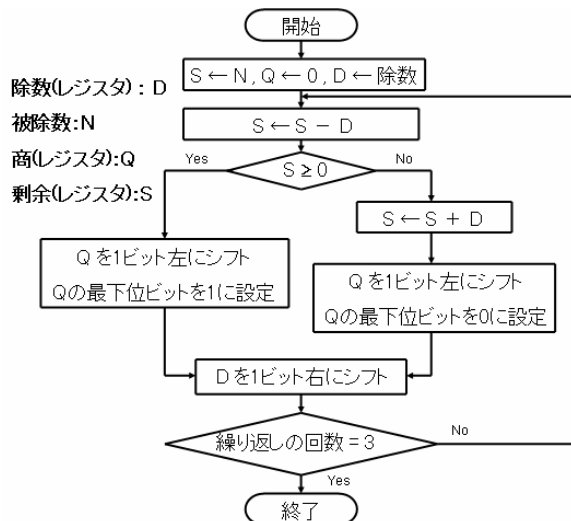


図4: 除算のアルゴリズム

本論文の構成は第2章で順序回路の機能動作について、第3章では回路の機能を考慮したテスト生成法について述べ、機能的時間展開モデルを提案する。第4章では機能的時間展開モデルを用いたテスト生成アルゴリズムを示す。第5章で順序回路の時間展開モデルと機能的時間展開モデルの例を示す。第6章で順序回路と機能的時間展開モデルに対してテスト生成を行った結果を示す。第7章で結果のまとめと今後の課題について述べる。

2 機能面から見た順序回路

順序回路の機能動作の例として、除算器の計算アルゴリズムを図5に示す。この除算器のアルゴリズムは商レジスタのビット数が決まると処理中のループ回数が商レジスタのビット数+1に決まることがわかっている。つまり、除算器は機能面から見れば回路の時間展開数は有限になる。有限の時間展開数ならば時間展開モデルを生成し、組合せテスト生成が可能である。

3 機能を考慮したテスト生成法

機能面からの順序回路のテスト生成を行うために、テスト生成対象順序回路から機能動作情報の抽出を考える。

ある時刻における順序回路の非制御部の内部状態と機能動作は制御部から供給される制御信号に依存している。そして制御部から非制御部に供給する制御信号系列は、回路の論理設計の段階で回路設計者が決定する。つまり、回路設計者は順序回路の機能動作の情報として制御部から供給される制御信号をあらかじめもっており、これをテストに応用することは容

易である。制御信号系列を機能動作の情報として利用し、回路が一つの機能を実現するのに必要な時刻分の展開をすることによって、時間展開数を抑制する方法を提案する。さらに回路の実際の機能動作に基づいて生成した時間展開モデルである機能的時間展開モデルを提案する。

有限時刻数展開された時間展開モデルの数は、制御部の機能的動作の仕方の数だけ存在し、これら全ての機能的時間展開モデルに対してテスト生成を行うことで、実際の機能動作時に検出できる故障がわかると考えられる。

4 機能的時間展開モデルを用いたテスト生成アルゴリズム

1. 機能動作仕様より制御部の制御系列を作成する
2. 制御系列より機能的時間展開モデルを生成する
3. 機能的時間展開モデル中の最終時刻に近い箇所に単一故障の存在を仮定し、展開モデルに組合せテスト生成を行う。
4. 全ての機能的時間展開モデルに対するテスト生成により検出される故障を調べ、評価する機能動作にもとづいてテスト生成することにより時間展開モデル数と展開フレーム数を削減する。また組合せテスト生成によりテスト生成時間の短縮を図る。

5 順序回路の時間展開モデルと機能的時間展開モデルの例

図5, 6に示すような順序回路に対して順序回路ATPG的な時間展開モデルと機能的時間展開モデルを生成した例を図7, 8に示す。図5は制御部の機能的動作の移り変わりを状態遷移図で表したもので、5つの状態を持つ。

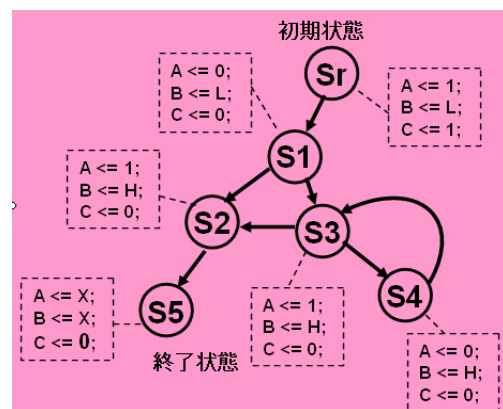


図5: 順序回路の制御部の動作の状態遷移

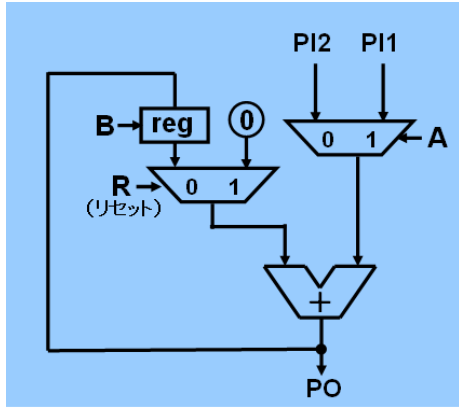


図6: 順序回路の非制御部の回路図

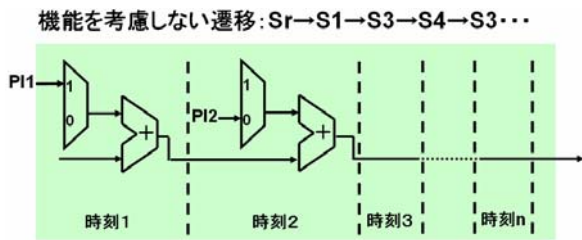


図7: 非制御部の順序ATPG的時間展開モデル

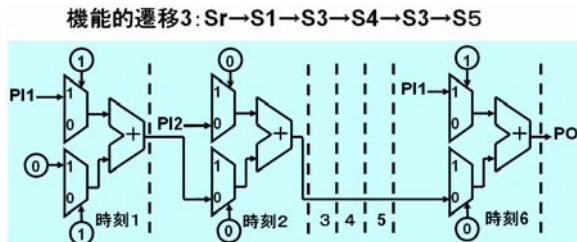


図8: 非制御部の機能的時間展開モデル

S3とS4間のループの回数が機能的に1回であることがわかっているとす。そのため、機能的な状態遷移の仕方は① $S_r \rightarrow S_1 \rightarrow S_2 \rightarrow S_5$, ② $S_r \rightarrow S_1 \rightarrow S_3 \rightarrow S_2 \rightarrow S_5$, ③ $S_r \rightarrow S_1 \rightarrow S_3 \rightarrow S_4 \rightarrow S_3 \rightarrow S_2 \rightarrow S_5$ の3つであることがわかる。

図6は非制御部の回路図である。図7は順序ATPGにより、自動的に時間展開モデルを生成した場合の例である。もし、機能動作の情報なく時間展開モデルを生成した場合、S3とS4間のループを無限に繰り返すため、時間展開モデルをうまく生成できない可能性が考えられる。だが、S3とS4間のループが1回のみという機能動作の情報があれば、図8のように状態遷移③についての機能的時間展開モデルが生成できる。各タイムフレーム間はレジスタを境界とし、レジスタはロードモード ($B = L$) のときは1時刻前の入力の値を記憶するので時刻1から2までの遷移のように1時刻前の論理と接続する。レジスタがホールドモード ($B = H$)

のときは時刻6から時刻2までをさかのぼり、ロードモードになったときの値を保持するので、図8のように4時刻前の論理と接続する関係になる。

6 順序回路と機能的時間展開モデルに対してテスト生成の比較と解析

今回の実験に使ったのは図9, 10の商レジスタ2bitの除算器に対して行った。除算器のコントローラが制御部, データパスが非制御部である。制御部に故障が無いと仮定し, 非制御部の機能的時間展開モデルに対する組合せテスト生成でどれほどの故障検出率が望めるかの解析を行った。引き戻し法を用いた除算器の商レジスタのビット数がqビットとすると, $4 \times (q + 1) + 2 \sim 5 \times (q + 1) + 2$ 時刻の間で初期状態 S_r から終了状態 S_6 に遷移する。また, 制御部は $S_0 \sim S_5$ 間をq+1回ループすることより制御部の状態遷移の仕方は $2q+1$ とおり存在することになる。商レジスタが2bitである今回は3回ループし, 機能的時間展開モデルを8通り生成した。

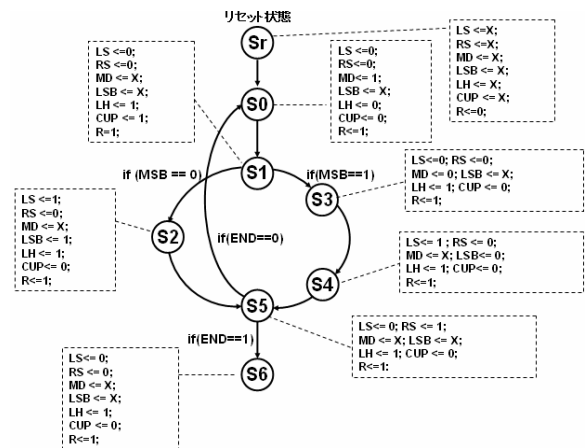


図9: 除算器のコントローラ

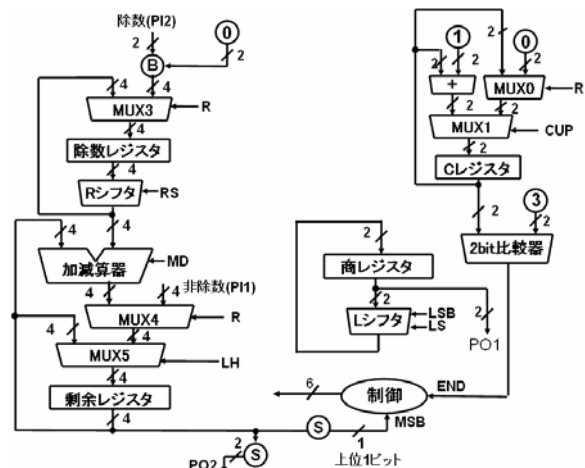


図10: 除算器のデータパス

表1: 順序ATPGと機能的時間展開モデルのテスト生成結果

回路	bit 幅	順序 ATPG				
		検出	冗長	テスト不能	テストパターン数	処理時間(単位秒)
除算器	商 2bit	541	2	1	11	33.42
回路	bit 幅	提案手法				
		検出	冗長	テスト不能	テストパターン数	処理時間(単位秒)
除算器	商 2bit	413	0	0	88	0.41

表2: 機能的時間展開モデルとテスト生成結果

回路	検出	冗長	テスト不能	テストパターン数	処理時間(単位秒)
type1	255	7	0	10	0.03
type2	276	8	0	9	0.05
type3	235	7	0	7	0.03
type4	217	27	0	8	0.04
type5	242	7	0	10	0.03
type6	217	27	0	8	0.04
type7	408	4	0	28	0.15
type8	217	27	0	8	0.04

今回の実験結果では、予想どおり、機能的時間展開モデルを用いたテスト生成法によって順序ATPGに比べて短時間でテストパターンを生成できた。しかし、制御信号線によって値が固定される論理部分が機能的時間展開モデルの生成時に削られるためなのか、検出される故障の数が少なくなってしまった。どうしてこのような結果になったのかを詳しく解析する必要がでてきた。また、今回の実験回路のbit幅が小さいため機能的時間展開モデルが8個と少なかったが、対象回路の状態数・遷移数が多い場合、多くの機能的時間展開モデルが生成される。例えば、この除算器では膨大な数の機能的時間展開モデルに対してテスト生成を行わなければならないことがわかる。このような回路に対しては、なんらかのDFTを行い、テスト生成の対象となる時間展開モデル数の削減を考える必要があると思われる。

7 おわりに

本研究ではRTL設計された順序回路のテスト生成モデルとして機能的時間展開モデルを提

案した。今後の課題として、テスト生成の対象回路モデル数の削減が考えられる。

「参考文献」

- 1) H.Fujiwara, "Logic Testing and Design for Testability", The MIT Press, 1985.
- 2) M.Abramovici, M.A.Breuer, and D.Friedman, "Digital systems testing and testable design", IEEE Pres, 1995
- 3) S.Ohtake, T.Masuzawa and H.Fujiawra, "A non-scan approach to DFT for Controllers Achieving 100% Fault Efficiency", jurnal of Electronic Testing;Theory and Applicatios, Vol.16, No.5, pp.553-566, Oct 2000.
- 4) 和田弘樹, 増澤利光, K.K.Saluja, 藤原秀雄, "完全故障検出効率を保証するRTLデータパスの非スキャンテスト容易化設計法", 電子情報通信学会論文誌(DI), Vol.J82-D-I, No. 7, pp. 843-851, July 1999.