

状態可観測な FSM に対する故障依存/非依存 2 パターンテスト生成法とその評価

日大生産工(院) ○井上 諒一 日大生産工 細川 利典
奈良先端大 藤原 秀雄

1 まえがき

半導体微細化技術の進歩のため、超大規模集積回路 (Very Large Scale Integrated circuit : VLSI) が大規模化、複雑化し、VLSIのテスト設計技術が重要になっている。これまで、縮退故障を対象としたスキャンテスト[1,2]が、VLSIのテスト方式として広く普及している。しかしながら、近年、縮退故障を対象としたスキャンテストだけでは、不良品と判定できない欠陥VLSIがあり、市場不良率を低減するためには、遅延テスト[3]や実動作速度機能テストなどが必要であるということが報告されている[4]。またスキャンテストは、回路構造の情報のみを利用しており、シフト動作によって回路を無効状態[5]に遷移させて故障を検出する場合がある。したがって、スキャンテストはオーバーテストを行っていると考えられ、そのために歩留まり損失が発生する。その一方で、スキャンテストは、順序的な回路の機能を動作させずに、故障の検出を行っているのので、アンダーテストであるとも考えられる。それゆえ、テスト品質が低下し、市場不良率が増加する可能性がある。

また、近年VLSIの設計生産性向上のために、ハードウェア記述言語を用いたVLSI設計法が、設計者に広く普及している。具体的には、レジスタトランスファーレベル (Register Transfer Level : RTL) で回路を設計している。RTL回路は、データパス部とコントローラ部から構成されている[6]。データパス部は演算器モジュール、レジスタ、マルチプレクサとそれらを接続する信号線で構成され、コントローラ部は有限状態機械 (Finite State Machine : FSM) で表現できる。FSMは、回路仕様が明に記述されているので、この回路仕様の範囲内で論理テストやタイミングテストを行うことにより、歩留まり損失を発生しないで、品質の高いテストが期待できる。文献[7]で、状態可観測なFSMに対する、故障モデル依存 I パターンテスト生成法、故障モデル非依存 I パターンテスト生成法を提案した。また、論理テ

ストの品質を評価する尺度として I -状態被覆率[7]を提案した。MCNC'91ベンチマーク回路[8]を用い評価した結果、文献[5]の方法と比較して面積を削減し、13%程度のテスト長の増加で I -状態遷移被覆率を4.1倍向上したことを報告している。

本稿では、状態可観測なFSMに対する、故障モデル依存 2 パターンテスト生成法と故障モデル非依存 2 パターンテスト生成法を提案する。また、タイミングテストの品質を評価する尺度として 2 状態被覆率を提案する。

2 状態可観測なFSM

(定義1 : 状態可観測なFSM)

入力系列に依存せず、出力系列を観測することにより、初期状態を識別できるとき、FSMは状態可観測であるという。特に長さ k の出力系列を観測することにより、初期状態を識別できるとき、FSMは k 状態可観測であるという。

本稿では、FSMが I 状態可観測になるように、状態レジスタの出力を直接可観測にするテスト容易化設計 (Design for Testability : DFT) を行っている。今後、 I 状態可観測なFSMを単に状態可観測なFSMとよぶ。状態可観測なFSMは論理合成により、同期式順序回路に合成される。図1にDFT、論理合成適用後の状態可観測なFSMの論理回路モデルを示す。この図において、状態レジスタの出力である擬似外部入力 (PPI) は可観測であるので、外部出力として扱う。PIは外部入力、POは外部出力、SRは状態レジスタ、PPIは擬似外部入力 (状態レジスタの出力)、PPOは擬似外部出力 (状態レジスタの入力)、Rはリセット入力である。

状態可観測なFSMのテストは、現在状態から外部入力値を印加し、次状態へ状態遷移させて状態レジスタの出力 (PPI) と外部出力 (PO) を観測することを繰り返す。

Fault Dependent/Independent Two-Pattern Test Generation Methods for State Observable FSMs

Ryoichi INOUE, Toshinori HOSOKAWA, and Hideo FUJIWARA

3 2パターンテスト生成法

状態可観測なFSMにおいて、2パターンテスト（タイミングテスト）を実行するためのテスト系列を生成するモデルとしてFSMタイミングテスト生成グラフを定義し、2パターンテストの品質評価尺度として2状態遷移被覆率を提案する。

（定義2：FSMタイミングテスト生成グラフ）

FSMタイミングテスト生成グラフは、有向グラフ $G=(V, E, s, d, t)$ であり、頂点 $v \in V$ は、ある状態からある状態への状態遷移を表し、各頂点にはラベル s, d, t が付けられる。 $s: V \rightarrow A$ （ただし、 $A=\{PPI1PPI2 \dots PPI_m\}$, $PPI1, PPI2, \dots, PPI_m \in \{0,1\}$, m は状態レジスタ数）、 $d: V \rightarrow A$ （ただし、 $A=\{PPI1PPI2 \dots PPI_m\}$, $PPI1, PPI2, \dots, PPI_m \in \{0,1\}$, m は状態レジスタ数）、 $t: V \rightarrow B$ （ただし、 $B=\{PI1PI2 \dots PI_n\}$, $PI1, PI2, \dots, PI_n \in \{0,1\}$, n は外部入力数）である。ラベル s は状態遷移元の状態を表し、ラベル d は状態遷移先の状態、ラベル t は状態 s から状態 d へ状態遷移する状態遷移入力を表す。また、辺 $(u, v) \in E$ ($u, v \in V$)は、頂点 u のラベル d の状態と頂点 v のラベル s の状態が一致していることを意味し、2つの状態遷移ペアを表している。

（定義3：2状態遷移被覆率）

2状態遷移被覆率とは、状態可観測なFSMのすべての状態遷移ペア数に対して、テスト系列で実行された状態遷移ペア数の割合である。テスト系列で実行される状態遷移ペアは、テスト系列で被覆されると呼ぶ。ここで、計算対象とする状態遷移はFSMの記述で定義されたものだけであり、未定義の状態遷移は対象としない。2状態遷移被覆率は、状態可観測なFSMのタイミングテストの品質を評価する尺度として使用される。

3.1 故障モデル非依存2パターンテスト生成法

状態可観測なFSMにおいて、故障モデル非依存な2パターンテスト（タイミングテスト）のテスト生成問題について定式化する。

（定式化2a）

入力：状態可観測なFSM
出力：2状態遷移被覆率100%のテスト系列
最適化：テスト長を最短化

定式化2aのテスト生成は特定の故障モデルを対象とした自動テストパターン生成（Automatic Test Pattern Generator: ATPG）を使用しない。状態可観測なFSMからFSMタイミングテスト生成グラフを生成し、そのすべての辺を少なくとも1回通る経路を探索し、その経路が最短であれば、生成されるテスト系列の長さ、すなわちテスト

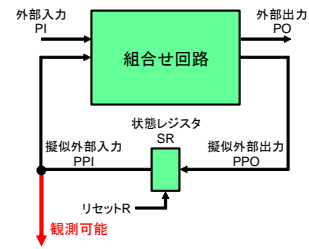


図1 状態可観測なFSMの論理回路モデル

長が最短になる。このテスト系列は完全なタイミングテストを行うことが可能である。

3.2 故障モデル依存2パターンテスト生成法

状態可観測なFSMにおいて、故障モデルに依存した2パターンテストのテスト生成法について、2パターンテストで検出可能な故障モデルの代表としてノンロバストテスト可能なパス遅延故障[3]のテスト生成問題を以下に定式化する。以後、ノンロバストテスト可能なパス遅延故障を単にパス遅延故障と呼ぶ。まず、その定式化に必要な用語の定義を行う。

（定義4：有効状態間遷移で検出可能なパス遅延故障）

状態可観測なFSMにおいて、有効状態間の状態遷移を実行することを有効状態間遷移と呼ぶ。また、有効状態間遷移の後、連続して状態遷移を実行することで検出できるパス遅延故障を有効状態間遷移で検出可能なパス遅延故障と定義する。

（定式化2b）

入力：状態可観測なFSM、及び有効状態間遷移で検出可能なパス遅延故障に対して故障検出率100%の組合せ回路部分の2パターンテスト集合
出力：有効状態間遷移で検出可能なパス遅延故障をすべて検出できる状態可観測なFSMに対するテスト系列

最適化：テスト長を最短化

このテスト生成では、まず状態可観測なFSMを論理合成した後で、組合せ回路部分を抽出しPPIが必ず有効状態間遷移になる制約を設定して、パス遅延故障に対して組合せATPGを実行し、2パターンテスト集合を生成する。その後、FSMタイミングテスト生成グラフを生成し、生成した2パターンテスト集合をFSMタイミングテスト生成グラフの辺に割り付ける。最後にFSMタイミングテスト生成グラフにおいて、2パターンテストが割り付けられた辺を少なくとも1回通る経路を探索する。その経路が最短であれば、生成されるテスト系列の長さ、すなわちテスト長が最短となる。

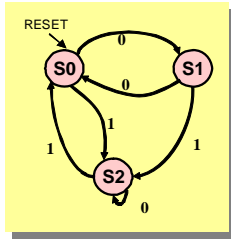


図2 状態可観測なFSM例

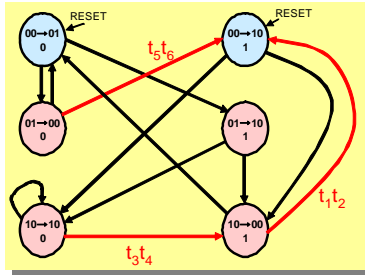


図3 パス遅延故障テスト用のFSMタイミングテスト生成グラフ例

例：図3は図2の状態可観測なFSMと有効状態間遷移で検出可能なパス遅延故障に対して故障検出率100%の組合せ回路部の2パターンテスト集合から生成されたFSMタイミングテスト生成グラフである。状態割当てを行い、状態S0に00, 状態S1に01, 状態S2に10が割り当てられている。パス遅延故障の各2パターンテストが、各辺に割り付けられている。例えば、 t_1t_2 は状態10から状態遷移入力値1を入力し状態00に遷移し、さらに状態遷移入力1を入力したときの辺に割り付けられている。

4 実験結果

2パターンテスト生成法を実装して、MCNC' 91ベンチマーク回路[9]に対して実験を行った。表1にFSMの回路データの諸元を示す。表1において、Circuitは回路名、#Nodeは状態数、#PIは外部入力数、#POは外部出力数、#Regは状態レジスタ数、#Edgeは状態遷移数、Areaは論理合成の標準ライブラリに記述されてあるセル面積値をもとに算出した値である。表2に本稿で提案したタイミングテストを対象とした2パターンテスト生成法の実験結果を示す。特に2a, 2bはそれぞれ、定式化2a, 定式化2bのテスト生成法の実験結果である。表2において、Circuit, TL, SFCV, PSCV, CPUtimeは、それぞれFSM回路名、各テスト生成法において生成したテスト長と縮退故障の故障検出率、パス遅延故障の故障検出率、テスト系列の生成時間である。ここで、定式化2bのパス遅延故障検出率はすべて100%である。1STCと2STCはそれぞれ生成したテスト系列の1-状態遷移被覆率、2-状態遷移被覆率である。「定式化2a」について考察すると、1-状態遷移被

覆率、2-状態遷移被覆率がともに100%であるので、縮退故障を含む論理故障とパス遅延故障を含むタイミング故障を完全にテストできている。状態遷移数が1000以下のFSMに対しては、テスト長も最大で6512と現実的に適用可能な値となっているが、状態遷移数が膨大なFSMに対しては、テスト長も非現実的な値になることがある。「定式化2b」について考察すると、有効状態で検出可能な縮退故障の検出率は、94.33%と、完全に検出することができなかった。

表3は、オーバーテスト率を評価した実験結果である。表3において、CircuitはFSM回路名、SFCSはスキャンテストによる縮退故障検出率、SFCは有効状態で検出可能な縮退故障に対する故障検出率である。SOTRは、縮退故障スキャンテストに対するオーバーテスト率であり、下記の式(1)で評価する。PSCSはブロードサイド方式のスキャンテストによるパス遅延故障検出率、PFCは有効状態間遷移で検出可能なパス遅延故障に対する故障検出率である。BSOTRは、ブロードサイド方式に基づくパス遅延故障スキャンテストに対するオーバーテスト率であり、下記の式(2)で評価する。

$$SOTR = \frac{\text{縮退検出率} - \text{有効状態縮退検出率}}{\text{有効状態縮退検出率}} \quad (1)$$

$$BSOTR = \frac{\text{BSパス遅延検出率} - \text{有効状態間パス遅延検出率}}{\text{有効状態間パス遅延検出率}} \quad (2)$$

表3の結果から、スキャンテストでは、平均2.6%程度の縮退故障をオーバーテストしていることがわかる。ブロードサイド方式に基づくスキャンテストでは、平均1.2%程度のパス遅延故障をオーバーテストしていることがわかる。keyb, opus, s386は6~8%のパス遅延故障をオーバーテストしており、これらの故障をテストするために、組合せ回路の2パターンテスト数が14~37%程度増加していることがわかる。

5 おわりに

本稿では、状態可観測なFSMに対して故障モデル非依存な2パターンテスト生成法と、故障モデル依存な2パターンテスト生成法を提案した。また2パターンテストの品質を評価する尺度としてそれぞれ2-状態遷移被覆率を提案した。また、MCNC' 91ベンチマーク回路[9]で提案法を評価し、さらに、オーバーテストに関する評価を行った。

今後の課題として、1(2)-状態遷移被覆率と1(2)パターンテスト集合及び各故障モデルの故障検出率の関係の解析と、テスト長やテストしたい故障モデルなどの与えられた制約条件で状態遷移被覆率を最大化するテスト生成アルゴリズムの考案が挙げられる。

表1 FSM回路データの諸元

Circuit	#Node	#PI	#PO	#Reg	#Edge	Area
bbara	10	4	2	4	160	163
bbtas	6	2	2	3	24	60
cse	16	7	7	4	2048	394
dk14	7	3	5	3	56	191
dk16	27	3	3	5	108	455
dk17	8	2	3	3	32	134
ex1	20	9	19	5	10240	728
ex3	10	2	2	4	40	142
ex4	14	6	9	4	896	297
ex5	9	2	2	4	36	132
ex6	8	5	8	3	256	314
keyb	19	7	2	5	2432	332
lion9	9	2	1	4	36	216
opus	10	5	6	4	320	200
planet	48	7	19	6	6144	602
pma	24	8	8	5	6144	689
s1	20	8	6	5	5120	606
s208	18	8	2	5	4608	246
s298	218	3	6	8	1744	4305
s386	13	7	7	4	1664	290
s420	18	8	2	5	4608	249
s1488	48	8	19	6	12288	1062
s1494	48	8	19	6	1288	1019
styr	30	9	10	5	15360	685
tma	20	7	6	5	2560	526
train11	11	2	1	4	44	251

表3 オーバーテスト評価実験結果

Circuit	SFCS	SFC	SOTR	PSCS	PFC	BSOTR
bbara	100.00%	98.28%	1.75%	80.81%	80.81%	0.00%
bbtas	100.00%	97.40%	2.67%	75.00%	75.00%	0.00%
cse	100.00%	100.00%	0.00%	39.84%	39.84%	0.00%
dk14	100.00%	98.95%	1.06%	80.38%	78.48%	2.42%
dk16	100.00%	98.12%	1.92%	65.00%	64.75%	0.39%
dk17	100.00%	100.00%	0.00%	79.21%	79.21%	0.00%
ex1	100.00%	99.18%	0.83%	55.84%	55.84%	0.00%
ex3	100.00%	94.96%	5.31%	53.16%	53.16%	0.00%
ex4	100.00%	98.07%	1.97%	52.25%	52.25%	0.00%
ex5	100.00%	94.95%	5.32%	69.86%	69.86%	0.00%
ex6	100.00%	100.00%	0.00%	68.64%	68.64%	0.00%
keyb	100.00%	96.78%	3.33%	55.61%	51.36%	8.27%
lion9	100.00%	95.30%	4.93%	59.71%	58.27%	2.47%
opus	100.00%	96.14%	4.01%	73.33%	69.05%	6.20%
planet	100.00%	97.70%	2.35%	54.54%	53.59%	1.77%
pma	100.00%	98.81%	1.20%	29.69%	29.69%	0.00%
s1	100.00%	97.67%	2.39%	71.23%	71.23%	0.00%
s208	100.00%	91.95%	8.75%	39.33%	39.33%	0.00%
s298	100.00%	99.18%	0.83%	57.58%	56.80%	1.37%
s386	100.00%	97.31%	2.76%	67.54%	62.31%	8.39%
s420	100.00%	91.95%	8.75%	33.71%	33.71%	0.00%
s1488	100.00%	97.96%	2.08%	53.03%	52.45%	1.11%
s1494	100.00%	98.07%	1.97%	50.89%	50.80%	0.18%
styr	100.00%	98.95%	1.06%	60.19%	60.14%	0.08%
tma	100.00%	98.52%	1.50%	43.83%	43.83%	0.00%
train11	100.00%	98.17%	1.86%	33.55%	33.55%	0.00%
average		2.64%			1.26%	

表2 2パターンテスト実験結果

Circuit	2a						2b					
	SFCV(%)	PSCV(%)	TL	1STC(%)	2STC(%)	CPUtime (sec)	SFCV(%)	PSCV(%)	TL	1STC(%)	2STC(%)	CPUtime (sec)
bbara	100.00	100.00	1768	100.00	100.00	17.69	97.25	100.00	111	48.13	10.42	0.61
bbtas	100.00	100.00	127	100.00	100.00	0.22	100.00	100.00	24	70.83	25.00	0.06
cse	100.00	100.00	40882	100.00	100.00	3554.81	85.50	100.00	222	8.45	1.70	3.13
dk14	100.00	100.00	817	100.00	100.00	98.47	98.14	100.00	90	83.93	17.19	1.69
dk16	100.00	100.00	742	100.00	100.00	4.80	98.77	100.00	240	93.52	46.76	0.61
dk17	100.00	100.00	292	100.00	100.00	0.88	97.54	100.00	57	78.13	35.16	0.99
ex1	100.00	100.00	235108	100.00	100.00	10271.51	97.54	100.00	393	3.82	0.49	9.70
ex3	100.00	100.00	178	100.00	100.00	1.05	96.46	100.00	69	65.00	52.50	0.11
ex4	100.00	100.00	3751	100.00	100.00	1.36	95.35	100.00	72	8.04	3.13	0.06
ex5	100.00	100.00	157	100.00	100.00	0.92	91.05	100.00	48	61.11	44.12	0.08
ex6	100.00	100.00	2173	100.00	100.00	4.98	97.73	100.00	111	41.02	9.64	0.02
keyb	100.00	100.00	73129	100.00	100.00	82254.95	73.54	100.00	162	4.93	0.68	20.44
lion9	100.00	100.00	151	100.00	100.00	0.13	96.80	100.00	54	75.00	36.76	0.08
opus	100.00	100.00	2734	100.00	100.00	1.14	91.33	100.00	84	20.94	7.50	0.08
planet	100.00	100.00	38188	100.00	100.00	21.55	99.84	100.00	408	6.64	2.76	0.33
pma	100.00	100.00	71116	100.00	100.00	146.51	95.85	100.00	405	6.20	1.58	0.53
s1	100.00	100.00	55873	100.00	100.00	575.17	98.13	100.00	468	9.14	1.71	2.77
s208	100.00	100.00	273289	100.00	100.00	62772.23	88.41	100.00	39	0.85	0.10	3.09
s298	100.00	100.00	46561	100.00	100.00	22542.83	98.55	100.00	3027	49.66	19.57	200.72
s386	100.00	100.00	29887	100.00	100.00	1044.27	94.09	100.00	141	8.05	1.72	1.01
s420	100.00	100.00	230272	100.00	100.00	37814.25	81.89	100.00	42	0.91	0.12	1.28
s1488	100.00	100.00	464593	100.00	100.00	37582.09	83.90	100.00	633	4.87	0.98	12.61
s1494	100.00	100.00	459265	100.00	100.00	62614.64	90.45	100.00	558	4.40	0.87	22.97
styr	100.00	100.00	281527	100.00	100.00	0.11	90.63	100.00	669	3.86	0.76	17.72
tma	100.00	100.00	23563	100.00	100.00	19.56	98.83	100.00	294	9.77	3.14	0.28
train11	100.00	100.00	190	100.00	100.00	0.16	99.31	100.00	60	77.27	36.81	0.08
average	100.00	100.00	89858.96	100.00	100.00	12359.47	93.73	100.00	326.19	32.48	13.89	11.54

「参考文献」

- 1) H. Fujiwara, "Logic Testing and Design for Testability," The MIT Press, 1985.
- 2) M. Abramovici, M. A. Breuer, and A. D. Friedman, "Digital systems testing and testable design," IEEE Press, 1995.
- 3) A. Krstic, and K.-T. Cheng, "Delay Fault Testing for VLSI Circuits," Kluwer Academic Publishers, 1998.
- 4) P.C. Maxwell, R.C. Aitken, R. Kollitz, and A. C. Brown, "IDDQ and AC Scan: The War Against Unmodelled Defects," Proc. of IEEE Int. Test Conf., pp.250-258, Oct., 1996.
- 5) S. Ohtake, T. Masuzawa, and H. Fujiwara, "A non-scan approach to DFT for Controllers Achieving 100% Fault Efficiency," Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 16, No. 5, pp.553-566, Oct. 2000.
- 6) H. Wada, T. Masuzawa, K.K. Saluja, and H.

- Fujiwara, "Design for strong testability of RTL data paths to provide complete fault efficiency," Proc. of 13th Int. Conf. on VLSI Design, pp.300-305, 2000
- 7) T. Hosokawa, and H. Fujiwara, "A functional test method for state observable FSMs", IEEE Workshop on RTL and High Level Testing, pp.123-130, July 2005.
- 8) S. Yang, "Logic synthesis and optimization benchmarks user guide," Technical Report 1991-IWLS-UG-Saeyang, Microelectronics Center of North Carolina, 1999
- 9) S. Yang, "Logic synthesis and optimization benchmarks user guide," Technical Report 1991-IWLS-UG-Saeyang, Microelectronics Center of North Carolina, 1999.