

テスト圧縮効率化のためのテストポイント挿入尺度

日大生産工(院) ○齊藤 善洋 日大生産工 細川 利典
FLEETS 吉村 正義

1 はじめに

近年の半導体集積技術の進展に伴いLSIの回路規模が増大し、テスト設計の工数が増大しており、その自動化技術が重要になってきている。一般の順序回路の自動テストパターン生成(ATPG)は困難な問題であり、高い故障検出効率を得るテストパターンを生成するには、フルスキャン設計¹⁾, ²⁾に代表されるテスト容易化設計(DFT)が必要である。

フルスキャン設計におけるテストでのテスト実行時間は、テスト長とテスト動作のクロック周期の積に比例する。テスト長は、スキャンパスを取り除いた核回路(組合せ回路)のテストパターン数(ATPGパターン数)と最大スキャンパス長の積に比例する。

また、LSIの大規模化が進んでいることから、回路内のゲート数が激増している。一般的にゲート数の増加に伴いATPGパターン数も増加する傾向がある。このことにより、今後テスト実行時間が大幅に増大することが予測される。

ここで、増大するATPGパターン数の削減を図るための手法の1つとしてテストポイント挿入技術³⁾, ⁴⁾がある。回路内部の信号線にテストポイントが挿入された場合、その信号線は、可制御かつ可観測となる。すなわち、テストポイントが挿入された内部信号線は擬似外部入出力として扱うことが可能となる。テスト対象回路にテストポイントを挿入することにより圧縮されやすいATPGパターン集合が生成される可能性がある。圧縮されやすいテストパターン集合は以下のように示す特徴を持つ。

- ①各テストパターン中に、ドントケア(X)を数多く含んでいる。
- ②テストパターン集合において、Xが存在する外部入力の頻度は、ほぼ等確率である。すなわち、Xが存在する外部入力に集中しておらず、分散している。

本稿では、②の特徴を持つようにテストポイントを挿入することを目的とする。

また、テストポイント挿入箇所探索アルゴリズムとして、改善値割当確率 \mathfrak{s} を減少させるような位置を探索することで、ATPGパターン数の削減を図るアルゴリズム \mathfrak{s} が提案されている。

そこで本稿では、フルスキャン設計された回路を対象とし、テストパターンの圧縮効率を示す尺度である値割当確率が本研究の対象としている圧縮されやすいテストパターン集合を生成するための尺度として適当であるか解析し、よりテストパターンの圧縮効率が向上するようなテストポイント挿入箇所探索尺度を提案する

2 改善値割当確率の定義の問題点

2.1 改善値割当確率

改善値割当確率は、改善故障検出確率(IFDP) \mathfrak{s} を基に定義する。

[定義]

回路中の外部出力数をM、外部出力を PO_j ($j=1, 2, \dots, M$)、外部入力数をN、外部入力を PI_k ($k=1, 2, \dots, N$)、信号線 l_i 、外部入力 PI_k に対する改善値割当確率 $IVAP(l_i)$ 、 $IVAP(PI_k)$ を、式(1)、(2)で定義する。ただし、 $R(l_a, l_b)$ は式(3)に示す関係式とする。

$$IVAP(l_i) = \sum_{j=1}^M \{R(l_i, PO_j) \times IFDP(PO_j)\}. \quad (1)$$

$$IVAP(PI_k) = \sum_{j=1}^M \{R(PI_k, PO_j) \times IFDP(PO_j)\}. \quad (2)$$

$$R(l_a, l_b) = \begin{cases} 0 & (l_a \text{は } l_b \text{に到達不可能}) \\ 1 & (l_a \text{は } l_b \text{に到達可能}) \end{cases} \quad (3)$$

式(3)の l_a , l_b は信号線であり, 信号線 l_a から出力側に探索したときの信号線 l_b への到達可能性を示す関数である. 信号線 a から出力側に探索し, 信号線 b に到達不可能である場合, 式(3)は0となり, 到達可能である場合は, 式(3)は1となる関数である.

改善値割当確率は信号線 l_i と外部入力 PI_k に定義され, 回路中の信号線 l_i もしくは外部入力 PI_k に, 対象故障検出するために0または1が割当られる確率である.

2.2 改善値割当確率の問題点解析

指定されたテストポイント挿入数で改善値割当確率の最大値を削減するアルゴリズムを用いた時のATPGパターン数の変化を表1に示す. ここでテストポイント挿入前後の回路に対して使用したATPGはTetraMAXとし, テストポイント挿入数は最大で回路の全信号線の1%とする.

表1 ATPGパターン数の比較

Cir	#TPI	PAT	A_PAT
c880	4	36	33
c1908	4	125	123
c2670	1	72	74
c3540	10	141	128
c5315	27	92	70
c7552	10	117	113

表1においてCirは回路名, #TPIは回路に挿入されたテストポイント数, PATはテストポイント挿入前のATPGパターン数, A_PATはテストポイント挿入後のATPGパターン数を表している. 表1の結果からテストポイント数に対してATPGパターンの削減数が小さいことがわかる. この原因は, 表1に示した対象回路に対し, 各外部入力の改善値割当確率(IVAP)と, TetraMAXで生成されたATPGパターンに値(0または1)が実際に割当られている確率(TM_IVAP)との間に大きな違いがあったことであると推測する.

ここで, 外部入力 PI_k におけるTM_IVAPを $TM_IVAP(PI_k)$ とし, 式(4)として定義する. ただし, ASSIGN関数は式(5)に示す関係式とする.

$$TM_IVAP(PI_k) = \frac{\sum_{i=1}^{PAT} ASSIGN(PAT_i, PI_k)}{PAT} \quad (4)$$

式(4)のPATはATPGパターン数を表す. TM_IVAPはATPGパターンに値(0または1)が割当ていられている確率であるので, 回路の各外部入力にのみ計算する.

$$ASSIGN(PAT_i, l_a) = \begin{cases} 0 & (l_a \text{に} 0 \text{か} 1 \text{が割当てられていない}) \\ 1 & (l_a \text{に} 0 \text{か} 1 \text{が割当てられている}) \end{cases} \quad (5)$$

式(5)ASSIGN(PAT_i, l_a)の PAT_i はi番目のテストパターンで l_a は信号線であり, PAT_i において, 信号線 l_a に値が割当てられているかを表す関数である. 信号線 l_a に値(0または1)が割当てられるときこの関数は1, 信号線 l_a に値(0または1)が割当てられないときにこの関数は0となる.

IVAPとTM_IVAPの違いが発生する原因を図2の例で説明する.

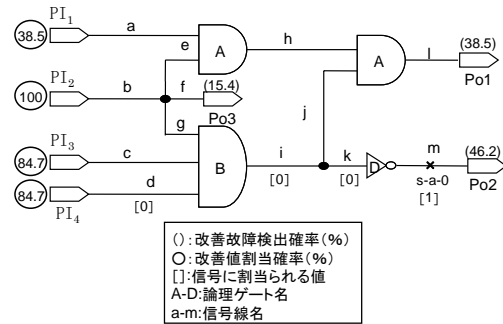


図2 改善値割当確率の例

図2において PI_2 は3つ全ての外部出力に到達可能なので, IVAPの値は100%と計算される. すなわち, 図2の回路内に存在する全故障を検出するテストパターン集合においては, 常に PI_2 には0または1が割当られることを意味する. しかし実際には, 信号線 m の縮退故障1を検出するためには, 図2のように PI_4 にのみ0を割り当てればよい. このように, IVAPとTM_IVAPの間には違いが生じている. そこで, IVAPとTM_IVAPの間ほどの程度の違いが生じているのかを評価するための指標をAve Errorとして定義する. Ave Errorを求める式を式(6)に示す.

$$Ave Error = \frac{\sum_{i=0}^N \sqrt{(IVAP(PI_i) - TM_IVAP(PI_i))^2}}{N} \quad (6)$$

式(6)のNはテスト対象回路の外部入力数を表す. Ave Errorは各外部入力の違いの度合いの平均を表す. 表2は表1で示した回路Ave Errorを示す.

表2 IVAPとTM_IVAPの違い

回路名	Ave Error
c880	21.48
c1908	33.57
c2607	15.43
c3540	27.26
c5315	17.88
c7552	23.41

表2から6つの回路全てで平均17~33の違いが生じていることがわかる。

3 多重後方追跡を用いたテストポイント挿入箇所探索尺度

前章で改善値割当確率がテストポイント挿入箇所探索の尺度としてあまり効果的でないことを示した。この章では、多重後方追跡を用いたテストポイント挿入箇所探索尺度を提案する。

3.1 多重後方追跡

まず、多重後方追跡 $\text{\textcircled{6}}$ について説明する。多重後方追跡は、回路中の特定の内部信号線に特定の値(1または0)を設定するという目標を達成するためにどの外部入力にどの程度の値割当要求が来ているかを求めるアルゴリズムである。

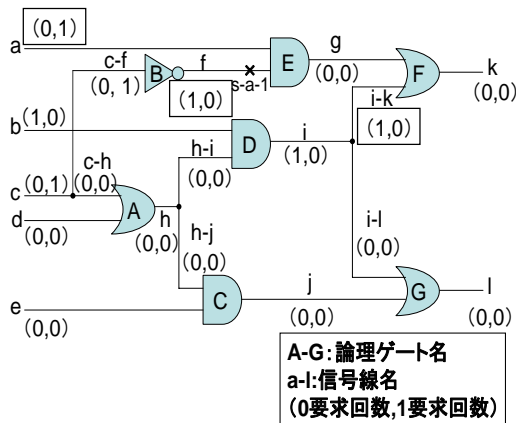


図3 多重後方追跡の例

図3はfの1縮退故障を外部出力kに伝搬するときの全信号線の値割当要求回数を示している。まず、図3のf, i_k , aはfの1縮退故障を外部出力kまで伝搬されるときに、値が必ず割当てられる信号線である。信号線fと信号線 i_k に0を、信号線aに1を割当てなければならない。すなわち、この3本の信号線と信号線値が多重後方追跡の最初の目標となる。a自身が外部入力であるため、外部入力aは1割当要求が1回となる。

次に、fに関して入力側に追跡すると、fの入力側にはNOTゲートBがあるため、fの入力線c-fは、fと値0の反転値である1の割当要求が1回となる。次に分岐先 i_k の入力であるiの要求回数を計算する。分岐元iは分岐先 i_k , i_l のそれぞれの要求回数の和で求められるので、iの1割当要求は0、割当要求は1となる。

よって、iの割当て目標値を0としさらに入力側に値を追跡する。iの入力側はANDゲートDで、iの割当て目標値が0であるのでANDゲートDのゲート入力線であるbに0割当要求が1回となる。最後に、分岐元cの割当要求回数は、iと同様の方法で計算されるので1割当要求が1回、0割当要求が0階となる。

ここで、多重後方追跡における分岐点での値の衝突した際の処理に関して説明する。分岐元には、分岐先から異なる値割当要求が伝搬される可能性がある。ここでは、分岐先の値割当要求回数の合計数が多かった値を分岐元の値として目標設定するとする。

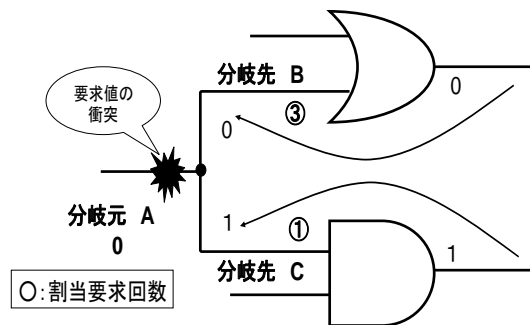


図4 分岐元での要求値の衝突

例えば、図4のように分岐元Aには分岐Bから0割当要求が3回伝搬され、分岐先Cから1割当要求が1回伝搬されてきているとする。この場合本手法では分岐元Aの値は0と設定される。

3.2 多重後方追跡を用いたテストポイント挿入箇所探索尺度

多重後方追跡を用いた尺度とは、各故障に対し多重後方追跡を行い、各外部入力に伝搬された値割当要求回数を基にその故障を検出するための仮想テストパターンを生成し、その仮想テストパターンから外部入力に値が割り当てられる確率を予測するものである。仮想テストパターンは、それぞれの外部入力に対し、1割当要求回数のみ追跡された場合、仮想テストパターンの値を1とし、0割当要求回数のみ追跡された場合、仮想テストパターンは0、1,0の要求回数がなかった場合はX、0, 1両方の値割当要求回数が追跡されてきた場合は、Uと定義する。

図5に多重後方追跡を用いたテスト挿入箇所探索尺度を計算するためのアルゴリズムを示す。

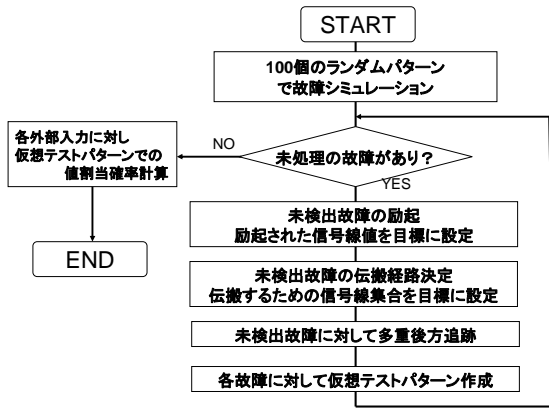


図5 多重後方追跡を用いた尺度を計算するためのアルゴリズム

図5で提案したアルゴリズムでは、ランダムテストパターンで未検出であった故障に対して多重後方追跡を行った。

その理由として、ランダムテストパターンで検出できる故障は、どんなテストパターンでも検出できると考えられ、ATPGにおいてそのような故障に対してテスト生成しているとは考えにくいからである。

4 実験結果

3章で提案したアルゴリズムを実装し、ISCAS'85ベンチマーク回路に対して実験を行った。本実験で、仮想テストパターンにおいて各外部出力に値が割当られた確率をVIR_IVAPとし、式(8)として示す。

$$\begin{aligned}
 VIR_IVAP (PI_k) &= \sum_{i=1}^{V_PAT} \frac{ASSIGN(V_PAT_i, PI_k)}{V_PAT} \quad (8)
 \end{aligned}$$

式(8)のV_PATは仮想テストパターン数を表す。表3にAve Errorの値を比較した結果を示す。

表3 AVERAGE ERRORの比較

回路名	AVERAGE ERROR	
	IVAP-TM_IVAP	VIR_IVAP-TM_IVAP
c880	21.48	40.13
c1908	33.57	20.27
c2607	15.43	5.77
c3540	27.26	9.48
c5315	17.88	11.32
c7552	23.41	21.22

表3のIVAP・TM_IVAPはIVAPとTM_IVAPの違いを表し、VIR_IVAP・TM_IVAPはVIR_IVAPとTM_IVAPの違いを表す。

表3の結果から、ほぼ全ての回路において、違いが小さくなったといえる。ただし、c880の回路だけ違いが大きくなっている。これは、c880の回路規模が小さく、100個のランダムテストパターンでほぼ全ての故障が検出されてしまったため多重後方追跡の対象となる故障が少なくなりすぎののだと考えられる。

5 おわりに

本稿では、多重後方追跡を用いたテストポイント挿入箇所探索のための尺度を求めるアルゴリズムを提案した。さらにこのアルゴリズムを実装し、得られた仮想テストパターンとATPGによって得られたテストパターンの違い、改善故障検出確率とATPGによって得られたテストパターンの違いを比較することにより今回提案した尺度が改善値割当確率よりも正確な尺度であることを示した。

本稿では、テストパターン中の外部入力に0, 1のどちらかの値が割当られているか、それともXであるかのみを評価の対象とした。

今後の課題として、テストパターン圧縮効率を向上するために、テストパターンに対し3つの値(0,1,X)がそれぞれどの外部入力にどれくらいの頻度で割当てられているかを解析し、より正確な尺度にすることが挙げられる。

[参考文献]

- 1)H.Fujiwara, "Logic Testing and Design for Testability", The MIT Press, (1985).
- 2)M.Abramovici, M.A.Breuer, and A.D.Frindman, "Digital Systems Testing and Testable Design", Computer Science Press,(1990).
- 3)Toshinori Hosokawa, Masayoshi Yoshimura, and Mitsuyasu Ohta, "Novel DFT strategies using full / partialscan designs and test point insertion to reduce test application time", IEICE trans.Faundamentals,Vol.E84-A,no.11,pp.2722-2730,(2001).
- 4)M.J.Geuzebroek, J.Th. Van der Linden, and A.J.van de Goor, "Test point insertion for compact test sets", Proc. International Test Conference, pp.292-301, 2000.
- 5)Masayoshi Yoshimura, Toshinori Hosokawa, and Mitsuyasu Ohta, "Test Point Insertion Methods to Reduce the Number of ATPG Patterns", 「電子情報通信学会論文誌」, D-I Vol.J86-D-I No.12, pp.884-894, (2003)
- 6)H.Fujiwara and T.shimono, "on the Acceleration of Test Generation Algorithms," IEEF trans , on Computers, Vol.C-32 No.12, pp.1137-1144,(1983)