

# 状態可観測なFSMの機能テスト法

日大生産工(学部) ○井上 諒一 日大生産工 細川 利典  
奈良先端大 藤原 秀雄

## 1 はじめに

半導体微細化技術の進歩のため、LSIが大規模化、複雑化し、LSI (Large Scale Integrated circuit) のテスト設計技術が重要になっている。これまで、LSIのテスト方法として、縮退故障を対象としたスキャンテスト<sup>1),2)</sup>が、広く普及しているが、近年、テスト品質向上のために、ディレイテスト<sup>3)</sup>や実動作速度機能テストが必要であるということが報告されている<sup>4)</sup>。スキャンテストは回路構造の情報のみを利用したテスト法で、シフト動作によって、回路を無効状態<sup>5)</sup>に遷移させてテストする場合がある。したがって、スキャンテストはオーバーテストを行っていると考えられ、そのため歩留まり損失が発生する。その一方で、スキャンテストは回路の機能を動作させずに、故障の検出を行っているので、アンダーテストであるとも考えられる。それゆえ、テスト品質低下の問題が発生する可能性がある。また、近年LSIの設計生産性向上のために、HDL (Hardware Description Language) と呼ばれるハードウェア記述言語を用いたレジスタ・トランスファ (Register transfer : RT) レベルでの設計が一般的になってきている。一般的に、RTLレベルの回路は、データパス部とコントローラ部から構成されている。データパス部は演算機、レジスタ、マルチプレクサ、及びそれらを接続する信号線から構成されている。コントローラ部は有限状態機械 (Finite State Machine : FSM) で設計されることが多い。

FSMは回路仕様が明に記述されているので、この回路仕様の範囲内でテストすることにより、オーバーテストによる歩留まり損失を抑制できると考えられる。また、状態遷移を動かすことにより、機能を動作させて故障を検出できるので、アンダーテストによるテスト品質の低下を抑制できると考えられる。

本研究では、状態レジスタの出力が可観測なFSMの実動作速度機能テストの品質を評価する尺度として、すべての状態遷移に対して、生成したテスト系列で実行された状態遷移数の割合である状態遷移被覆率を提案する。また、状

態レジスタの出力が可観測なFSMに対して、故障モデルに依存しない機能テスト法と故障モデルに依存したテスト生成法を提案する。

本論文の構成は、2章で状態可観測なFSMについて定義し、3章で状態可観測なFSMに対するテスト法を提案する。4章でMCNC'91ベンチマーク回路<sup>6)</sup>で実験を行い、その有効性を示す。5章で結論と今後の課題について述べる。

## 2 状態可観測なFSM

図1に、FSMの例を示す。図1において、ST0～ST11は状態、T0～T11は状態遷移入力を表す。FSMは論理合成により、同期式順序回路に合成される。

### (定義1 : 状態可観測なFSM)

入力系列に依存せず、出力系列を観測することにより、初期状態を識別できるとき、FSMは状態可観測であるという。特に長さ $k$ の出力系列を観測することにより、初期状態を識別できるとき、FSMは $k$ 状態可観測であるという。

本稿では、FSMが1状態可観測になるように、レジスタの出力を直接外部出力に接続するテスト容易化設計 (Design for Testability : DFT) を行っている。今後1状態可観測なFSMを単に状態可観測なFSMとよぶ。図2は、1状態可観測なFSMを論理合成した論理回路である。図2において、状態可観測なFSMは、状態レジスタの出力である擬似外部入力 (PPI) が可観測であり、外部出力として扱う。PIは外部入力、POは外部出力、SRは状態レジスタ、PPIは擬似外部入力 (状態レジスタの出力)、PPOは擬似外部出力 (状態レジスタの入力)、Rはリセット入力である。

状態可観測な完全記述FSMは、すべての状態遷移を実行するようなテスト系列により、完全に論理的な機能をテストすることができる、ということが報告されている<sup>7)</sup>。従って、状態可観測な完全記述FSMは、実動作速度で全ての状態遷移を実行することで、完全な実動作速度機能テストが可能であるといえる。不完全記述FSMの場合、記述されていない入力に対する状態遷移は、記述されている入力に対する状態遷移の一つと同じであるものとする。

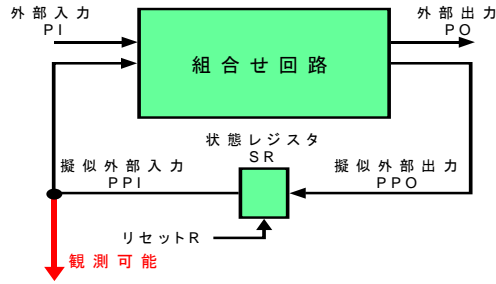


図1：FSMの例

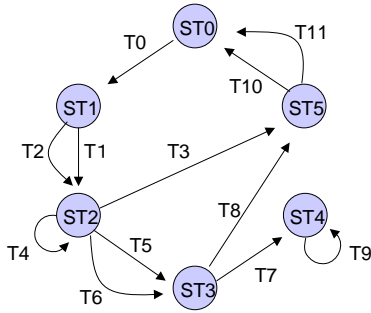


図2：状態可観測なFSMの論理回路図

### 3 状態可観測なFSMのテスト法

#### (定義2：状態遷移被覆率)

状態遷移被覆率とは、状態可観測なFSMのすべての状態遷移に対して、生成したテスト系列で実行された状態遷移数の割合である。状態可観測なFSMにおいて、状態遷移入力値はXを含むキューブで表現される場合と、Xを含まないベクトルで表現される場合がある。状態遷移被覆率の計算で使用する状態遷移は、キューブ表現された状態遷移入力値を条件とする状態遷移を、ベクトル表現に展開したときの状態遷移である。すなわち、ある状態遷移に入力にk個のドントケア(X)が含まれていると、 $2^k$ 個の状態遷移に展開して状態遷移被覆率を計算する。状態遷移被覆率は状態可観測なFSMの機能テストの品質を評価する尺度として使用される。

#### (定義3：有効状態で検出可能な縮退故障)

状態可観測なFSMで定義されていて、かつリセット状態から到達可能な状態を有効状態と呼ぶ。また状態可観測なFSM中の有効状態から状態遷移を実行することで検出できる縮退故障を有効状態で検出可能な縮退故障と定義する。

#### 3.1 状態可観測なFSMにおける機能テスト

状態可観測なFSMにおいて、現在状態から外部入力値を印加し、次状態へ状態遷移させて状態レジスタの出力(PPI)と外部出力(PO)を観測することによって、状態可観測なFSMの機能テストを行う。

図1のST0からT0を印加し、ST1へ状態遷移を実行し、さらにT1を印加しST2へ状態遷移を

実行する状態可観測なFSMの実動作機能テストにおけるタイミングチャートを図3に示す。まず1サイクル目に、Rをアクティブにし、状態レジスタをST0に初期化する。2サイクル目に、PIにT0を印加した後、クロック(CLK)の立ち上がりエッジの直前で、 $(PI, PPI) = (T0, ST0)$ の出力応答をPOで観測する。さらにCLKの立ち上がりエッジの後で、状態レジスタの状態がST1へ遷移したことをPPIで観測する。次に3サイクル目に、PIにT1を印加した後、クロック(CLK)の立ち上がりエッジの直前で、 $(PI, PPI) = (T1, ST1)$ の出力応答をPOで観測する。さらにCLKの立ち上がりエッジの後で、状態レジスタの状態がST2へ遷移したことをPPIで観測する。ここで、 $(PI, PPI)$ は状態PPIに入力PIを印加することを表す。

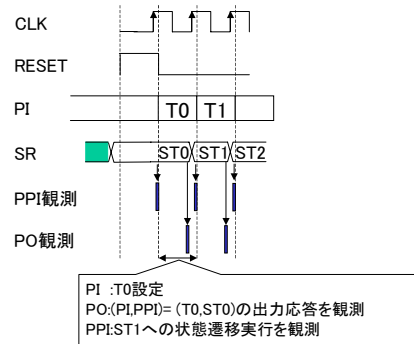


図3：状態可観測なFSMの実動作機能テスト

#### (定義4：FSMテスト生成グラフ)

FSMテスト生成グラフは、有効グラフ $G=(V, E, r, s, t)$ であり、頂点 $v \in V$ は、状態を表し、各頂点にはラベル $s: V \rightarrow A$  (ただし、 $A=\{PPI_1, PPI_2, \dots, PPI_m\}$ ,  $PPI_1, PPI_2, \dots, PPI_m \in \{0,1\}$ ,  $m$ は状態レジスタ数)が付けられる。ラベル $s$ は状態割り当てを表す。また、辺 $(u, v) \in E$  ( $u, v \in V$ )は、頂点 $u$ から頂点 $v$ へ状態遷移を表し、各辺にはラベル $r: E \rightarrow B \cup \{\phi\}$  (ただし、 $B=\{PI_1, PI_2, \dots, PI_n\}$ ,  $PI_1, PI_2, \dots, PI_n \in \{0,1,X\}$ ,  $n$ は外部入力数)が付けられる。ラベル $r$ は状態遷移入力値を表す。また各辺にはラベル $t: E \rightarrow T \cup \{\phi\}$  (有効テストパターン集合 $T=\{t_1, t_2, \dots, t_q\}$ ,  $q$ は有効テストパターン数)が割り付けられる。ただし、 $t_i=\{P_1, P_2, \dots, P_{n+m}\}$  (ただし $i$ は整数,  $0 < i < q+1$ ,  $P_1, P_2, \dots, P_{n+m} \in \{0,1\}$ )である。ラベル $t$ は状態遷移の実行により、状態可観測なFSMに印加できる可能性のある有効テストパターンの集合を表す。

図4に状態可観測なFSMの例、図5に図4のFSMテスト生成グラフの例を示す。図5の各状態には状態割り当てコードが割り付けられ、ドントケア(X)を含む状態遷移入力値はドントケアを含まない0と1から成る状態遷移入力値に

変換される。ST0からST1への辺のキューブ表現されたXXという状態遷移入力値は4本の辺とベクトル表現された00, 01, 10, 11の4つの状態遷移入力に展開される。

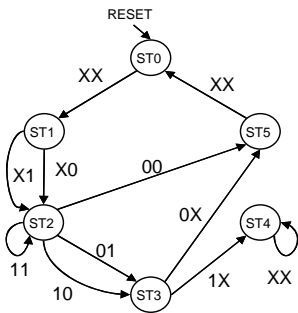


図4：状態可観測な完全記述FSM

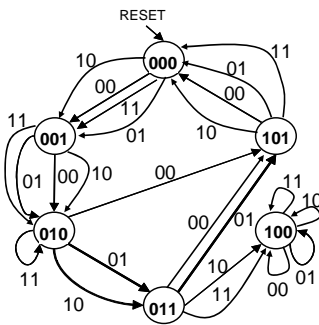


図5：完全記述FSMのFSMテスト生成グラフ

### 3.2 故障モデル非依存な機能テスト法

状態可観測なFSMはすべての状態遷移を実行することで完全な機能テストが可能である。状態可観測なFSMの機能テストについて、以下の2つの問題を定式化する。

(定式化1a)

入力：状態可観測なFSM

出力：状態遷移被覆率100%のテスト系列(ただし、状態遷移入力値がキューブ表現されている状態遷移については、そのキューブ表現をベクトル表現に展開したときの状態遷移入力値を条件とする状態遷移をすべて実行する。)

最適化：テスト長を最短化

(定式化1b)

入力：状態可観測なFSM

出力：キューブ表現された状態遷移入力値を条件とする状態遷移と、ベクトル表現された状態遷移入力値を条件とする状態遷移をすべて被覆するテスト系列(ただし、状態遷移入力値がキューブ表現されている状態遷移については、そのキューブに含まれる少なくとも一つのベクトルを状態遷移入力値とする状態遷移を実行すればよい。)

最適化：テスト長を最短化

### 3.3 故障モデル依存な機能テスト法

状態可観測なFSMにおいて、論理故障モデルを対象とした1パターンテストのテスト生成についての定式化する。1パターンテストの故障モデルの代表として縮退故障を取り扱う。

(定式化2a)

入力：状態可観測なFSM, 及び有効状態で検出可能な縮退故障に対して故障検出効率100%のテスト生成モデルのテストパターン集合

出力：有効状態で検出可能な縮退故障をすべて検出できる状態可観測なFSMに対するテスト系列

最適化：テスト長を最短化

## 4 実験結果

定式化1a, 1b, 2aを解くヒューリスティックアルゴリズムを実装し、MCNC'91ベンチマーク回路6)に対して実験を行った。表1に実験結果を示す。NAは24時間以内でテスト系列の生成が終了しなかったことを表す。実験はFSMを状態可観測なFSMとなるようにDFTを行った回路に対して行った。またMCNC'91ベンチマーク回路は完全記述FSMであるので、本研究では状態可観測な完全記述FSMについてのみ実験を行った。

表1に実験結果を示す。表1において、「無効状態」は文献7)のテスト生成法の結果である。文献7)では有効状態のテストに加えて無効状態のテストを行って、組合せ回路部分の縮退故障を完全にテストしている。特に「1a」, 「1b」, 「2a」は提案した各定式のテスト生成法の結果である。

定式化1aに関して考察すると、24時間以内でテスト系列の生成が終了しなかったもの以外の状態可観測なFSMに対してのテスト長の平均は929954.76で、縮退故障検出効率100%を達成し、かつ状態遷移被覆率100%を達成できた。定式化1bに関して考察すると、状態可観測なFSMに対してテスト長が平均447.73で、41回路中18回路で縮退故障検出を達成した。縮退故障検出を達しなかった回路の縮退故障検出効率は平均97.93%であった。また、状態遷移被覆率は平均29.51%であった。定式化1aのテスト長と比較し、平均60.11%テスト長が短くなることがわかる。定式化2aに関して考察すると、状態可観測なFSMに対して定式化1aのテスト長と比較し、平均75.27%短いテスト長で縮退故障検出効率100%を達成できていることが分かる。それぞれの定式化については、回路規模の小さなFSMは定式化1aが有効で、中規模のFSMやテスト長に余裕のある場合は定式化1bが有効で、その他の場合は2aが有効であると考えられる。

## 5 おわりに

本研究では、状態可観測なFSMに対して非故障モデル依存な機能テスト法と、故障モデル依存テスト法を提案した。また、機能テストの品質を評価する尺度として状態遷移被覆率を提案した。MCNC'91ベンチマーク回路6)で提案方法を評価した結果、以下の結論を得ることができた。

(1)定式化2aでは、文献5)の方法と比較して、平

均13.4%のテスト長の増加で、状態遷移被覆率を平均4.1倍向上させている。

(2)定式化1bでは、定式化2aのテスト生成法と比較して、平均2.7倍のテスト長の増加で、状態遷移被覆率を平均2.0倍向上させている。

今後の課題として、定式化2bの遅延故障に対するテスト生成法を提案し、そのテストコストとテスト品質を評価することが挙げられる。

表1：実験結果

	1a					1b					2a				無効状態	
	検出効率 (%)	被覆数	テスト長	被覆率 (%)	CPUtime (sec)	検出率 (%)	被覆数	テスト長	被覆率 (%)	CPUtime (sec)	被覆数	テスト長	被覆率 (%)	CPUtime (sec)	テスト長	被覆率 (%)
bbara.v	98.28	160	207	100.00	0.45	97.76	64	93	40.00	0.19	36	51	22.50	0.14	40	5.63
bbtas.v	97.40	24	30	100.00	0.03	100.00	24	30	100.00	0.05	15	15	62.50	0.05	16	20.83
beecount.v	98.31	56	120	100.00	0.13	100.00	34	54	60.71	0.05	23	30	41.07	0.06	30	12.50
cse.v	100.00	2048	6813	100.00	40.38	98.92	163	219	7.96	1.19	129	153	6.30	0.88	95	0.93
dk14.v	98.95	56	84	100.00	0.34	100.00	56	84	100.00	0.34	39	57	69.64	0.31	41	16.07
dk15.v	100.00	32	45	100.00	0.16	100.00	32	45	100.00	0.17	25	27	78.13	0.14	25	9.38
dk16.v	98.12	108	162	100.00	0.13	100.00	108	162	100.00	0.13	68	90	62.98	0.08	93	31.48
dk17.v	100.00	32	63	100.00	0.06	100.00	32	63	100.00	0.06	23	42	71.88	0.03	29	25.00
dk27.v	97.50	14	21	100.00	0.01	100.00	14	21	100.00	0.01	11	15	78.57	0.03	21	57.14
ex1.v	99.18	10240	29604	100.00	134.83	99.06	354	354	3.46	1.72	129	129	1.26	0.66	101	0.25
ex3.v	94.96	40	93	100.00	0.05	100.00	40	87	100.00	0.06	31	54	77.50	0.05	46	32.50
ex4.v	98.07	896	1107	100.00	0.14	100.00	51	51	5.69	0.05	45	45	5.02	0.05	41	1.45
ex5.v	94.95	36	90	100.00	0.06	100.00	36	87	100.00	0.03	28	51	77.78	0.03	43	27.78
ex6.v	100.00	256	384	100.00	0.27	90.19	46	48	17.97	0.08	43	45	16.80	0.08	41	2.73
keyb.v	96.78	2432	8253	100.00	541.09	99.55	228	480	9.38	23.77	126	207	5.18	12.63	94	0.74
kirkman.v	100.00	NA	NA	NA	NA	96.99	630	630	0.96	255.28	174	174	0.27	232.64	73	0.02
lion9.v	95.30	36	39	100.00	0.14	99.65	35	36	97.22	0.05	19	21	52.78	0.05	27	22.22
lion.v	100.00	16	18	100.00	0.11	96.23	12	12	75.00	0.03	11	12	68.75	0.03	13	18.75
mc.v	100.00	32	39	100.00	0.06	98.18	12	12	37.50	0.01	10	12	31.25	0.00	11	9.38
opus.v	96.14	320	921	100.00	0.2	98.78	62	66	19.38	0.03	54	57	16.88	0.03	41	3.13
planet.v	97.70	6144	12138	100.00	2.41	100.00	291	291	4.74	0.09	198	198	3.22	0.08	204	1.33
pma.v	98.81	6144	12498	100.00	6.13	96.10	244	249	3.97	0.14	149	150	2.43	0.11	116	0.47
s1.v	97.67	5120	8928	100.00	16.41	96.58	171	171	3.34	0.44	144	144	2.81	0.41	111	0.51
s27.v	93.53	96	129	100.00	0.25	99.54	45	51	46.88	0.13	23	24	23.96	0.08	27	6.25
s208.v	91.95	4608	30144	100.00	264.92	100.00	503	903	10.92	7.83	120	120	2.60	1.20	48	0.37
s298.v	99.18	1744	10254	100.00	135.67	100.00	1102	3414	63.19	34.00	870	852	32.68	7.09	646	16.06
s386.v	97.31	1664	5895	100.00	15.16	98.11	174	189	10.46	0.50	102	102	6.13	0.28	59	0.90
s420.v	91.95	4608	30153	100.00	109.59	100.00	444	816	9.64	5.55	120	120	2.60	1.00	48	0.37
s510.v	97.36	24641536	34865145	100.00	1102.11	98.47	126	126	0.00	16.86	117	117	0.00	16.78	121	0.00
s820.v	97.92	NA	NA	NA	NA	98.38	1281	1281	0.02	36.33	240	240	0.00	19.25	133	0.00
s832.v	97.99	NA	NA	NA	NA	97.38	1273	1275	0.02	66.73	243	243	0.00	23.78	131	0.00
s1488.v	97.96	12288	86202	100.00	510.25	99.97	1123	1524	9.14	9.36	267	267	2.17	1.76	219	0.68
s1494.v	98.07	12288	87240	100.00	830.48	99.69	1150	1476	9.36	14.58	243	243	1.98	1.92	211	0.66
sand.v	100.00	65536	90543	100.00	1457.56	98.32	280	285	0.43	22.48	157	162	0.24	11.83	181	0.07
shiftrg.v	100.00	16	18	100.00	0.14	100.00	16	18	100.00	0.05	14	18	87.50	0.03	22	56.25
str.v	98.95	15360	42507	100.00	282.28	99.03	359	363	2.34	2.70	209	210	1.36	1.56	151	0.25
tav.v	100.00	64	66	100.00	0.88	100.00	52	63	81.25	0.84	12	12	18.75	0.22	16	4.69
tbk.v	100.00	2048	3891	100.00	47642.66	100.00	1569	3003	76.61	35120.08	195	222	9.52	993.95	222	2.15
tma.v	98.52	2560	4356	100.00	1.01	96.61	147	168	5.74	0.05	96	105	3.75	0.06	98	0.98
train4.v	100.00	16	18	100.00	0.08	100.00	16	18	100.00	0.01	12	12	75.00	0.05	12	18.75
train11.v	98.17	44	63	100.00	0.09	98.96	37	39	84.09	0.03	38	45	86.36	0.01	50	29.55
平均		652597.84	929954.76	100.00	1397.28	98.84	303.32	447.73	43.84	868.83	112.39	119.34	29.51	32.42	91.39	10.69

## 「参考文献」

- 1) H. Fujiwara, "Logic Testing and Design for Testability," The MIT Press, 1985.
- 2) M. Abramovici, M. A. Breuer, and A. D. Friedman, "Digital systems testing and testable design," IEEE Press, 1995.
- 3) A. Krstic, and K.-T. Cheng, "Delay Fault Testing for VLSI Circuits," Kluwer Academic Publishers, 1998.
- 4) P.C. Maxwell, R.C. Aitken, R. Kollitz, and A. C. Brown, "IDDQ and AC Scan: The War Against Unmodelled Defects," Proc. of IEEE Int. Test Conf., pp.250-258, Oct., 1996.
- 5) S. Ohtake, T. Masuzawa, and H. Fujiwara, "A non-scan approach to DFT for Controllers Achieving 100% Fault Efficiency," Journal of Electronic Testing: Theory and Applications (JETTA), Vol. 16, No. 5, pp.553-566, Oct. 2000.
- 6) S.Yang, "Logic synthesis and optimization benchmarks user guide," Technical Report 1991-IWLS-UG-Saeyang, Microelectronics sCenter of North Carolina, 1999.
- 7) H.Fujiwara, and K.Kinoshita, "Design of Diagnosable Sequential Machines Utilizing Extra outputs," Trans. On Computers, Vol. C-23, pp.138-145, Feb., 1974