

## 縮退故障テスト生成の故障活性化率評価

日大生産工(学部) ○富田 健  
日大生産工 細川 敏則

### 1. はじめに

従来、テスト生成には単一縮退故障モデルが広く用いられている。単一縮退故障モデルは取り扱いが容易でかつ、多くの欠陥が単一縮退故障テストで検出できることなどが挙げられる[1][2]。しかし、近年VLSIの製造技術の進歩に伴い、回路の大規模化、高速化、複雑化が急速に進み、従来使用されていた単一縮退故障検出用テスト集合では検出できない欠陥が増加している。そのため、縮退故障以外の欠陥を検出できる能力が高い、より高品質のテスト集合が必要とされている。

高品質なテスト手法として、欠陥ベーステスト[3]、Iddqによる電流テスト[4]、 $n$ 回検出テスト[5][6]が知られている。 $n$ 回検出テストとは「回路中の各縮退故障が、異なる $n$ 個以上のテストで検出される」という定義に従って生成されたテスト集合のことである。このテスト生成の利点は

- ・ 既存の縮退故障検出テスト生成アルゴリズムの応用で容易に実現可能である
- ・  $n$ の値の増加に伴いテスト品質も向上することが知られている。また、ブリッジ故障のテスト品質向上を目的として、できるだけ多くの外部出力で故障が検出できるような技術を組み込んだ $n$ 回検出テスト[7]や、他の故障モデルでの $n$ 回検出テスト[1]などが提案されており、テスト品質の向上に効果的であることが報告されている。

### 2. $n$ 回検出テスト

縮退故障以外の欠陥の検出能力を高める手法の一つとして、 $n$ 回検出テスト[5][6]がある。 $n$

回故障検出の定義を以下に示す。

[定義] 「回路中の各縮退故障が、異なる $n$ 個以上のテストで検出される」[5][6]

例) 図1では、信号線 $d$ の1縮退故障が2つのテスト $(a, b, c, d, e)=(1, 0, 0, 0, 0)$ と $(1, 1, 1, 0, 1)$ で検出されている。この場合、信号線 $d$ の1縮退故障は2回検出であるという。他の故障に対しても同様に、2回検出となるように生成したテスト集合を2回検出テストと呼ぶ。

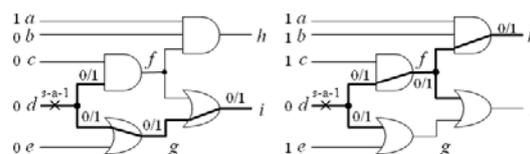


図1: 2回検出の例

定義にしたがい、回路内の各縮退故障をそれぞれ $n$ 回以上検出するようなテストを生成することを、 $n$ 回検出テスト生成という。

しかし、上記の定義にしたがってテスト生成を行った場合、テスト品質の向上に寄与しないテストが生成されうる。図2にその例を示す。

例) 図2でテスト $t_1(a, b, c, d, e)=(0, 0, 0, 0, 0)$ と、テスト $t_2: (1, 0, 0, 0, 0)$ はともに信号線 $d$ の1縮退故障を検出する。しかし、この2つのテストでは活性化される信号線は同じであり、テスト $t_2$ はテスト品質の向上に寄与しないと考えられる。

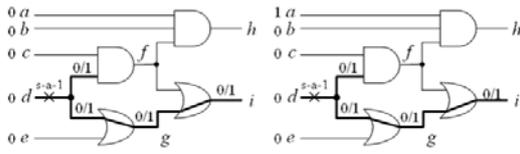


図2: テスト品質向上に寄与しないテスト

### 3. 故障活性化率

#### 3.1. 関連研究

ブリッジ故障の検出を目的とした、 $n$  回検出テスト生成手法[7]が提案されている。 $n$  回検出テスト生成時に多くの外部出力で故障を検出することで、ブリッジ故障の検出率を向上させ、テスト品質を向上させることができる[7]。文献[7]では、テスト品質の評価尺度として、故障観測率を定義している。故障観測率とは、各故障から到達可能な外部出力数のうち、実際に故障が検出された外部出力数の割合を表したものである。故障観測率の計算式は以下のように定義される。

•  $foc_f$ : 故障の故障観測率

$$foc_f = \frac{\text{故障が検出された外部出力数}}{\text{故障から到達可能な外部出力数}} \times 100$$

•  $FOC$ : 回路全体の故障観測率

$$FOC = \frac{\sum foc_f}{\text{全故障数}}$$

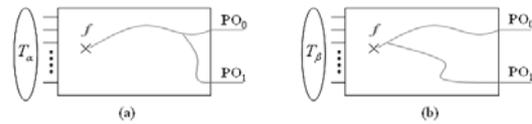
#### 3.2. 研究目標

本研究における目標は、様々な欠陥（ブリッジ故障、ディレイ故障等）に共通したテスト品質向上のアプローチを提案することである。

図3において、故障 $f$ から到達可能な外部出力は  $\{PO_0, PO_1\}$  であるとする。図3の回路中の実線は故障伝搬経路を示す。故障観測率による評価では、図3(a), (b) どちらのテスト集合でも、故障 $f$ の故障観測率は100%となり、 $T_\alpha$ と $T_\beta$ は同じテスト品質であると評価される。

しかし、図3(b)の方が、図3(a)よりも多くの信号線が活性化されているので、より多くの欠陥が検出されると考えられる。したがって、 $T_\beta$ の方が高品質なテスト集合であると評価されるべきである。しかし、故障観測率による評価では、検出される外部出力にのみ着目しているた

め、活性化される信号線数を考慮することができない。テスト品質の評価尺度としては、故障観測率は不十分であると考えられる。したがって、活性化される信号線数が多いほど、テスト品質も向上すると考えることができる。



	$T_\alpha$	$T_\beta$
故障観測率	100%	100%
活性化される信号線数	小	大
テスト品質	低	高

図3: 故障観測率によるテスト品質評価

#### 3.3. 故障活性化率

故障活性化率とは、活性化される信号線数を考慮したテスト品質評価尺度である。故障活性化率は、各故障から到達可能な信号線数のうち、実際に活性化された信号線数の割合を表したものである。以下に故障活性化率の計算式を示す。

•  $sen_f$ : 故障の故障活性化率

$$sen_f = \frac{\text{活性化された信号線数}}{\text{故障から到達可能な信号線数}} \times 100$$

•  $SEN$ : 回路全体の故障活性化率

$$SEN = \frac{\sum sen_f}{\text{全故障数}}$$

#### 3.4. $n$ 回検出テストの故障活性化率評価

本研究の最終目標は故障活性化率が十分に高いテストを生成することである。

本稿では、その準備段階として、 $n$  回検出テストの故障活性化率を故障活性化率算出用故障シミュレータを用いて評価する。

### 4. 実験結果

#### 4.1 実験フロー

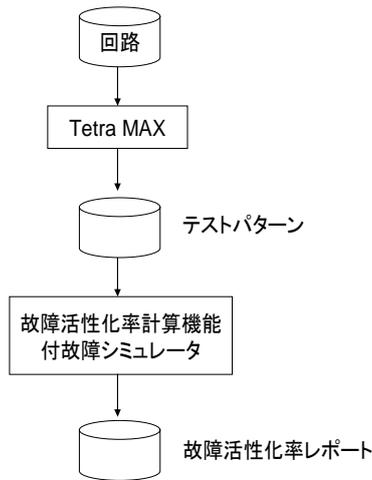


図 4. 実験フロー

回路は ISCAS' 85 ベンチマーク回路を Verilog-HDL ネットリストである。

Tetra MAX は縮退故障に対するテスト生成ツールであり、n 回検出テスト生成の機能を持つ。

テストパターンは STIL 記述で出力される。故障活性化率計算付故障シミュレータは故障シミュレータを実行しながら、各故障の故障活性化率を計算する。

#### 4.2 1 回検出テストパターンの故障活性化率

ISCAS' 85 ベンチマーク回路に対して Synopsys 社の TetraMAX(テスト生成ツール)を用いて生成された 1 回検出テストパターンで故障活性化率の評価を行った。

表 1 は 1 回検出テストパターンの故障活性化率の表である。

表 1:1 回検出テストパターンの故障活性化率

回路名	テストパターン数	故障活性化率	故障観測率
c432	49	53.26	79.64
c499	68	70.65	67.5
c880	32	85.75	87.49
c1355	85	63.45	69.57
c1908	114	69.09	71.84
c2760	61	78.87	85.65
c3540	128	68.66	72.44
c5315	74	88.87	85.92
c6288	28	44.58	40.77
c7552	107	84.16	89.6

故障検出効率は c499 (99.47%) 以外の回路で 100%である。

#### 4.3 5 回検出テストパターンの故障活性化率

ISCAS' 85 ベンチマーク回路に対して

Synopsys 社の TetraMAX(テスト生成ツール)を用いて生成された 5 回検出テストパターンで故障活性化率の評価を行った。

表 2 は 5 回検出テストパターンの故障活性化率の表である。

表 2:5 回検出テストパターンの故障活性化率

回路名	テストパターン数	故障活性化率	故障観測率
c432	53	54.96	79.88
c499	84	71.95	68.03
c880	39	87.05	88.73
c1355	93	64.59	70.59
c1908	143	70.57	72.82
c2760	65	79.64	87.79
c3540	151	70.82	76.87
c5315	85	89.33	86.45
c6288	38	54.05	56.32
c7552	102	84.63	90.36

故障検出効率は c499 (99.6%) 以外の回路で 100%である。

#### 4.4 考察

n=1 と n=5 での故障活性化率を比べると、全体的には 0.46%~9.47%、平均 2.025% (表 2 の故障活性化率—表 1 の故障活性化率) 向上し、最大で、c6288 の回路において 9.47%向上した。n の数が増加すると全体的に故障活性化効率が向上したが、テストパターン数も-4.67~35.71%、平均 15.885% ((表 2 のテストパターン—表 1 のテストパターン)/表 1 のテストパターン数) 増加した。

故障活性化率があまり増加しなかった回路を見ると、故障観測率もほとんど変化がなかった。つまり、故障が同じような伝搬経路を通過して、同じ外部出力線で故障が検出されていると考えられる。本実験から、n 回検出テストでは十分に高い故障活性化率を得るテスト成分はできていないことがわかる。またテストパターン数増加率も大きい。

#### 5. おわりに

本稿では、新しいテスト品質の評価尺度として故障活性化率を提案した。また ISCAS' 85 のベンチマーク回路において、TetraMAX(テスト生成ツール)で生成したテストパターンの故障活性化率を評価した。今後は、テストパターン数の増加を抑制しながら、効果的に故障活性化率

を向上させるテスト生成アルゴリズムを提案する。故障活性化率を上げるテスト生成のプログラムの実装を行う。

#### 参考文献

- [1] Intail Park, Ahmad Al-Ymami and Edward J. McCluskey, "Effective TARO Pattern Generation," VTS' 05,
- [2] E. J. McCluskey, A. Al-Yamani, C. W. Tseng, E. Volkerink, F. F. Ferhani, E. Li and S. Mitra, "ELF-Murphy data on defects and test sets," in Proc. 2004 VLSI Test Symp., pp. 16-22, 2004.
- [3] S. Chakravarty, A. Jain, N. Radhakrishnan, E. W. Savage and S. T. Zachariah, "Experimental evaluation of scan tests for bridges," IEEE International Test Conference, Oct. 2002, pp. 509-518.
- [4] M. M. Levi, "CMOS is most testable," International Test Conference, 1981, pp. 217-220.
- [5] S. C. Ma, P. Franco and E. J. McCluskey, "An Experimental Chip to Evaluate Test Techniques Experiment Result," in Proc. 1995 International Test Conference, Oct. 1995, pp. 663-672.
- [6] S. M. Reddy, I. Pomeranz and S. Kajihara, "On the effects of Test Compaction on Defect Coverage," in Proc. 14th VLSI Test Symp., April 1996, pp. 430-435.
- [7] LSI Logic Corporation and Mentor Graphics Corporation, "Impact of Multiple-Detect Test Patterns on Product Quality," Proc. ITC, 2003, pp. 1031-1040,