

セーフテストベクトルの故障伝搬経路を模倣した 低消費電力指向ドントケア判定法

日大生産工(院) ○三澤 健一郎 日大生産工 細川 利典

日大生産工 山崎 紘史 京産大 吉村 正義

1. はじめに

近年、半導体の微細化技術の進歩に伴い、超大規模集積回路(Very Large Scale Integrated circuits : VLSI)の集積度が増加している。VLSIの微細化により従来の故障モデルのテストでは検出困難なタイミング遅延を伴う欠陥が存在する。そのため、遷移故障モデル[1]やパス遅延故障モデル[1]などのタイミング遅延のための実速度スキャンテストが必要不可欠な技術となってきた[2]。

VLSIの低消費電力化設計に伴い、実速度スキャンテストにおけるテスト時消費電力の増大が問題となっている。実速度スキャンテスト特有の消費電力として、キャプチャ時消費電力とシフト時消費電力の2つが挙げられる。キャプチャ時消費電力[3]は、テスト応答をフリップフロップ(Flip-Flop : FF)へ格納するキャプチャ動作時に発生する。過度なキャプチャ時消費電力は電圧降下(IR ドロップ[2])による誤テストを引き起こす可能性がある。一方、シフト時消費電力[3]は、スキャンFFへのテストベクトルの印加とテスト応答の観測を行うシフト動作時に発生する。過度なシフト時消費電力は、発熱による回路の熱破壊[4]を引き起こす可能性がある。そのため、VLSIのテスト時消費電力の削減が重要な課題である。

VLSIのテスト時消費電力の削減において、キャプチャ時消費電力の削減が特に重要な課題であり、本論文ではキャプチャ消費電力に着目する。

キャプチャ消費電力削減のための手法は多数提案されており[5-11]、それらは一般に、回路構造変更による手法[5,6]とテストデータ変更[7-11]による手法の2つに分類することができる。回路構造変更による手法は、

テスト対象回路に対してテスト容易化のための回路構造変更を行う手法や、テスト専用の回路を付加する手法などが挙げられる。一方で、テストデータ変更による手法は、再テスト生成手法[7,8]とドントケア(X)判定[9]とX割当てによる手法[10,11]による2つに分類される。再テスト生成による手法は、従来の故障検出率重視のテスト生成手法により生成されたテスト集合内の高消費電力テストベクトルに対して、消費電力制約を満たすようにテストベクトルの再生成を行う。X判定とX割当てによる手法は、テストベクトル中の故障検出に関係しないビットをXビットとして割当て、再度、Xビットに回路内の信号線における論理値遷移数が抑制されるように0または1を割当てることによって、故障検出率を維持した新たなテストベクトルを生成する。

文献[10,11]などのX割当て手法の効果は、X判定後のテストキューブ中のXビット数やXビット位置に依存すると考えられる。そのため、X判定において低消費電力化を考える必要がある。低消費電力X割当てを考慮したX判定法として文献[9]が提案されている。文献[9]は、検出故障数が各テストベクトルで平均化するようなX判定を行った後、低消費電力X割当てを行い、低消費電力なテストベクトルを生成している。しかしながら、文献[9]は、テストキューブのXビットを平均化するX判定であり、X判定においてテストベクトルの消費電力は考慮していないため、低消費電力化が不十分と考えられる。

本論文では、キャプチャセーフテストベクトルの故障伝搬経路を模倣した低消費電力指向X判定を提案する。第2章では、提案手法の初定義について示す。第3章では、提案手法のアルゴリズムについて示す。第4

A Low Capture Power Oriented X-Identification Method Mimicking Fault Propagation Paths with Capture Power Test Vectors

Kenichiro MISAWA, Hiroshi YAMAZAKI, Toshinori HOSOKAWA, Masayoshi YOSHIMURA

章では, ISCAS'89 ベンチマーク回路を用いた実験結果を示し, 第 5 章では, 本論文のまとめと今後の課題について述べる.

2. 諸定義

2.1 WSA

本論文では, キャプチャ電力を見積もる方法として, 重み付き信号遷移確率(Weighted Switching Activity: WSA)[12]を用いる. 以下に WSA 値を求める式を示す.

$$WSA(v_j) = \sum_{i=1}^G tran(g_i) \times (1 + fanout(g_i))$$

上記式において, $WSA(v_j)$ はテストベクトル v_j の WSA 値を表し, テストベクトル v_j を回路に印加した際の内部信号線における論理値の遷移数を計算する. G は回路内の総ゲート数を表し, $tran(g_i)$ はテストベクトル v_j を回路に印加した際に, ゲート g_i の出力で論理値の遷移が発生した場合には 1, 遷移が発生しない場合には 0 を返す関数である. また, $fanout(g_i)$ はゲート g_i の出力のファンアウト数を表す. このようにして WSA では, 各テストベクトルに対するキャプチャ電力の見積りを算出する.

実速度スキャンテストにおいて, キャプチャ時消費電力が極めて高いテストベクトルは誤テストを引き起こす恐れがあるため VLSI のテストに使用することができない. そのため, キャプチャ時消費電力が WSA 値の閾値を超えるようなテストベクトルはテストデータの変更や再テスト生成の技術を用いて, キャプチャ時消費電力が WSA 値の閾値を超えないテストベクトルにする必要がある. キャプチャ時消費電力が閾値以下のテストベクトルをキャプチャセーフテストベクトル[13], キャプチャ時消費電力が閾値を超えるようなテストベクトルをキャプチャアンセーフテストベクトル[13], 初期テスト集合において, キャプチャアンセーフテストベクトルでのみ検出可能な故障をアンセーフ故障, アンセーフ故障以外の検出故障をセーフ故障である.

2.2 ドントケア判定

テスト生成ツールによって生成されたテストベクトルの全てのビットは 0 または 1 のどちらかに特定され

る. この 2 値のテストベクトルには, 逆の論理値に変更しても故障検出率が低下しないビットが存在する.

ドントケア判定は, テストベクトル中において逆の論理値に変更しても故障検出率が低下しないビットを判定し, そのビットを X ビットに変更する. 以下にドントケア判定の問題を定式化する. ドントケア判定では, テストパターンの疑似外部入力値が全て 0,1 に特定されたテストベクトル集合 T が与えられたとき, 次の特性をもったドントケア を含むテスト集合 TX を導出する.

- (1) TX は T を被覆する
- (2) TX と T の遷移故障検出率は等しい
- (3) TX はできるだけ多くのドントケアを含む

3. 低消費電力指向ドントケア判定法

本章では, 提案手法の概念及びアルゴリズムについて説明する.

3.1 提案手法の概要

本論文で提案する低消費電力指向 X 判定では, 文献[8]と同様に, キャプチャセーフテストベクトルの故障伝搬経路に着目する. 図 1 と図 2 に提案手法の概念図を示す. 本手法では, まず, X 判定の対象となる各故障に対して, 「キャプチャセーフテストベクトルで故障が伝搬されやすい経路」を解析する. この「キャプチャセーフテストベクトルで故障が伝搬されやすい経路」のことをセーフ経路と定義する.

X判定の対象故障: f

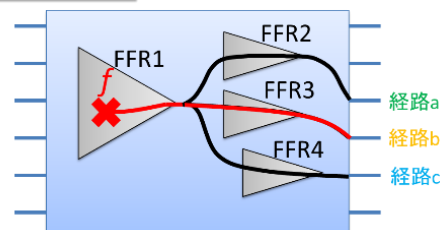


図 1: セーフ経路の概念図

図 1 にセーフ経路の概念図を示す. 図 1 の場合, X 判定の対象となる故障 f が存在する時, 故障 f から疑似外部出力までの経路は 3 本存在している. X 判定では, この 3 本の経路から故障 f が伝搬する経路を 1 つ選択する必要があり, 本手法ではキャプチャセーフテ

ストベクトルで故障が最も伝搬されやすい経路を解析する。本手法では、セーフ経路で故障 f を伝搬した場合、文献[8]の結果から X 判定後に得られるテストベクトルがキャプチャセーフテストベクトルである可能性が高いと考えている。

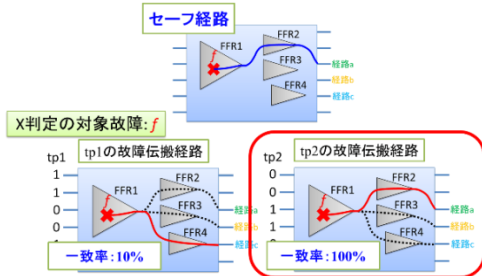


図 2：提案手法の概念図

セーフ経路解析後、セーフ経路を用いて、なるべくセーフ経路で各故障が伝搬されるようにテストベクトルを選択し X 判定を行う。図 2 に本手法の概念図を示す。 X 判定の対象故障 f をテストベクトル $tp1$ とテストベクトル $tp2$ のどちらで X 判定するかを考えるとき、各テストベクトルの故障伝搬経路に着目し、セーフ経路と一致率の高い故障伝搬経路を有するテストベクトルで故障 f を X 判定する。セーフ経路と一致率の高い故障伝搬経路は回路内の論理値の割当てがセーフ経路と似るため X 判定後のテストベクトルがキャプチャセーフテストベクトルになりやすい割当てになると考える。図 2 の場合、セーフ経路と一致率の高い故障伝搬経路を有するテストベクトル 2 が故障 f の X 判定に使用される。以下に一致率の計算式を示す。

$$\text{テストベクトル } t \text{ の一致率} = \frac{\text{セーフ経路中の信号線かつ } t \text{ で故障伝搬された信号線数}}{\text{セーフ経路の信号線数}}$$

3.2 提案手法アルゴリズム

与えられた初期テスト集合 T から、ドントケア判定後のテスト集合 XT を得るまでの処理手順を説明する。図 3 に提案手法の全体アルゴリズムを示す。入力は回路 C 、初期テスト集合 T 、セーフ経路解析で用いるランダムキャプチャセーフテスト集合 ST である。まず、ドントケア判定後のテスト集合 XT を T のテストベクトルをすべて X に変更したテストキューブに初期化する(行 4)。次に、初期テスト集合 T に対して故障シミュレーションを実行し、故障辞書 D を算出する(行 5)。

D とランダムキャプチャセーフテスト集合 ST を用いて、 T で検出された各故障のセーフ経路を解析し、セーフ経路データ SP を算出する(行 6)。 T に対して故障シミュレーションを実行し、 X 判定の対象となる故障

```

1. Procedure X-identification(C,T,RST)
2. C:circuit, T:initial_test_set, RST:random_safe_test_set
3. {
4.     XT=ALLXT;
5.     D=fault_simulation(C,T);
6.     SP=safe_path_analysis(C,RST,D);
7.     U=collect_undetected_fault(C,T);
8.     while(|U|>0){
9.         fault=fault_select(U);
10.        tvid=test_select(C,T,fault,SP);
11.        XT=x_identification(T,XT,fault,tvid);
12.        U=collect_undetected_fault(C,T,XT,U);
13.    }
14.    return XT;
15. }

```

図 3：提案手法全体アルゴリズム

集合である未検出故障リスト U を算出する(行 7)。 T と U と SP を用いて、 U 内の故障がなくなるまで T の X 判定を行う(行 8-13)。 U から X 判定の対象となる故障 f を 1 つ選択し変数 $fault$ に格納する(行 9)。 C と T と $fault$ と SP を用いて、選択した故障 f を T 内のどのテストベクトルで X 判定するか選択し、テストベクトル ID を変数 $tvid$ に格納する(行 10)。 $fault$ と $tvid$ を用いて、 t_{tvid} から故障検出に必要な外部入力値を求め、 xt_{tvid} を更新し、 XT を変更する(行 11)。 xt_{tvid} は故障 f 以外の故障を偶発的に検出する可能性があるため、 XT に対して故障シミュレーションを実行し、未検出故障リストを更新する(行 12)。未検出故障リストが空になった時点で、 XT を返し、終了する(行 14)。

4. 実験結果

提案手法を C 言語で実装し、ISCAS'89 ベンチマーク回路を対象として、低消費電力指向 X 判定を実施した。文献[9]の X 判定法と比較を行った。実験では、 X 判定後のテスト集合に対して P-Fill[11]を実施し、得られたテストベクトル集合の WSA 値を評価した。初期テスト集合は Tetra-MAX で生成し、提案手法で用いるランダムキャプチャセーフテスト集合はモンテカルロ法を用いたランダムテスト生成ツール(in-house-tool)で生成した。実験結果の WSA 値の閾値は、回路内の遷移する可能性がある信号線数の 20%を閾値に設定した。表 1 と表 2 に実験結果を示す。表 1 と表 2 の結果より、従来手法と比較して、提案手法では全回路においてア

ンセーフテストベクトル数及びアンセーフ故障数を削減できていることが分かる。

5. まとめ

本論文では、キャプチャセーフテストベクトルの故障伝搬経路を模倣した低消費電力指向X判定手法を提案した。提案手法では、キャプチャセーフテストベクトルの故障伝搬経路に着目し、従来手法と比べて、実験の全対象回路においてキャプチャアンセーフテストベクトル及びテスト集合におけるアンセーフ故障数の平均28%の削減ができた。

今後の課題として、大規模回路での実験及びセーフ経路で用いるランダムキャプチャセーフテスト集合の品質の改善が必要であると考えられる。

参考文献

[1] H. Fujiwara, *Logic Testing and Design for Testability*, The MIT Press, 1985

[2] J. Saxena, K. M. Butler, V. B. Jayaram, S. Kundu, N. V. Arvind, P. Sreepakash and M. Hachinger, "A case study of IR-drop in structured at-speed testing," *Proc. ITC*, pp. 1098-1104, 2003.

[3] A.Krstic, and K-T.Cheng, *Delay Fault Testing for VLSI Circuits*, Springer, 1998.

[4] J.Song, H.Yi, D.Hwang, and S.Park "A Compression Improvement Technique for Low-Power Scan Test Data" IEEE Region 10 Conference TENCN, pp.1-4, 2006

[5] N. Ahmed, M. Tehranipoor and V. Jayaram, "Transition delay fault test pattern generation considering supply voltage noise in a SOC design," *Proc. DAC*, pp. 533-538, 2007.

[6] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault and S.

Pravos-soudovitch, "A gated clock scheme for low power scan testing of logic ICs or embedded cores," *Proc. ATS*, pp. 253-258, 2001.

[7] X. Wen, K. Miyase, S. Kajihara, H. Furukawa, Y. Yamato, A. Takashima, K. Noda, H. Ito, K. Hatayama, T. Aikyo and K. K. Saluja, "A Capture-Safe Test Generation Scheme for At-Speed Scan Testing," *Proc. ETS*, pp. 55-60, 2008.

[8] T.Hosokawa, A.Hirai, Y.yamauchi, M.Arai, "A Low Capture Power Test Vector Method Based on Capture Safe Test Vector Manipulation," *IEICE Trans, Inf.&Syst.*, vol.E100-D, No9, pp. 2118-2125,2017.

[9] K.Miyase, K.Noda, H.Ito, K.Hatayama, T.Aikyo, Y.Yamato, H.Furukawa, X.Wen, and S.Kajihara, "Effective IR-Drop Reduction in At-Speed Scan Testing Using Distribution-Controlling X-Identification," *IEEE/ACM International Conference on Computer-Aided Design*, pp.52-58, 2008.

[10] X. Wen, Y. Yamashita, S. Kajihara, L. -T. Wang, K. K. Saluja and K. Kinoshita, "Low-Capture-Power Test Generation for Scan Testing," *Proc. VTS*, pp. 265-270, 2005.

[11] Xiaqing Wen , Yoshiyuki Yamashita , Seiji Kajihara , Laung-Terng Wang , Kewal K. Saluja , and Koza Kinoshita, "On Low-Capture-Power Test Generation for Scan Testing," *IEEE*, 2005.

[12] Y. Yamato, X. Wen, K. Miyase, H. Furukawa and S. Kajihara, "A GA-Based Method for High-Quality X-Filling to Reduce Launch Switching Activity in At-Speed Scan Testing," *Proc. IEEE PRDC*, pp. 81-86, 2009.

[13] X. Wen, K. Miyase, S. Kajihara, H. Furukawa, Y. Yamato, A. Takashima, K. Noda, H. Ito, K. Hatayama, T. Aikyo and K. K. Saluja, "A Capture-Safe Test Generation Scheme for At-Speed Scan Testing," *Proc. ETS*, pp. 55-60, 2008.

表 1：従来手法の実験結果

回路	セーフテストベクトル数	アンセーフテストベクトル数	アンセーフ故障数	最大消費電力	最小消費電力	平均消費電力
s5378	130	30	545	1607	203	739
s9234	184	135	3963	3374	110	1579
s13207	8	8	261	2969	702	1669

表 2：提案手法の実験結果

回路	ランダムキャプチャセーフテストベクトル数	セーフテストベクトル数	アンセーフテストベクトル数	アンセーフ故障数	最大消費電力	最小消費電力	平均消費電力
s5378	630	132	28	515	1519	115	706
s9234	622	206	113	2679	2970	168	1536
s13207	1287	306	4	137	3045	894	1659