

故障シミュレータとSATエンジンを用いた遷移故障テスト生成の評価

日大生産工 ○藤井 拓磨 日大生産工 山崎 紘史
日本生産工 細川 利典 京都産大 吉村 正義

1. はじめに

近年の半導体微細化技術の進歩に伴って、超大規模集積回路(Very Large Scale Integrated circuits:VLSI)が大規模化・複雑化し、テスト生成が困難になってきている。テスト生成の対象となる回路は、回路の外部出力値が外部入力値のみに依存する組合せ回路と、回路の外部出力値が外部入力値と回路内部のフリップフロップ(Flip-Flop:FF)に依存する順序回路の2種類に大きく分けられる[1]。特に順序回路に対するテスト生成は、FFによるフィードバックループを考慮する必要があるため、組合せ回路に対するテスト生成と比べて困難である[1]。FFを擬似外部入力(出力)とみなし、順序回路を時間展開することで組合せ回路として行うテスト生成手法[2]や、制御信号によりFFを直列のシフトレジスタとして動作させるスキャン設計を用いた手法[1]等が提案されている。

一方、近年では衝突節の学習[3]や非辞書式バックトラック[4]、ブール強制伝搬[4]により、SAT(Satisfiability problem)-solverの処理速度が急速に進歩している。またSATを用いたテスト生成も提案されており[5]、近年では組合せ回路に対して既存のテスト生成技術より高速であることが示されている[6]。しかしながら、各故障に対してテスト生成を実行するとテストパターン数は故障の数と等しくなり、膨大となる。本論文では、テスト生成処理を故障シミュレーションと組み合わせ、テストパターン数の削減を図るとともにテスト生成時間を高速化する。故障シミュレーションとは、与えられたテストパターンを基に仮定した故障による故障回路の動作をシミュレートする処理である。これにより、与えられたテストパターンに

よって検出可能な故障を求める。この時、検出された故障はテスト生成時に対象とする必要がないので、テスト生成と組み合わせることでテストパターン数の削減を可能とする。

しかしながら、故障シミュレーションの処理時間は回路規模、故障数、テストパターン数の増加に伴い、大幅に増大する。本論文では1つのテストパターンを用いて32個の故障を並列に故障シミュレーションを実行するSPPFP(Single Pattern Parallel Fault-Propagation)を用いる。

本論文では遷移故障[1][8]を対象にSATを用いたテスト生成と故障シミュレーションを組み合わせた手法でその処理時間とテストパターン数を評価する。2章では遷移故障に対するSATを用いたテスト生成の手法について述べる。3章で故障シミュレーション及び2章で説明するテスト生成技術との併用について説明し、4章にその実験結果を示す。

2. 遷移故障に対するSATによるテスト生成

本章ではまず、組合せ回路に対するSATを用いたテスト生成の基本的な手法を説明する。

SATとは充足可能性問題を示し、これは乗法標準形(Conjunctive Normal Form: CNF)が与えられたときに、CNFに含まれる全ての変数の値を1(真)または0(偽)に定めることで、CNF全体の値を1(真)にできる割当てが存在するか否かを判定する問題である。CNFを1(真)にできる割当てが存在した場合を充足可能といい、存在しない場合を充足不能という。

SATはCNFを入力として問題を解決するため、SATを用いてテスト生成を行うためには、対象の論理回路

Evaluation of Test Generation for Transition Faults Using
Fault Simulator and SAT engine

Takuma FUHII, Hiroshi YAMAZAKI, Toshinori HOSOKAWA
and Masayoshi YOSHIMURA

を CNF に変換する必要がある。まず、論理回路を構成する各ゲートを CNF に変換する。次に、変換した各 CNF を論理積することで、論理回路全体を CNF として表現することができる。

SAT を用いたテスト生成では、対象回路において正常に動作する正常回路と、故障の影響を仮定した故障回路の 2 つを用いる。この正常回路と故障回路を組み合わせることで、テスト生成モデルとなる合成回路を作成する。図 2 に、合成回路の例を示す。故障回路において故障箇所から斜線で示した外部出力までの範囲を、仮定する故障の影響とする。

合成回路の外部入力数は対象回路の外部入力数と同一であり、各外部入力に対応する正常回路と故障回路の外部入力と接続している。合成回路の外部出力は、正常回路と故障回路の対応する各外部出力を EXOR 演算し、各 EXOR 演算の出力を OR 演算したものである。したがって、故障の影響が外部出力に伝搬され故障を検出できる時、合成回路の外部出力の値は 1 となる。

SAT を用いたテスト生成とは、この合成回路の出力が 1 となるような外部入力の組合せを求める問題である。この時、充足可能であればテスト生成が可能で、充足不能であればテスト生成は不可能であり、テスト生成対象の故障は冗長故障[1]と判定される。

また、テスト生成を効率良く行うために、故障の影響を考慮した合成回路の限定化[5]、故障の伝搬を示す変数の導入[5]、極大ファンアウトフリーコーン(Maximum Fanout Free Cone : MFFC)内の故障を 1 つの CNF としてグループ化し、段階的に回路を CNF に変換するテスト生成法[6]が提案されている。

遷移故障[1]のテスト生成手法として、2 パターンテ

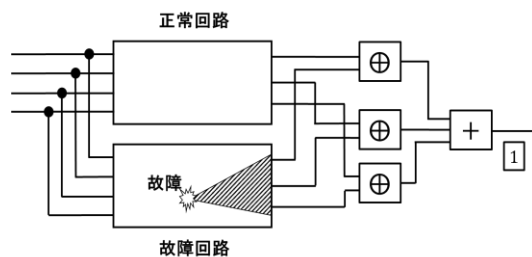


図 2. テスト生成用の合成回路

ストが提案されている。2 パターンテストを用いた実速度スキャンテスト法として、本論文ではフルスキャン設計された回路を対象に、SAT を用いたブロードサイド方式[7]による遷移故障テスト生成を対象とする。

SAT を用いたブロードサイド方式による遷移故障テスト生成は、2 時間展開した組合せ回路のモデルに対して CNF 変換を行う必要がある。以下に例として立上り遷移故障[1]に対して述べる。

2 時刻目の組合せ回路は 0 縮退故障[1]に対するテスト生成と同等なので、前述したテスト生成モデルを作成する。ただし順序回路であるため、擬似外部入力及び擬似外部出力の FF が組合せ回路に付与されることを考慮してテスト生成モデルを作成する。さらに、故障の影響を観測すべき箇所が外部出力ではなく FF であることを考慮する。

以上のように考慮したテスト生成モデルを生成し、2 時刻目では 0 縮退故障に対してテスト生成を行う。

1 時刻目の組合せ回路に対しては、故障箇所に対して 0 を設定するだけなので、固定値の制約を付与した SAT による正当化操作となる。ただしブロードサイド方式のため、1 時刻目と 2 時刻目の各外部入力値は同一でなければならない。

以上の手法を用いることで、立上り遷移故障に対して SAT を用いたテスト生成をブロードサイド方式で行うことができる。

立下り遷移故障に対しては 2 時刻目を 1 縮退故障、1 時刻目に固定値 1 とすることで、上述と同様に SAT を用いたテスト生成を行うことができる。

3. 故障シミュレーション

本章では本論文が扱う SPPFP による故障シミュレーション及び第 2 章で説明したテスト生成と組み合わせた手法について述べる。SPPFP はファンアウトフリー領域(Fanout Free Region : FFR)に着目し、並列に故障シミュレーションを行う。FFR 毎に故障の伝搬を判定後、各 FFR に対して故障シミュレーションを行っている。SPPFP では FFR の出力信号線のみに故障を仮定し故障シミュレーションし、並列に演算する

ことで処理時間の高速化を図っている。ただし、本論文が対象としているのは遷移故障であるので、本論文ではブロードサイド方式に則って遷移故障に対する SPPFP による故障シミュレーションを行う。そのフローチャートを図 4 に示す。また、対象回路に対する FFR 分割は、テスト生成時の回路読み込みで行っているものとする。

(Step1) テスト生成結果より与えられたテストパターンを設定する。

(Step2) 設定したテストパターンによる 1 時刻目の計算を行う。また、遷移故障は 1 時刻目において固定値の制約を満たす必要がある。このため、それに適さない遷移故障はこのステップで故障シミュレーションの対象から除外する。

(Step3) 外部入力値のテストパターン及び 1 時刻目の応答値による 2 時刻目の正常値の計算を行う。

(Step4) FFR 毎に、FFR 内の対象故障がその出力まで故障の影響が伝搬しているか否かを判定する。

(Step5) FFR 出力に対して並列に故障シミュレーションを行う。ただし、Step4 で 1 つも FFR 出力まで故障が伝搬していない FFR は計算の対象から除外する。

次に、上述した本論文における故障シミュレーションを第 2 章で示したテスト生成と組み合わせたテスト生成評価のための手法のフローチャートを図 5 に示す。

(Step1) テスト生成の対象回路のデータを読み込む。

(Step2) Step1 で読み込んだ回路に対し等価故障解析を実行し、代表故障[1]のリストを作成する。

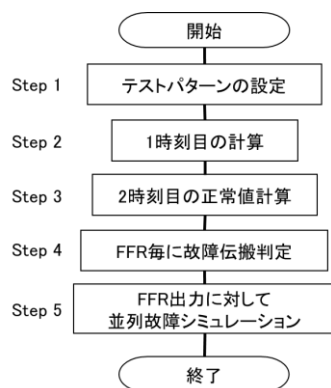


図 4. 故障シミュレーションの全体アルゴリズム

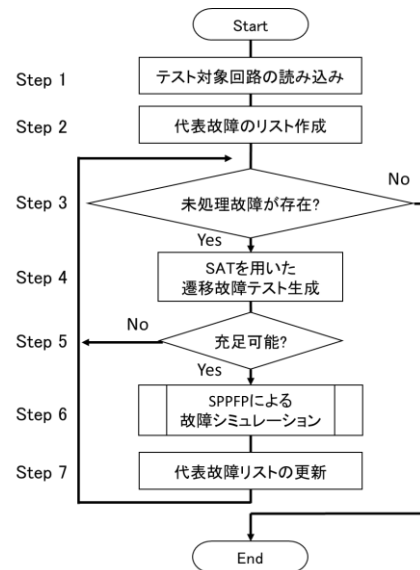


図 5. 評価手法の全体アルゴリズム

(Step3) 代表故障リスト内の全故障に対してテスト生成を行ったかを判断する。生成し終わった場合は終了し、それ以外のときは Step4 へ進む。

(Step4) 第 2 章で述べた遷移故障に対する SAT によるテスト生成を行う。

(Step5) Step4 の結果、充足可能ならば Step6 に進み、それ以外の時は Step3 に進む。

(Step6) Step4 で生成したテストパターンを基に前述した SPPFP による故障シミュレーションを行う。

(Step7) Step6 の故障シミュレーションの結果を Step2 で作成した代表故障リストに反映させ、更新する。

4. 実験結果

本章では、第 3 章で述べた評価手法の実験を行った。対象回路は ISCAS'89 とし、対象故障モデルは遷移故障としている。故障シミュレーションは 0, 1 の 2 値の場合と 0, 1, X(ドントケア)の 3 値の場合に分けてそれぞれ実行した。また、2 値の故障シミュレーションは X に対してランダムに 0, 1 を割り当てることで実現している。表 1 に実験結果を示す。”回路名”は実験対象とした回路名,”実行時間”は対象回路に対するテスト生成に要した時間[s], ”テストパターン数”は生成したテストパターン数をそれぞれ表し、テスト生

成のみと3章で示した故障シミュレーションを併用した時(2値, 3値)の結果をそれぞれ示している。

いずれの回路の場合も故障シミュレーションを併用することで実行時間は増大し、回路規模の増大とともにその時間は大きくなるが、s1494のようにテストパターン数の削減数が多ければs5378やs9234のように増大する時間は少ない。また、2値の故障シミュレーションは3値の場合と比べて実行時間及びテストパターン数はいずれの回路の場合も少ない結果になった。

6. おわりに

本論文では、遷移故障に対するSATを用いたテスト生成及び故障シミュレーションの組合せ手法について述べ、実行時間と生成したテストパターン数を基に評価した。実験結果より、いずれの回路の場合も故障シミュレーションを併用することで実行時間は増大する結果となった。また、2値の故障シミュレーションは3値の場合と比べて実行時間及びテストパターン数は少ない結果となった。

今後は故障シミュレーション処理の高速化の検討を行うとともに、よりテストパターン数を削減するために3値で生成したテストパターンの圧縮を検討する。

参考文献

- [1] 藤原秀雄, “ディジタルシステムの設計とテスト” (2004)
- [2] T.Inoue, T.Hosokawa, T.Mihara and H.Fujiwara, “An Optimal Time Expantion

Model Base on Combinational ATPG for TR Level Circuits,”IEEE Asian Test Symp., Vol.39,No4,pp.190-197,Apr.1998.

- [3] Matthew W. Moskewicz, ”Chaff: Engineering an Efficient SAT Solver” ,IEEE xplore (2001)
- [4] Joao P. Marques-Silva, “GRASP: A Search Algorithm for Propositional Satisfiability”, IEEE TRANSACTIONS ON COMPUTERS (1999).
- [5] T. Larrabee. “Test pattern generation using Boolean satisfiability”, IEEE Trsnsactions on Computer-Aided Design of Integrated Circuits, Vol. 11, No.1, pp.4-15, 1992.
- [6] 松永祐介 “SAT ソルバを用いた高速なテスト生成手法の開発” (2014) Design Automation Symposium Aug.2014
- [7] J.Savir and S.Patil “On Borad-Side Delay Test” VLSI Test Symposium, pp.284-290 Sept.1994
- [8] A.Krstic and K.T.Cheng, "Delay Fault Testing for VLSI Circuits,“ Kluwer Acaademic Publishers,1998.

表 1. テスト生成実験結果

回路名	テスト生成のみ		故障シミュレーション併用 2値		故障シミュレーション併用 3値	
	実行時間[s]	テスト パターン数	実行時間[s]	テスト パターン数	実行時間[s]	テスト パターン数
s208	0.02	106	0.03	46	0.04	69
s344	0.02	458	0.02	190	0.09	417
s510	0.05	601	0.02	290	0.19	357
s641	0.05	312	0.04	240	0.14	295
s953	0.17	995	0.26	441	1.47	603
s1423	0.52	1932	5.25	1455	7.96	1769
s1494	0.28	1110	0.43	419	1.69	510
s5378	1.62	4201	118.40	3561	395.60	4196
s9234	3.12	8648	860.80	7093	1195.12	8257