

遅延値を考慮した SAT を用いた 抵抗性オープン故障のテスト生成法

日大生産工(院) ○錦織 誠 日大生産工 山崎 紘史 日大生産工 細川 利典
京産大 吉村 正義 日大生産工 新井 雅之 徳島大 四柳 浩之 徳島大 橋爪 正樹

1 まえがき

従来, 大規模集積回路 (Large Scale Integrated circuits: LSI) のテストには縮退故障モデルや遷移故障モデルが広く用いられている。これらの故障モデルは取り扱いが容易でかつ, 多くの欠陥が縮退故障用のテストや遷移故障用のテストで検出できることなどが利点として挙げられる。

一般的に組合せ回路のテスト生成にはDアルゴリズム, PODEM[1], FAN[2], SOCRATES[3]などの経路活性化を用いてきた。しかしながら, 近年の半導体技術の急速な進歩に伴い, 回路の大規模化, 複雑化による故障モデルの複雑化やテスト生成時間の増大という問題が起きている。これを解決する手法の一つとして, SAT (Satisfiability problem) を用いたテスト生成手法が提案されている[10]。これは, 論理回路を乗法標準形 (Conjunctive Normal Form: CNF) の式に変更し, CNF式全体を真 (1) にできる割当てが存在するか否か, という問題を解くことにより, 新しい故障モデルにも対応可能でかつ従来よりも高速なテスト生成が期待できる。

前述のように, LSIの大規模化, 複雑化により, 故障モデルも複雑化している。これにより, 従来取り扱われてきた縮退故障モデルや遷移故障モデル以外にも, ブリッジ故障モデル[5], オープン故障モデル[6-8], 微小遅延故障モデル[9]などの様々な故障モデルが提案され, このような故障モデルに対するテスト生成を検討する必要がある。本論文では, 信号線の半断線の欠陥をモデル化した抵抗性オープン故障モデルを対象とする。これは, 隣接信号線の信号遷移によって故障個所の信号遅延時間が決定される故障モデルである[7,10,11,12,13]。また, 抵抗性オープン故障が発生した信号線には遅延値が与えられるが, これを算出する手法が, 文献[12]で提案されている。この手法による隣接信号線の遷移から計算された遅延を用いることにより, 各信号線の遅延値を取り扱うことのできる故障シミュレータを用いなければ抵抗性オープン故障の検出が困難である。

抵抗性オープン故障に対するテスト生成には様々な手法[10,11,12]が提案され, 特に, SATを用いた方法が提案されている[10,11]。また, 隣接信号線数を限定することにより, 少ないテストパターンでより多くの故障を検出できる手法が考案されている[11]。しかしながら, 文献[11]の場合, 遅延検出用のセンサがチップ時に実装され, テスト時に用いられることが必須であり, センサーのため面積オーバーヘッドが大きくなる。文献[12]の場合, 遷移故障用テストパターン中のビットを変更することで抵抗性オープン故障用テストパターンを生成しているため, テスト生成の結果が遷移故障用テストパターンに依存する。

文献[11]では, 故障個所の遅延値を考慮した故障伝搬経路の選択を行わず, LSI内部にセンサを設け, 隣接信号線の遷移が異なるテストパターンペアが同じ故障伝搬経路を用いていれば出のような経路で伝搬しても故障検出を可能としている。本論文では, 文献[12]と同様に, LSI内部にセンサを設けることを仮定せず, 従来の外部テスト方式で期待値と実測値の比較で故障検出を行うものとする。

本論文では, テスト生成の前段階として, ATPGツールを用いて生成された遷移故障用テストパターンによる故障シミュレーションの結果を評価する。

本論文の構成は以下のとおりである。第2章では, 抵抗性オープンに関して述べる。第3章では, 既存手法の抵抗性オープン故障のテスト生成について述べる。第4章では, 提案手法で用いるSAT式テストパターン生成例を述べる。第5章で実験結果を示した後, 第6章でまとめを述べる。

2 抵抗性オープン故障

抵抗性オープン故障とは, 信号線が部分的に断線することでおこる故障であり, 故障影響は微小遅延となって現れる。図1に, 抵抗性オープン故障モデルを示す。図1において, V_j は故障信号線を示し, $A_1 \sim A_3$ は V_j の隣接信号線を示す。図1に示

A Test Generation Method of Resistive Open Fault Using SAT with Delay Consideration

Makoto NISHIKIORI, Hiroshi YAMAZAKI, Toshinori HOSOKAWA,
Masayoshi YOSHIMURA, Masayuki ARAI,
Hiroyuki YOTSUYANAGI, Masaki HASHIZUME

す通り、抵抗性オープン故障は隣接信号線の遷移によって故障による遅延値が決定する。

抵抗性オープン故障の故障励起関数 EX_{V_j} は、以下の式で計算される[12]。

$$EX_{V_j}(A_1, \dots, A_i, \dots, A_m) = \frac{\sum_{i=1}^m TR_{V_j}(A_i, V_j)}{m} \dots \dots (1)$$

$$TR_{V_j}(A_i, V_j) = \begin{cases} 1 & A_i, V_j \text{が異なる遷移} \\ -1 & A_i, V_j \text{が同じ遷移} \dots \dots (2) \\ 0 & A_i \text{が} 1(0) \text{に固定値} \end{cases}$$

A_i は隣接信号線、 V_j は故障信号線を表しており、 m は隣接信号線数を示している。 $EX_{V_j} = 1.0$ となった場合、すべての隣接信号線が故障信号線と逆の遷移を持つことを意味する。

また、抵抗性オープン故障の追加の遅延値の評価式 AD_{V_j} を以下に示す。

$$AD_{V_j} = EX_{V_j}(A_1, \dots, A_i, \dots, A_m) \times CRITICAL + SD \dots \dots (3)$$

$CRITICAL$ は最長パスの遅延値を表し、 SD は遷移故障用テストパターンで検出可能な最小の遅延値を表す。 AD_{V_j} により、抵抗性オープン故障シミュレーションを実行する際の故障個所の遅延値が決定できる。

図1の場合、故障信号線 V_j と異なる遷移の隣接信号線は A_1, A_2, V_j と同じ遷移の隣接信号線は A_3 である。よって、 $EX_{V_j}(A_1, A_2, A_3)$ は $\frac{1}{3}$ となる。また、図1に印加されたテストパターンの $SD = 5$ 、 $CRITICAL = 12$ とした場合、 $AD_{V_j} = 9$ となる。この値を故障シミュレーション時に抵抗性オープン故障による故障個所の遅延として用いている。

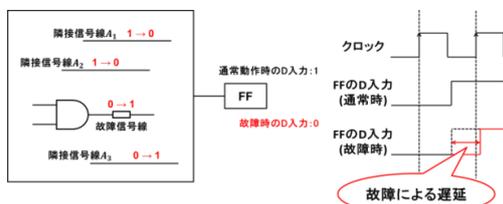


図1. 抵抗性オープン故障モデル

3 提案手法

文献[11]の手法では、テスト時に遅延を観測するオンチップセンサを回路に組み込む必要がある。また、文献[12]の手法では、遷移故障用テストパターンをもとにしているため、抵抗性オープン故障用テスト生成を行う際にその結果

が遷移故障用テストパターンに依存し、多くの抵抗性オープン故障の選出が困難である可能性がある。

本手法では全隣接信号線に故障信号線と逆の遷移を割当てるCNF式と、故障伝搬経路長の長い経路を通してFFに到達させるためのCNF式を遷移故障用SAT-ATPGに追加し、抵抗性オープン故障用テストパターンを生成する。

文献[12]での電磁界シミュレーション結果から、多くの隣接信号線に故障信号線と同じ遷移が割当てられた場合、故障箇所は遷移のタイミングが早まり故障検出が不可能になることから、本手法で生成する隣接信号線のCNF式は故障信号線と異なる遷移、または0(1)の固定値のみが割当てられるよう設定する。図1のモデルを用いた場合の隣接信号線のCNF式を以下に示す。

$$(A_1) \cdot (\overline{A_1}') \cdot (A_2) \cdot (\overline{A_2}') \cdot (A_3) \cdot (\overline{A_3}') \dots \dots (4)$$

式(4)における A_i は1時刻目の隣接信号線を意味し、 A_i' は2時刻目の隣接信号線を意味する。式(4)を用いることで、全隣接信号線には故障信号線と逆の遷移を割当てるのが可能となる。

本手法で生成したテストパターンは、タイムホイールを用いたイベントドリブン方式の故障シミュレーションを実行し故障検出率を算出する。その際、故障信号線の遅延値算出には、故障信号線の遷移が完了するタイミングの前後数 $nsec$ で遷移する隣接信号線のみを対象とする。

図1をもとにした、付加遅延値の算出に用いる隣接信号線の例を図2に示す。

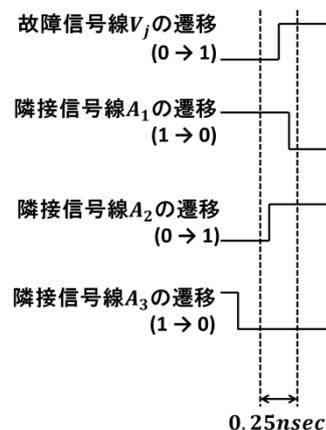


図2. 故障に影響する隣接信号線

図2は、故障信号線 V_j 、隣接信号線 A_2 が0から1への立上り遷移を起こし、隣接信号線 A_1 、

A_3 が1から0への立下り遷移を起こした場合の例である。また、 V_j の遷移が発生する前後0.25nsecで遷移が発生する隣接信号線を付加遅延の計算に用いるとする。図2の場合、指定した範囲で遷移が発生する隣接信号線は A_1 、 A_2 であり、 A_3 は指定した範囲よりも前に遷移が完了している。そのため、隣接信号線 A_3 は付加遅延の計算には使用せず、隣接信号線 A_1 、 A_2 を用いて付加遅延の計算を行う。

本手法では、故障信号線に7kΩの抵抗値が生じ、隣接信号線の影響がない場合、故障信号線はゲート2段分遅延すると仮定する。その際の信号線の付加遅延値を以下の式(5)、(6)を用いて計算を行う。

$$AD_{V_j} = Delay \times (SL_{V_j}(A_1, \dots, A_m) \div CL_{V_j}) \dots \dots (5)$$

$$SL_{V_j}(A_1, \dots, A_m) = \sum_{i=1}^m (AL_i \times TR_{V_j}(A_i, V_j)) \dots \dots (6)$$

式(5)における AD_{V_j} は提案手法における抵抗性オープン故障の付加遅延値を示し、 $Delay$ は隣接信号線の影響がない場合の故障信号線の遅延値であり、 $SL_{V_j}(A_1, \dots, A_m)$ は故障信号線が持つ全隣接信号線の併走距離を基にしたコストの合計である。また、式(5)の CL_{V_j} は実際に回路内部で故障が起こった際に隣接信号線の影響が表れる、ゲート1段当たりの隣接信号線の並走距離である。式(6)における AL_i は*i*番目の隣接信号線の並走距離を示し、 $TR_{V_j}(A_i, V_j)$ は式(2)を用いる。

図2の例を用いた場合、付加遅延の計算に用いる隣接信号線数は A_1 、 A_2 の2本となる。また、 $AL_1 = 61$ 、 $AL_2 = 20$ 、 $CL_{V_j} = 40$ 、 $Delay = 0.2$ の場合、 $SL_{V_j}(A_1, A_2) = (61 \times 1) + (20 \times (-1)) = 41$ 、 $AD_{V_j} = 0.2 \times (41/40) = 0.2$ となる。

故障シミュレーションで用いるタイムホイールの上限は、各回路の論理合成時に設定したクロック周期に1付加した時刻を確保し、式(5)で求めた追加の遅延値を加えた故障信号線の時刻がクロック周期として設定した値よりも大きくなった場合、その故障は検出されたもとする。例えば、論理合成時にクロック周期を16とした場合、タイムホイールではクロック周期は17として故障シミュレーションで用いる。

4 実験結果

本章では、抵抗性オープン故障のテスト生成を行う前段階として、設定したクロック周期に対して、生成した遷移故障用テストパターンではどれだけ周期との差があるかを調査した。

対象回路はDesign Compilerを用いて論理合成したEX2[14]、EX4[14]、MAHA[14]、SEHWA[14]、KIM[14]、DFCT[15]、ARF[16]、BPF[16]、FFT[16]、FIG17[17]、DIV[18]、MUL[18]の12回路、使用計算機はIntel Core i5(3.00GHz)、メモリ容量は4.00GB、テスト生成ツールはTetraMaxである。表1に、実験結果を示す。

表1におけるクロック周期は、回路中の動作が終了する時刻であり、最長遷移時刻はテストパターンを印加した場合の最長の遷移時刻である。

表1より、全回路が設定したクロック周期の約半分の時刻で遷移が終了していることが分かる。このことから、故障信号線の付加遅延値が非常に大きい場合を除いて故障が検出不可能となる。

表1. 実験結果

| 回路名 | テストパターン数 | クロック周期 | 最長遷移時刻 |
|------------|----------|--------|--------|
| GATE_ARF | 605 | 16000 | 8529 |
| GATE_BPF | 736 | 14000 | 8050 |
| GATE_DFCT | 315 | 16000 | 8860 |
| GATE_DIV | 88 | 8000 | 4797 |
| GATE_EX2 | 542 | 14000 | 7607 |
| GATE_EX4 | 138 | 12000 | 7559 |
| GATE_FFT | 485 | 14000 | 8531 |
| GATE_FIG17 | 701 | 16000 | 5987 |
| GATE_KIM | 299 | 10000 | 5864 |
| GATE_MAHA | 243 | 10000 | 5770 |
| GATE_MUL | 48 | 8000 | 429 |
| GATE_SEHWA | 228 | 10000 | 5829 |

5 まとめ

本論文では、SAT-ATPGを用いた抵抗性オープン故障のテスト生成手法を述べ、実験結果ではその前段階として、生成された遷移故障用テストパターンを回路に印加した際のクロック周期との差を求めた。

実験結果より、全回路において論理合成時に設定したクロック周期の約半分の時刻で遷移が完了していた。これは、テスト生成時に短いパスを通過して故障を観測していることが考えられる。

今後の課題として、パス遅延故障、微笑遅延故障用テストパターンを用いた場合のクロック周期との差の調査、故障シミュレーションの実装、隣接信号線に対する制約、および故障伝搬

経路に対する制約をSAT-ATPGに組み込み、テスト生成を実行することが挙げられる。

「参考文献」

- [1] H. Fujiwara and T. Shimono, "On the acceleration of test generation algorithms," IEEE Trans. Comput., vol. C-31, pp. 1137-1144, 1983.
 - [2] P.Goel, "An implicit enumeration algorithm to generate tests for combinational logic circuits," IEEE Trans. Comput., vol. C-31, pp.215-222. 1981.
 - [3] Michael H. Schulz, Erwin Trischler "SOCRATES : A Highly Efficient Automatic Test Generation System," IEEE Transactions on Computer- Aided Design, Vol 7 No 1, pp.130, 1988.
 - [4] 松永祐介 "SAT ソルバを用いた高速なテスト生成手法の開発", DA シンポジウム, pp.209-214, 2014
 - [5] 藤原 秀雄, "ディジタルシステムの設計とテスト, 工学図書株式会社", 2004
 - [6] Haluk Konuk, "Voltage- and Current-Based Fault Simulation for Interconnect Open Defects", Computer-Aided Design of Integrated Circuits and Systems, p.1768-1779. 1999,
 - [7] James C. -M. Li, Chao-Wen Tseng, and E. J. McCluskey, "Testing for Resistive Opens and Stuck Opens" Test Conference, pp.1049-1058. 2001
 - [8] Yoshinobu Higami, Hiroshi Furutani, Takao Sakai, Shuichi Kameyama and Hiroshi Takahashi, "Test Pattern Selection for Defect-Aware Test," Test Symposium (ATS) , p.102-107. 2011
 - [9] Sudhakar M. Iledy, Irith Pomeranz and Seiji Kajihara, "On the effects of Test Compaction on Defect Coverage," VLSI Test Symposium , pp.430-435. 1996
 - [10] Jun Yamashita, Hiroyuki Yotsuyanagi, Masaki Hashizume, Yoshinobu Higami and Hiroshi Takahashi, "On SAT-based Test Generation for Observing Delay Variation Caused by a Resistive Open Fault and Its Adjacent Lines," Design of Paper of the 14-th IEEE Workshop on RTL and High Level Testing, pp.IV.2.F-1- IV.2.F-6. Yilan, Taiwan, Nov. 2013
 - [11] Jun Yamashita, Hiroyuki Yotsuyanagi, Masaki Hashizume, Yoshinobu Higami and Hiroshi Takahashi, "On SAT-based Test Generation for Resistive Open Fault Using Delay Variation Caused by Effect of Adjacent Lines," Proc. of the 15-th IEEE Workshop on RTL and High Level Testing, pp.49-53. Nov. 2013
 - [12] 高橋 寛, 樋上 喜信, 首藤 裕太, 高棟祐司, 高松 雄三, 堤 利幸, 山崎 浩二, 四柳 浩之, 橋爪 正樹, "抵抗性オープン故障のモデル化とそのテスト生成について," 電子情報通信学会, pp.19-24, February 2010
 - [13] Hiroshi Takahashi, Yoshinobu Higami, Yuzo Takamatsu, Koji Yamazaki, Toshiyuki Tsutsumi, Hiroyuki Yotsuyanagi and Masaki Hashizume, "A method for Diagnosing Resistive Open Faults with Considering Adjacent Lines," Proc. Int. Sympo. on Communication and information Technology, pp.609-614. 2010
 - [14] M.T.-C.Lee, "High-Level Test Synthesis of Digital VLSI Circuits," Artech House Publishers, 1997.
 - [15] Ian G. Harris and Alex Oraign, "Testability Improvement in High-Level Synthesis Through Reconvergence Reduction", In Proceedings of the Asilomar Conference on Signals, Systems and Computers, pp.1919-203 ,1996.
 - [16] S. P. Mohanty, N. Ranganathan, E. Kougianos, and P. Patra, "Low-Power High-Level Synthesis for Nanoscale CMOS Circuits," Springer, 2008.
 - [17] T. Kim, N. Yonezawa, J. W. S. Liu, and C. L. Liu, "A Scheduling Algorithm for Conditional Resource Sharing-A Hierarchical Reduction Approach," IEEE trans. On Computer Aided Design for Integrated Circuits and Systems, Vol. 13, No.4, pp.425-438, 1994.
- J. L. Hennessy and D. A. PATTERSON, "Computer Organization and Design," 5th Edition, Morgan Kaufmann, 2013.