

ユニバーサル論理故障診断のための被疑故障ランキングの評価

日本大学生産工(院) ○高野秀之 日大生産工(院) 山崎紘史

日大生産工 細川利典 明大 山崎浩二

1. はじめに

半導体微細化技術の進歩に伴い、超大規模集積回路 (Very Large Scale Integrated circuits: VLSI) において、異常動作の物理的な原因を特定する故障解析[1]は、歩留まりの向上のために重要である。故障解析では、電子顕微鏡などを用いて故障 VLSI 内部の観測を行うため、多大なコストを要する。そのため、故障 VLSI に存在する可能性のある故障 (被疑故障) の数を事前にできる限り絞り込んでおく故障診断が、故障解析コストの低減のために重要となる。故障診断では、故障 VLSI の異常な外部出力応答を裏付けることのできる故障箇所を推定する。

組合せ回路やフルスキャン設計された順序回路における単一縮退故障モデルの故障診断手法は様々なものが提案されており、被疑故障数も大きく削減できることが報告されている。順序回路の診断でも、故障モデルを縮退故障などに限定すれば、故障シミュレーションを実行することで被疑故障を絞り込むことが可能である。しかしながら、特定の故障モデルに限定しない診断を行うことは、容易ではない。これは、順序回路中の故障は、故障が励起されてから、その影響が外部出力まで伝搬するまでのサイクル数が多いことがあり、その場合、故障の振る舞いが多重故障と同様となるためである。

一般に故障診断では、故障検出用に生成されたテスト集合が用いられている。従来のテスト生成は縮退故障を対象としたものが多いが、近年、テスト品質を更に向上させるためには遅延テストや実速度機能テストが必要であることが報告されている。そのため、スキャンテストのキャプチャモードにおいて順序動作を複数サイクル間実行してテストを行うマルチサイクルキャプチャテストが注目されている。[13-15]

縮退故障や遅延故障に対する従来のスキャンテストはキャプチャモードでの順序動作は1または2サイクルのみである。一方、マルチサイクルキャプチャテストでは、複数サイクル間の順序動作を実行するので、従来のスキャンテストでは検出できなかった欠陥を検出できる可能性が高まると考えられる。

マルチサイクルキャプチャテストでは、順序動作を実行するが、そのサイクル数は限定されており、それ

程長くない。本論文ではこの点に着目し、順序回路における単一論理故障をマルチサイクルキャプチャテストを用いて診断する手法を提案し、その性能を評価する。第2章では故障診断法について述べる。第3章では被疑故障のランキング方式について述べる。第4章では実験結果について述べる。

2. 故障診断法

2.1. 故障モデルを限定した診断法の問題点

図2は(A,B,C,E)=(1,1,0,1)を印加して信号線AB間にブリッジ故障が欠陥として存在する不良VLSIのテストを実行した結果、外部出力Jで期待値と同じ値が観測できた不良VLSIを、縮退故障シミュレーションを用いて被疑故障集合を絞り込む処理を示す。

現時点での被疑故障集合Fを、 $F=\{A/0, B/0, G/0\}$ と仮定する。(A,B,C,E)=(1,1,0,1)でA/0とB/0が検出でき、G/0は検出できない。それゆえ、 $F-\{A/0, B/0\}=\{G/0\}$ となり、被疑故障はG/0となる。

本来信号線AとBに物理欠陥が存在しているにもかかわらず、信号線AとBの縮退故障は観測値を説明できず、信号線Gの縮退故障が観測値を説明できるので、被疑故障信号線はGと診断され、誤診断を行う。

本論文では誤診断を防ぐために、故障モデルを限定しない診断用故障モデルを提案する。

2.2. ユニバーサル論理故障モデル

本論文では論理関数を変化させる論理故障を特に分類せず、ゲートの故障をまとめて取り扱う。なお、マルチサイクルキャプチャテストの故障診断では、被検査回路を時間展開して考えるため、単一故障であっても複数の時刻で誤りが生じ得る。本論文では、マルチサイクルキャプチャテストの時間展開数k時間の中で、故障が励起される時刻に基づいて故障をモデル化する。この故障モデルをユニバーサル論理故障モデルと呼ぶ。

図2および表1に、3サイクルキャプチャテストの場合のユニバーサル論理故障モデルの例を示す。表1は、ある信号線nに対し、各時刻で誤りが生じるときをF、生じないときをPで示している。例えば表1の動作4は、1時刻目に信号線nの値が期待値と異なる値をとり、2時刻目、3時刻目では期待値と等しい値を

An Evalution of Suspicious Candidate Ranking for Universal Logical Fault Diagnosis

Hideyuki TAKANO, Hiroshi YAMAZAKI, Toshinori HOSOKAWA, and Koji YAMAZAKI

とることを表している。

表 1 より、k サイクルキャプチャテストの場合、ある信号線 n に対して、誤りが現れる時刻の組合せは、通りであることがわかる。本論文の診断手法では、この通りの組み合わせすべてに関して振舞いをシミュレーションする。

2.3. 故障シミュレーション法

2.3.1. 故障シミュレーション法

故障シミュレーション法[10]は、すべての診断対象故障について、その故障が存在するときの回路動作をシミュレーションにより求め、外部出力で観測された出力応答と一致する故障を被疑故障とする手法である。ユニバーサル論理故障を対象とした故障シミュレーション法ではフェイルテストのみを用いて故障診断を行う。パステストを診断に用いない理由は、単一ユニバーサル論理故障モデルでは故障の励起条件が不明であるため、パステストでの故障の励起の有無を判断できないためである。

2.3.2. ユニバーサル論理故障モデルの故障シミュレーション法

本論文では、任意の論理故障を対象として故障診断を行う。単一ユニバーサル論理故障に故障シミュレーション法を適用するには、図 4 と表 1 で例示したような、考えるすべての誤りの組み合わせについて故障シミュレーションを実行し、外部出力のシミュレーション値と観測値を比較する。そして、すべてのフェイルテストに関して両者が完全に一致したものを被疑故障とする。

表 2 に、3 サイクルキャプチャテストにおける、ある信号線 n, m に関する故障診断の例を示す。表 2 の ft1, ft2 はフェイルテストを示しており、n, m の列はシミュレーション値を、観測値の列は ft1, ft2 を印加したときの観測値を示す。ft1 を印加した際、信号線 n, m は共に観測値を説明できる動作が存在するので、ft2 のシミュレーションを実行する。ft2 を印加した際、信号線 n においては動作 FPP が観測値を説明できるが、信号線 m は観測値を説明できる動作が存在しない。よって、信号線 n においては動作 FPP をとり、ft2 で動作 FPP をとる論理故障が被疑故障と判定される。したがって、信号線 m は被疑故障信号線と判定されず、信号線 n が被疑故障信号線と判定される。

FPP をとる論理故障と、ft1 で動作 FPP をとり、動作 FPP をとる論理故障が被疑故障と判定される。したがって、信号線 m は被疑故障信号線と判定されず、信号線 n が被疑故障信号線と判定される。

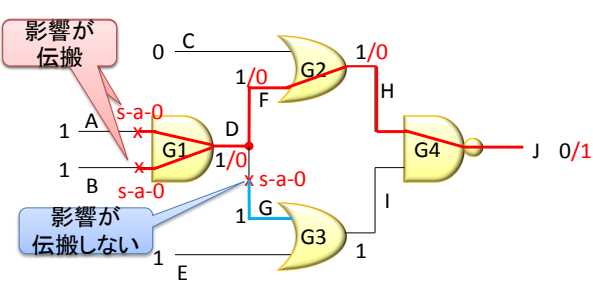


図 1. 誤診断が起こってしまう診断例

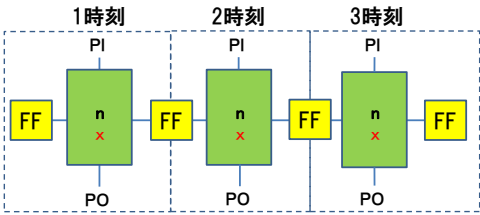


図 2. 論理故障概念図(k=3)

表 1. 論理故障の動作

動作	時刻		
	1	2	3
動作1	P	P	F
動作2	P	F	P
動作3	P	F	F
動作4	F	P	P
動作5	F	P	F
動作6	F	F	P
動作7	F	F	F

表 2. ユニバーサル論理故障診断例(k=3)

動作	時刻			n		m		観測値	
	1	2	3	ft1	ft2	ft1	ft2	ft1	ft2
動作1	P	P	F	01	01	11	10	00	11
動作2	P	F	P	11	10	01	10		
動作3	P	F	F	10	01	10	01		
動作4	F	P	P	00	11	01	00		
動作5	F	P	F	11	01	00	01		
動作6	F	F	P	00	00	00	00		
動作7	F	F	F	11	11	11	10		

2.4. ユニバーサル論理故障モデルを用いた故障診断法

ユニバーサル論理故障モデルを用いた故障シミュレーション法は、被疑故障数は少ないが診断時間が長い。したがって、本手法では前処理として誤り経路追跡法によって被疑故障集合を絞り込んでから故障シミュレーション法を行うことで、高速かつ高精度な故障診断を行う。

3. 被疑故障のランキング

ユニバーサル論理故障診断では、故障モデルを限定しないために被疑故障が多数出てしまう。これは、ファンアウトフリーリージョン(Fan-out Free Region:F FR)内の信号線ごとの故障励起条件を考慮できないた

め、同 FFR 内の故障を区別できないことが原因の一つであり、被疑故障の推定箇所対象を FFR に拡大すると、被疑故障箇所は絞り込めているといえる。

しかしながら、故障伝搬条件の一致などにより、FFR 単位でも被疑故障箇所を絞り込めない場合が存在する。したがって、本論文では被疑故障 FFR にランク付けを行う。

本論文では、同じ伝搬経路で故障を検出する際、入力側に近い故障のほうが伝搬に必要な条件が多く、より偶発的な要素を含まないと考えられる[11]ので、入力側に近い FFR ほどランクが高くなるようにランキングを行う。

4. 実験結果

本論文では、オープン故障を欠陥とした不良 VLSI に対し、ユニバーサル論理故障診断法を適用し、その診断結果について評価した。

また、被疑故障 FFR をランキングし、ランキングの有用性を評価した。

本実験では、5 種類の ISCAS'89 ベンチマーク回路に対して、オープン故障が発生した不良 VLSI をそれぞれ 100 回路用意し、ユニバーサル論理故障診断法を適用し、被疑故障数、診断性能、ランキングの有用性を評価した。

4.1. 被疑故障数

表 3 にオープン故障を診断した際の被疑故障数を示す。被疑故障数は、左から被疑故障数の平均、最大、最小、最頻値、被疑 FFR 数は、左から平均、最大、最小、最頻値、を示す。

表 3 より、被疑故障信号線単位でみると、ユニバーサル論理故障診断は被疑故障数が多くなる傾向が見られた。しかしながら、被疑故障箇所の推定対象を FFR 単位に広げると、多くの回路において被疑故障箇所を 1 か所に特定できていることがわかる。

4.2. 性能評価

4.2.1. Prediction, Nonprediction, Misprediction

故障診断アルゴリズムがどの程度正確に物理欠陥を推定できたかを評価するために、Prediction, Nonprediction, Misprediction となった不良 VLSI 数を用いる。Prediction は、挿入した故障が被疑故障に含まれていることを表し、Nonprediction は被疑故障集合が空集合であることを、Misprediction は被疑故障集合が空集合でなくかつ実際に挿入した欠陥が含まれていないことを表す。Nonprediction と Misprediction は被疑故障集合の中に実際に挿入した欠陥が含まれていないことを表すので、これらの数は 0 であることが望ましい。

4.2.2. 診断性能表

表 4 にオープン故障を挿入した不良 VLSI を診断した際の診断性能を示す。診断性能は、左からユニバー

サル論理故障診断法を適用した際の Prediction, Nonprediction, Misprediction 数を示す。この表から、すべて Prediction と判定されているので、すべての不良 VLSI に対してユニバーサル論理故障診断法は正確に診断できていることがわかる。

4.3. 被疑故障 FFR のランキング結果

表 5 に被疑故障 FFR に対して 3 章で述べたランキング方式を適用した結果を示す。表 5 は左から、挿入した欠陥の平均順位、最頻値、挿入した欠陥が 1 位であった割合、2 位であった割合、3 位以上であった割合を示している。

表 5 より、多くの回路で平均して挿入した欠陥は被疑故障ランキング 2 位以上として診断できていることがわかる。

しかしながら、s35932 回路においては、多くの回路において挿入した欠陥が下位にランキングされてしまうというランキング結果が見られた。これは、別 FFR に所属しながらも検出条件が等しく、それらの FFR が接続関係にあるような信号線について区別できなかったためだと考えられる。

5. おわりに

順序回路における単一ユニバーサル論理故障をマルチサイクルキャプチャテスト集合を用いて診断する手法を提案し、その性能を評価した。また、被疑故障 FFR に対するランキング方式を提案し、その有用性を評価した。ランキング方式は s35932 以外の回路に対しては有効であった。今後の課題として、ランキング方式の改善が挙げられる。

参考文献

- [1] H.Y.Chang, E.Manning, and G.Metze: "Fault Diagnosis of Digital Systems," John Wiley & Sons, Inc., 1970.
- [2] V.Boppana and W. K. Fuchs, "Fault dictionary compaction by output sequence removal," Proc. ICCAD, pp.287-296, 2001.
- [3] S. D. Millman, E. J. McCluskey and J. M. Acken, "Diagnosing CMOS Bridging Faults with Stuck-at Fault Dictionaries," Proc. ITC, pp.860-870, 1990.
- [4] S. Venkataraman and S. B. Drummonds, "A technique for logic fault diagnosis of interconnect open defects," Proc. VTS, pp.313-318, 2000.
- [5] I. Hartanto, S. Venkataraman, W. K. Fuchs, E. M. Rudnick, J. H. Patel, S. Chakravarty, "Diagnostic simulation of stuck-at faults in sequential circuits using compact lists," ACM Transactions on Design Automation of Electronic Systems (TODAES), pp.471-489, Volume 6, Issue 4, October 2001.
- [6] Y. Benabboud, A. Bosio, L. Dilillo, P. Girard, S. Pravossoudovitch, A. Virazel, and O. Riewer, "Delay Fault Diagnosis in Sequential Circuits," Proc. ATS, pp.355-360, 2009.

- [7] T. Yamada, K. Yamazaki, and E. J. McCluskey, "A Simple Technique for Locating Gate-Level Faults in Combinational Circuits," Proc. ATS, pp.65-70, 1995.
- [8] S. Venkataraman and S. B. Drummonds, "Poirot: Applications of a Logic Fault Diagnosis Tool," Design & Test of Computers, Vol.18, No.1, pp.19-30, 2001.
- [9] T. Bartenstein, D. Heaberlin, L. Huisman, and D. Sliwinski, "Diagnosing combinational logic designs using the single location at-a-time (SLAT) paradigm," Proc. ITC, pp.287-296, 2001.
- [10] R. D. Blanton, J. T. Chen, R. Desineni, K. N. Dwarakanath, W. Maly, and T. J. Vogels, "Fault Tuples in Diagnosis of Deep-Submicron Circuits," Proc. ITC, p.233-241,2002.
- [11] X. Wen, T. Miyoshi, S. Kajihara, L.-T. Wang, K. K. Saluja, and K. Kinoshita, "On per-test fault diagnosis using the X-fault model,"Proc. ICCAD, pp633-640, 2004.
- [12] P.C.Maxwell, R.C.Aitken, R.Kollitz, and A.C.Brown, "IDDQ and AC scan: the war against unmodelled defects,"Proc. ITC, pp.250-258, 1996.
- [13] I.Pomeranz and S.M.Reddy, "Static Test Compaction for Scan-Based Designs to Reduce Test Application Time," Proc. ATS, pp.541-552, 1998.
- [14] I.Pomeranz and S.M.Reddy, "A postprocessing procedure to reduce the number of different test lengths in a test set for scan circuits," Proc. ATS, pp.131-136, 2001.
- [15] J.Abraham,U.Goel and A.Kumar, "Multi-cycle sensitizable transition delay faults," Proc. VTS, pp.306-313,2006.
- [16] T. Yamada and Y. Nakamura, "A method of diagnosing single stuck-at faults in combinational circuits," Systems and Computers in Japan, Vol. 23, Issue 14, pp. 35-44, 1992.

表 3.被疑故障数

回路名	時間展開数	被疑故障数				被疑FFR数			
		平均	最大	最小	最頻値	平均	最大	最小	最頻値
s5378	k=1	7.11	39	1	7	2.50	5	1	1
	k=2	7.68	41	1	3	2.56	5	1	1
	k=3	11.88	126	1	2	3.70	8	1	1
	k=4	25.60	947	1	3	5.90	19	1	1
	k=5	13.63	201	1	3	3.80	23	1	1
s9234	k=1	13.00	43	1	5	3.11	9	1	1
	k=2	32.86	145	2	5	6.86	24	1	1
	k=3	41.00	278	1	5	7.67	51	1	1
	k=4	12.90	46	1	7	2.00	19	1	1
	k=5	22.75	97	5	5	3.25	13	1	1
s13207	k=1	12.00	56	1	5	2.90	15	1	1
	k=2	6.40	13	1	5	1.60	3	1	1
	k=3	5.10	43	1	5	1.50	14	1	1
	k=4	12.30	43	2	5	3.30	15	1	1
	k=5	14.22	65	1	5	3.44	18	1	1
s35932	k=1	13.33	22	1	2	4.89	7	1	1
	k=2	12.50	22	1	1	5.10	9	1	1
	k=3	14.78	27	2	2	5.78	9	2	1
	k=4	11.89	24	1	2	5.44	7	2	1
	k=5	12.75	27	1	1	4.25	7	1	1
s38584	k=1	7.55	21	2	3	1.36	3	1	1
	k=2	7.91	33	1	4	1.82	3	1	1
	k=3	4.64	17	1	2	1.64	4	1	1
	k=4	5.22	9	1	4	1.78	3	1	1
	k=5	8.64	19	1	4	1.82	5	1	1

表 4.性能評価

回路名	時間展開数	診断分布		
		pre	non	mis
s5378	k=1	100	0	0
	k=2	100	0	0
	k=3	100	0	0
	k=4	100	0	0
	k=5	100	0	0
s9234	k=1	100	0	0
	k=2	100	0	0
	k=3	100	0	0
	k=4	100	0	0
	k=5	100	0	0
s13207	k=1	100	0	0
	k=2	100	0	0
	k=3	100	0	0
	k=4	100	0	0
	k=5	100	0	0
s35932	k=1	100	0	0
	k=2	100	0	0
	k=3	100	0	0
	k=4	100	0	0
	k=5	100	0	0
s38584	k=1	100	0	0
	k=2	100	0	0
	k=3	100	0	0
	k=4	100	0	0
	k=5	100	0	0

表 5.ランキング結果

回路名	時間展開数	平均順位	最頻値	順位割合(%)		
				1位率	2位率	3位以下率
s5378	k=1	1.50	1	10.42	11.46	13.54
	k=2	1.99	1	14.89	17.02	24.07
	k=3	1.91	1	22.22	14.44	20.00
	k=4	2.06	1	17.24	12.64	26.44
	k=5	1.85	1	16.85	20.22	19.10
s9234	k=1	1.41	1	36.71	20.25	6.33
	k=2	1.53	1	43.53	25.88	7.06
	k=3	1.44	1	43.59	19.23	8.97
	k=4	1.51	1	43.42	17.11	13.16
	k=5	1.38	1	48.68	25.00	3.95
s13207	k=1	1.27	1	10.31	8.25	7.22
	k=2	1.65	1	15.05	22.58	13.98
	k=3	1.78	1	14.43	13.40	17.53
	k=4	1.81	1	17.20	18.28	21.51
	k=5	2.01	1	18.28	20.43	13.98
s35932	k=1	3.49	1	14.74	9.47	49.47
	k=2	4.09	1	9.89	4.40	59.34
	k=3	3.99	1	4.26	8.51	55.32
	k=4	4.13	1	4.26	6.38	56.38
	k=5	4.13	1	5.32	2.13	57.45
s38584	k=1	1.59	1	10.71	16.67	9.52
	k=2	1.56	1	11.11	17.28	6.17
	k=3	1.55	1	7.32	12.20	7.32
	k=4	1.63	1	7.41	13.58	9.88
	k=5	1.79	1	9.52	11.90	11.90