

自己組織化マップを用いたテストパターンの消費電力特性の評価

日大生産工(院) ○平井 淳士 日大生産工 山内 ゆかり 日大生産工 細川 利典
日大生産工 新井 雅之 九大(院) 吉村 正義

1. はじめに

近年、電子情報機器のモバイル化・省エネ化に伴い、低消費電力 LSI(Low-Power Large Scale Integrated circuits)への需要は年々高まっている。しかしながら、LSI が通常動作する時の機能電力に対し LSI テスト時の消費電力は相対的に高く [1]、過熱による回路の破壊 [2] や、誤テスト [3] などの問題を引き起こしている。

一般に、同期式順序回路のテストでは、フルスキャン設計と組合せ回路用の ATPG(Automatic Test Pattern Generation) に基づくスキャンテストが用いられる。フルスキャンテストでは、すべてのフリップフロップ(FF)がスキャンフリップフロップに置き換えられ、シフトとキャプチャの 2 つのモードを利用して組合せ回路部のテストを行う。シフトモードでは、スキャン FF はテストから直接制御・観測可能なシフトレジスタに接続され、シフトインによるテストパターンの印加やシフトアウトによるテスト応答の観測に使用される。キャプチャモードでは、組合せ回路部からのテスト応答をキャプチャする。その結果、フルスキャンテストでは、スキャン FF を疑似的な外部入力・外部出力とみなすことができ、組合せ回路のテストと同様に扱うことができる [4]。スキャンテストにおいて、すべてのスキャン FF に同時にテストパターンを印加するため、機能動作時と比較して過度の電力を消費し、回路の熱破壊や誤テストによる歩留りの低下といった問題を引き起こす危険性がある。スキャンテストにおける消費電力問題にはシフト消費電力とキャプチャ消費電力があるが、本論文ではキャプチャ消費電力に着目する。一般に、キャプチャ消費電力の削減はテストパターンの変更に基づく方法とテスト生成に基づく方

法がある。テストパターンの変更には、ドントケア抽出 [] とドントケア割当て [7,8,9] が用いられており、テストキューブ中の未定値ビット(X ビット)に 0 と 1 を適切に割当ててことで低キャプチャ消費電力ベクトルを得る。しかしながら、これらの手法の効果は初期のテスト集合に依存するという問題があるため、キャプチャ消費電力の更なる削減のためには、テスト生成の段階からキャプチャ消費電力問題を考慮する必要がある。一方で、低消費電力向けのテスト生成では、キャプチャ時にスキャン FF で論理値の遷移が発生しない制約を設定する方法が提案されているが、テスト生成時間が膨大でかつ、テスト生成に失敗する場合があります。実用的でない。本稿では、「キャプチャ時消費電力問題はテスト生成時の故障伝搬経路選択に依存する」という仮説を立て、コホネンの自己組織化マップ(SOM) [10] を用いたキャプチャ消費電力特性の解析を行う。本論文の構成は以下の通りである。第 2 章では、SOM の入力ベクトルとして与える故障活性化信号線集合を定義し、第 3 章では SOM について説明する。第 4 章では、SOM を用いたキャプチャ消費電力特性の解析方法について示し、第 5 章で実験結果を述べる。また、第 6 章で実験結果を考察し、今後の展望について述べる。また、本論文では遷移故障モデルを対象としたブロードサイドテストを対象に解析を行った。

2. 故障活性化信号線集合

あるテストパターンにおいて、そのテストパターンで励起可能な故障影響の少なくとも 1 つが伝搬する信号線を故障活性化信号線と定義する。本論文で自己組織化マップの入力ベクトルとして用いる故障活性化信

An Evaluation of Power Characteristics for Test Patterns Using Self-Organizing Map

Atsushi HIRAI, Yukari YAMAUCHI, Toshinori HOSOKAWA,
Masayuki ARAI and Masayoshi YOSHIMURA

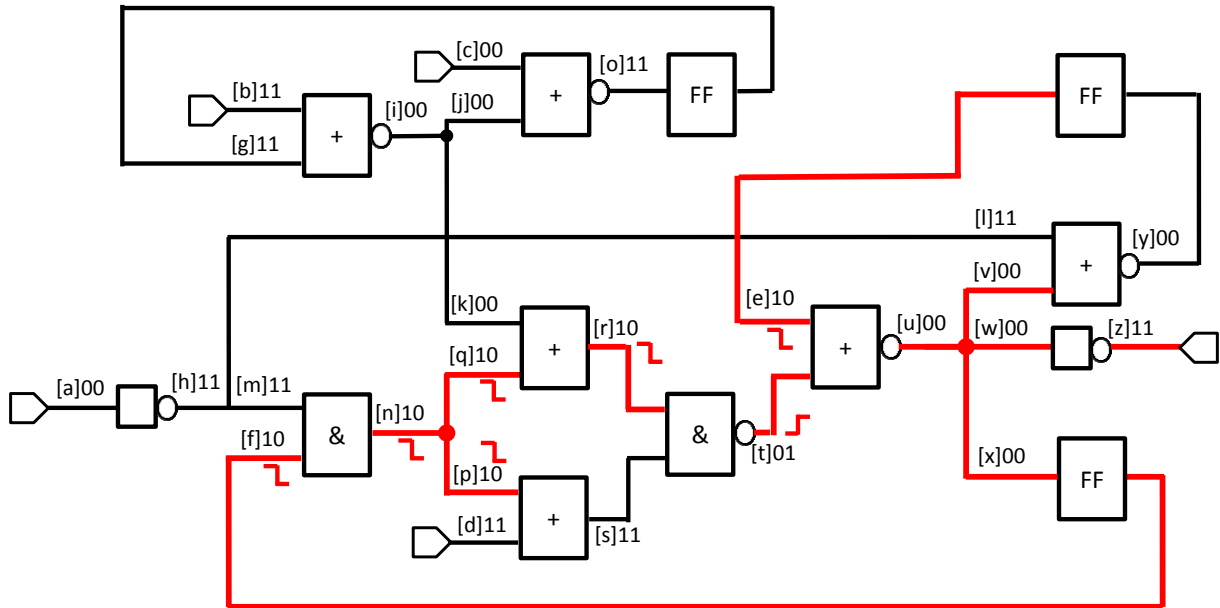


図 2-1. 故障活性化信号線集合

号線集合とは、故障活性化信号線の集合である。故障活性化信号線集合の同定には故障シミュレーションを利用する。図 2-1 で ISCAS'89 ベンチマーク回路 s27 を例に故障活性化信号線集合について説明する。図 2-1 において、括弧内に示されたアルファベットは信号線識別子であり、その横の値は論理シミュレーションにより算出された各信号線の 1 時刻目と 2 時刻目の論理値ペアを示す。例えば、信号線 e では、1 時刻目の論理値が 1 であり、2 時刻目の論理値は 0 である。図 2-1 の例では、外部入力に $(a, b, c, d) = (0, 1, 0, 1)$ を、1 時刻目のスキャン FF に $(e, f, g) = (1, 1, 1)$ を割当てて 2 サイクル間シミュレーションを実行した結果を示している。信号線 (e, f, n, p, q, r, t) において論理値の遷移が発生しており、これらの信号線は遷移故障の励起が可能であるとわかる。また、これらの故障影響は信号線 $\{u, v, w, x, z\}$ にも伝搬可能であるので、図 2-1 の例における故障活性化信号線集合は $\{e, f, n, p, q, r, t, u, v, w, x, z\}$ となる。

3. 自己組織化マップ(SOM)

SOM は入力層と競合層から構成され、競合層の各ユニットは、重みベクトルを介して入力層の全てのユニットと結合している。SOM では、提示された入力ベクトルに対して、最も整合する競合層ユニット(勝者ユニット)と競合層上でその近傍に位置するユニット

(近傍ユニット)の重みベクトルを更新する。重みベクトルは、入力ベクトルに近づく方向に更新される。入力ベクトル集合に対して、これらの処理を繰り返すことで、SOM は入力ベクトル集合を低次元に写像する。SOM のアルゴリズムを以下に示す。

Step1 入力ベクトル $x = (x_1, x_2, \dots, x_M)$ を入力層に提示する。ここで M は、入力ベクトルの要素数を表す。

Step2 入力ベクトル x と j 番目の重みベクトル $w_j = (w_{j1}, w_{j2}, \dots, w_{jM})$ とのユークリッド距離 d_j を次式により求める。

$$d_j = \sqrt{\sum_{i=1}^M (x_i - w_{ji})^2} \quad (1)$$

Step3 ユークリッド距離が最小の競合層ユニットを勝者ユニット c と定義し、次式により求める。

$$c = \min\{d_j\} \quad (2)$$

Step4 勝者ユニットと、その近傍ユニットの重みベクトルを次式により更新する。

$$w_j(t+1) = w_j(t) + \alpha_r(t)(x - w_j(t)) \quad (3)$$

ここで、 t は現在の学習の繰り返し回数を表す。 $\alpha_r(t)$ は学習係数であり、近傍の範囲とともに、学習が進行するごとに単調に減少していく。

Step5 Step1 から Step4 をあらかじめ指定された回数繰り返す。

4. 自己組織化マップを用いた消費電力特性解析

本論文では、故障活性化信号線集合の情報を入力とした自己組織化マップを用いてキャプチャ消費電力特性の解析を行う。図 4-1 に本論文で用いる消費電力特性解析の実行例を示す。はじめに、解析に用いる全テストパターンに対して故障活性化信号線集合を求める(①)。算出された故障活性化信号線情報は全信号線数分のビット長をもつバイナリストリングで表現され、対応するビットが 1 の信号線は故障活性化信号線であり、0 の信号線は非故障活性化信号線であることを表す(②)。図 4-1 において、テストパターン 1 の故障活性化信号線集合の要素は{a, b, c, h, i, j, k}である。つぎに、各テストパターンをテスト対象回路に印加した際の消費電力の見積りを行う(③)。本稿では、テストパターンのキャプチャ消費電力の評価に重み付き信号線遷移確率(WSA)を用いる。WSA は次式で与えられる。

$$WSA = \sum_{i=1}^G \text{tran}(g_i) \times (+fanout(g_i)) \quad (4)$$

式(4)において G は回路中の全ゲート数を表し、 $\text{tran}(g_i)$ はゲート g_i の遷移の有無を表す。 $\text{tran}(g_i)$ はゲート g_i に遷移が生じている場合に 1 を、ゲート g_i に遷移が生じていない場合に 0 を返す関数である。最後に、故障活性化信号線集合を入力ベクトルとして自己組織化アルゴリズムを実行し、それぞれのテストパターンの WSA 値に対応する色を彩色する。図 4-1 では、WSA 値の高い(高消費電力)パターンには赤色を、WSA 値の低い(低消費電力)パターンには青色を彩色している。図 4-1 の例では、テストパターン 1 とテストパターン 2 が、テストパターン 3 とテストパターン 4 がそれぞれマップ上の近傍に配置されているため、それぞれの故障活性化信号線集合の類似度が高いことがわかる。また、図 4-1 の例のように、マップ上の近傍に配置されたテストパターン同士が同色に彩色された場合、「故障活性化信号線集合の類似度が高いテストパターンは、キャプチャ消費電力においても類似している」ということを表し、「キャプチャ消費電力問題はテスト生成時の故障伝搬経路選択に依存する」という仮説が概ね正しいと考えることができる。

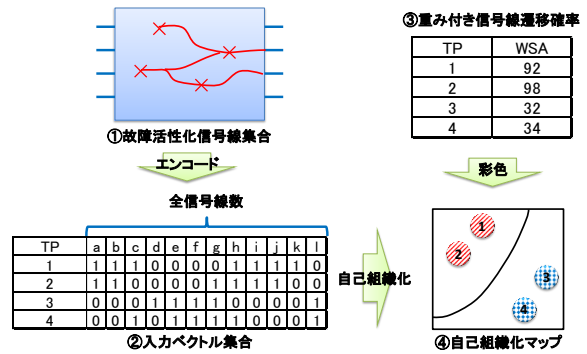


図 4-1. 解析実行例

5. 実験結果

ISCAN'89 ベンチマーク回路 s13207, s38584 に対して自己組織化マップを用いたテスト時消費電力特性解析を実行した結果を示す。本実験では、テスト生成に Synopsys 社の ATPG ツール TetraMax を用いた。初期テスト集合のテストパターン数は s13207 が 310 パターン、s38584 が 412 パターンである。また、実験用プログラムは C 言語で実装し、学習には全入力ベクトルをランダムに 1,000 回繰り返し入力した。マップ上の白のユニットは、いずれの故障活性化信号線集合も配置されなかったユニットである。図 5-1 に s13207 の実験結果を示す。図 5-1 の実験結果では、マップ左上部に WSA 値の高いテストパターンに対応する故障活性化信号線集合が、マップ右下部に WSA 値の低いテストパターンの故障活性化信号線集合が配置されていることから、これらの領域においては、故障活性化信号線集合の類似度が高いテストパターンは WSA 値においても類似していると解釈することができる。しかしながら、マップ中央部では複数の色が混在しており、故障活性化信号線集合が類似するテストパターンが WSA 値において類似しているとは考え難い。図 5-2 に s38584 の実験結果を示す。図 5-2 においても、左下部に WSA 値の高いテストパターンに対応する故障活性化信号線集合が配置されているものの、s13207 の結果と同様に、マップ中央には複数の色が混在する結果となった。一方で、図 5-1, 図 5-2 ともに複数の色が混在するマップ中央部においても、WSA 値に近いテストパターンが多く配置されている部分があり、着色の方法や学習回数、マップサイズを変更することで異なる結果が得られると考えられる。

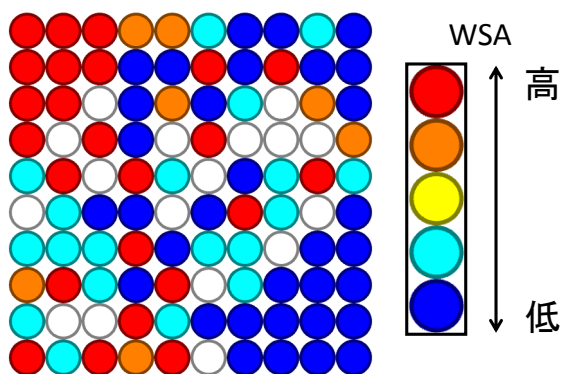


図 5-1. 実験結果(s13207)

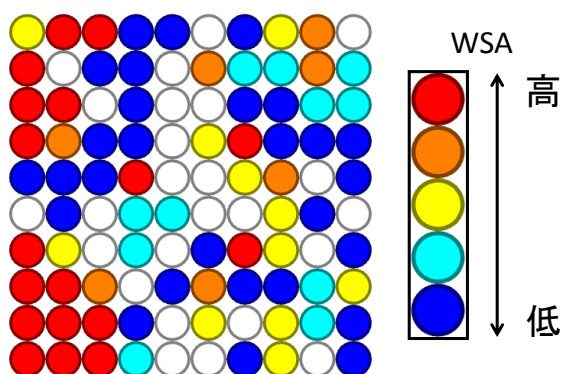


図 5-2. 実験結果(s38584)

6. おわりに

本稿では、フルスキャン順序回路のキャプチャ消費電力特性について、コホネンの自己組織化マップを用いて解析を行った。その結果、一部のテストパターンにおいては、故障活性化信号線集合の類似度とキャプチャ消費電力の類似度に相関があるように見受けられたが、「キャプチャ時消費電力問題はテスト生成時の故障伝搬経路選択に依存する」と解釈できるほどの結果が得られなかったため、解析方法の改善が必要である。

今後は、彩色の方法や学習回数、マップサイズ等を変更して多くのデータを収集し、考察する必要がある。また、今回の実験に用いた回路はベンチマーク回路の一部であり、より大きな回路で実験を行うことで故障伝搬経路とキャプチャ消費電力の関係を詳しく解析することが可能であると考えられるため、今後は大規模な回路を対象に解析を行い、将来的には、キャプチャ消費電力削減の新しい手法として、低キャプチャ消費電力を考慮して故障伝搬経路選択を行うテスト生成手法を考案し、実験を行う予定である。

7. 参考文献

- [1] Y.Zorian, "A Distributed BIST Control Scheme for Complex VLSI Devices," Proc. VLSI Test Symp., PP.4-9, 1993.
- [2] Jaehoon Song, "A Compression Improvement Technique for Low-Power Scan Test Data", IEEE Region 10 Conference., PP12-13, 2006.
- [3] Xiaoqing WEN, Yoshiyuki YAMASHITA, Seiji KAJIHARA, Laung-Terng WANG, Kewal K.SALUJA, Kozo KINOSHITA "A New Method for Low-Capture-Power Test Generation for Scan Testing", IEICE TRANS INF. & SYST., 2006, pp1679-1686.
- [4] M.Abramovici, M.Breuer, and A. Friedman, "Digital System Testing and Testable Design", IEEE Press 1990.
- [5] P.Girad, "Survey of Low-Power Testing of VLSI Circuits", IEEE Design & Test of Computers, Vol.19, No.3, PP.82-92, 2002.
- [6] S. Kajihara, K. Miyase, "On Identifying Don't Care Input of Test Patterns for Combinational Circuit", ICCAD-2001, pp. 364-369, Nov. 2001.
- [7] R.Sankaralingam,R.Oruganti,and N.Touba, "Static Compaction Techniques to control Scan Vector Power Dissipation," Proc.VLSI Test Symp., PP35-40, 2002.
- [8] X.Wen, H.Yamashita, S.Morishima, S.Kajihara, L-T.Wang, K.Saluja, andK.Kinoshita", Low-Capture-Power Test Generation for Scan-Based At-Speed Testing", Proc.Int'l Test Conf., PP1019-1028, 2005.
- [9] Xiaoqing WEN, Yoshiyuki YAMASHITA, Seiji KAJIHARA, Laung-Terng WANG, Kewal K. SALUJA, "A New Method for Low-Capture-Power Test Generation for Scan Testing", IEICE TRANS. INE & SYST. VOLE89-D, NO.5, pp1679-1686, 2006.
- [10] T.Kohonen. "Self-Organizing Map , "Proc.IEEE, vol.78.No.9, PP1464-1480, 1990.