

n 回遷移故障検出率能力向上指向ドントケア割当て法

日大生産工 ○北尾 隆志 日大生産工(院) 若杉 諒介
日大生産工 細川 利典

1. はじめに

従来, 大規模集積回路(VLSI: Very Large Scale Integrated circuits)のテスト生成には縮退故障モデルや遷移故障モデルが広く用いられている. これらの故障モデルは計算機での取り扱いが容易でかつ, 多くの欠陥が縮退故障用のテストや遷移故障用のテストで検出できることなどが利点として挙げられる[1][2].

しかしながら, 近年の VLSI の製造技術の進歩に伴い, 回路の大規模化, 高速化, 複雑化が進み, それに伴って故障モデルも複雑化している. 従来使用されてきた縮退故障検出用テストや遷移故障用のテストでは検出することが困難な欠陥が増加している. そのため, 様々な欠陥を検出できる高品質なテスト集合の生成が必要とされている.

高品質なテスト手法として, n 回検出テスト[3][4]が知られている. n 回検出テストとは, 「回路内の各故障が, 異なる $n(n>0)$ 個以上のテストパターンで検出される」ようなテストである. n 回検出テストの利点として, 既存のテスト生成アルゴリズムの応用で容易に実現可能であり, n の値を増加すればテスト品質も向上するということが知られている[3][4]. しかしながら, n 回検出テストは容易に高品質なテスト集合が生成できる反面, n の値が増加するに伴いテストパターン数が最大 n 倍増加するという欠点知られている[3][4].

本論文は, 遷移故障を対象にした 1 回検出を保証したテスト集合に対して, n 回検出用ドントケア抽出, n 回検出用ドントケア割当てを行い, テストパターン数を増加させることなく遷移故障に対する n 回故障検出を向上させるテスト集合の生成を目的とする.

第 2 章では遷移故障テストとそのスキャンテスト法

について述べ, 3 章では n 回検出テストについて述べる. 4 章では n 回遷移故障検出率の定義とその計算例を述べ, 5 章では n 回検出用ドントケア抽出について述べる. 6 章では n 回遷移故障検出率能力向上ドントケア割当て法について述べ, 7 章では, 実験として, ISCAS'89 ベンチマーク回路の遷移故障に対して生成した初期のテスト集合に対して, n 回検出用ドントケア抽出, ドントケア割当てを行い, ドントケア割当てを行った時の n 回遷移故障検出率を評価する. 8 章では, まとめと今後の課題について述べる.

2. 遷移故障テスト

遷移故障[5]とは, 信号線の値の遷移が遅延する故障である. 遷移故障による遅延の影響は, どの経路に伝搬しても FF で遅延の影響を観測できる.

2.1. 2 パターンテスト

遷移故障を検出するためには, フルスキャン設計された順序回路に対して, 連続する 2 つのテストパターンを印加させる必要がある. 連続する 2 つのテストパターンを用いてテストすることを 2 パターンテストと呼ぶ. 本論文では, 遷移故障を検出するテスト方式として, ブロードサイド方式[6][7]と呼ばれる 2 パターンテストのテスト方式を用いて遷移故障を検出する.

2.2. ブロードサイド方式

ブロードサイド方式とは, 遷移故障を検出するテスト方式の 1 つである. 1 時刻目ではシフト動作でスキャンチェーンを通じて各 FF にテストパターンの値を印加し, 外部入力の値と共に回路に印加する. 2 時刻目では 1 時刻目の回路応答を各 FF に取り込み, 取りこんだ値を 2 時刻目のテストパターンとして, 回路に印加する. また, 2 時刻目のテストパターンを印加す

A X-filling Method to Increase N-detection Transition Fault Coverage

Takashi KITAO, Ryosuke WAKASUGI, and Toshinori HOSOKAWA

る時、外部入力値は1時刻目の値から変化させない。

図1は、信号線cの立ち上がり遷移故障をブロードサイド方式で検出する例を示している。1時刻目に(Pi1, FF1, FF2, FF3)=(0, 0, 1, 1)を回路に印加し、2時刻目には1時刻目の出力応答を利用して(Pi1, FF1, FF2, FF3)=(0, 1, 1, 0)を回路に印加して信号線cの立ち上がり遷移故障を検出している。

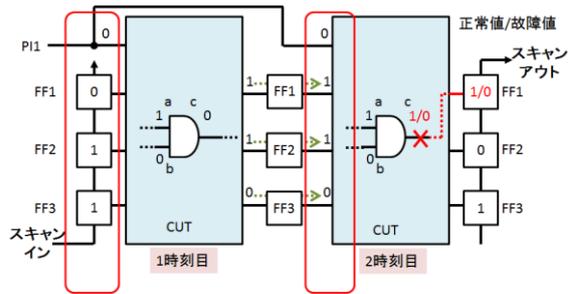


図1 ブロードサイド方式

3. n回検出テスト

n回検出テストとは、「回路内の各故障が、異なるn個以上のテストパターンで検出される」ようなテストである[3][4].

図2にフルスキャン設計した順序回路を使用した2回検出テストの例を示す。図2において、外部入力は(b, c), 外部出力は(k), 疑似外部入力は(a, d), 疑似外部出力は(g, j)を表している。信号線の値は(1時刻目の値→2時刻目の値)で表している。図2_(a)では、信号線aの立ち上がり遷移故障が $tp\alpha(a, b, c, d)=((0, 1, 1, 1) \rightarrow (1, 1, 1, 1))$ で検出できる。図2_(b)では、信号線aの立ち上がり遷移故障が $tp\beta((0, 1, 0, 0) \rightarrow (1, 1, 0, 1))$ で検出できる。この様に、信号線aの立ち上がり遷移故障が2つの異なるテストパターンで検出でき、この2つのテストパターンがテスト集合に含まれている場合、信号線aの立ち上がり遷移故障は2回検出であるという。ただし、テスト集合にはその他の信号線aの立ち上がり遷移故障を検出するテストパターンは存在しないものとする。他の信号線の遷移故障に対しても同様に、2回検出となるように生成したテスト集合は2回検出テストの故障検出率100%のテスト集合である。nの値を大きくすると欠陥の検出率が向上するといわれている[3][4].

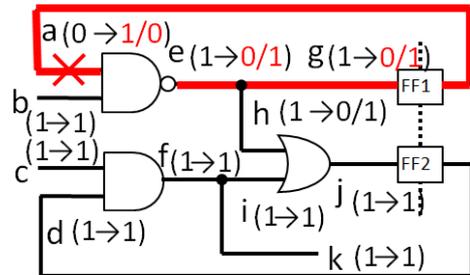


図2_(a) $tp\alpha$ でのテスト

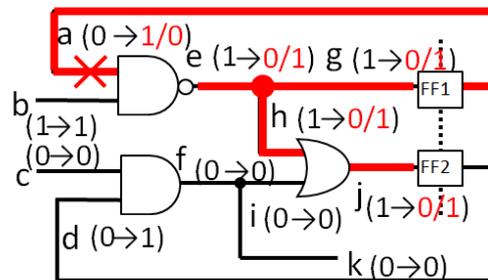


図2_(b) $tp\beta$ でのテスト

図2 2回検出テスト例

4. n回遷移故障検出率

本論文では、n回遷移故障検出率をテスト品質の評価尺度として用いる。n回遷移故障検出率とは総故障数(疑似外部入力から疑似外部出力へ到達可能な信号線 $\times 2$)のうち、遷移故障が異なるテストパターンでn回以上検出した故障数の割合を表したものである。n回遷移故障検出率を向上させるためには、異なるテストパターンでn回検出できる遷移故障数を増加させることが必要である。n回遷移故障検出率の向上により、様々

DET_n : n回遷移故障検出率(%)

$tran_fn$: n回以上検出した遷移故障数

all_f : 総故障数

$$DET_n = \frac{tran_fn}{all_f} \times 100 \quad (1)$$

な欠陥を検出できる可能性が向上し、テスト品質が向上すると考えられる[3][4]. n回遷移故障検出率を求める計算式を(1)に示す。

表1を用いて、2回遷移故障検出率を求める。表1は遷移故障を対象に生成されたテスト集合に対して故障シミュレーションを行った結果、検出された故障のリストを表している。n回遷移故障検出率を求めるに当たり、総故障数を6個とする。表1の故障リストより、2回以上検出した故障はf1, f2, f3, f6の4個で

ある。したがって、2回遷移故障検出率は $(4/6) \times 100 = 66.7\%$ となる。

5. n回検出用ドントケア抽出

本提案手法では、初期のテスト集合に対してn回検出用ドントケア抽出を実行し、生成されたテスト集合に対して行われる。n回検出用ドントケア抽出では、n回以上検出していない故障に対して、故障の検出に必要な割当てを論理値として残しそれ以外の値はドントケアとする[8]。

6. n回遷移故障検出率能力向上指向ドントケア割当て法

図3に本提案手法であるn回遷移故障検出率能力向上指向ドントケア割当て法のアルゴリズムを示す。本提案手法は、フルスキャン設計された順序回路に対してATPGツールを用いてテストパターン集合を生成、n回検出用ドントケア抽出を行ったテストパターン集合に対して行われる。

本提案手法の方針として、を以下の方針に従って行う。

- ・検出回数をkとすると、n-kの値が最小の故障の検出回数を向上させるようにドントケアに値を割当てていき、n回遷移故障検出率を向上させる。
- ・ドントケア割当ての対象となるテストパターンの選択として、疑似外部出力の値が0/X, 1/X, X/0, X/1, X/Xとなるテストパターンを選択する。

(Step 1)

ドントケア抽出により生成されたテストパターン集合に対して故障シミュレーションを行い、検出回数がn回未満の故障を検出回数の降順で故障リストを作成する。

(Step 2)

リストから故障を1つ選択し、疑似外部出力に0/X, 1/X, X/0, X/1, X/Xが伝搬しているか確認することで、選択した故障の検出回数がドントケア割当てを行うことで増加できる可能性があるかを判定する。

(Step 3)

ドントケア割当てを行うことで、選択した故障の検出回数が増加する可能性のあるテストパターンを選択する。選択した故障の検出回数が増加する可能性のあ

表1 故障リスト

テストパターン	検出故障
tp1	f1, f5
tp2	f6
tp3	f2, f3, f6
tp4	f1, f4
tp5	f2, f3

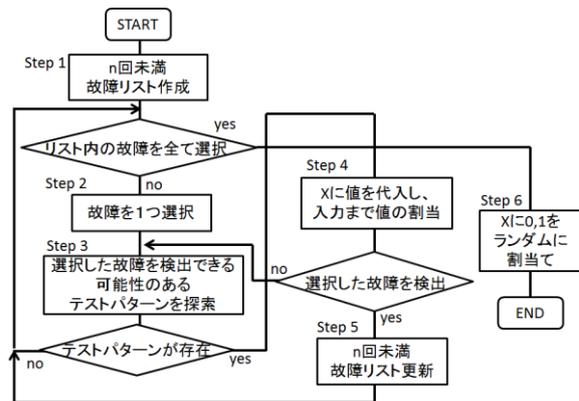


図3 n回遷移故障検出率能力向上指向ドントケア割当て法

るテストパターンが存在しない場合、リストから次の故障を選択する。

(Step 4)

疑似外部出力に伝搬している0/X, 1/X, X/0, X/1, X/Xに対して、疑似外部出力の値が1/0, 0/1になるようにXに値を割当て、疑似外部出力から順に疑似外部入力及び外部入力まで、Xに値の割当てを行う。

(Step 5)

Xに値を割当てたことで、選択した故障を検出することができた場合、n回未満故障リストを更新する。選択した故障が検出できなかった場合、別のテストパターンを選択する。

(Step 6)

値が割当てられず、テストパターン中に残ったXに対してランダムに0, 1を割当てて。

7. 実験結果

本論文では実験結果として、ISCAS'89ベンチマーク回路に対して生成された初期のテストパターン集合に対して、n回検出用ドントケア抽出を行い、その後抽出されたドントケアに対して、全て0を割当てて0割当て、全て1を割当てて1割当て、0, 1の値をランダムで割当ててランダム割当て、本提案手法を行い、

割当て後の n 回遷移故障検出率を評価した。テスト生成には、Synopsys 社の TetraMax を用いた。表 2 に実験結果を示す。

表 2 は各回路での、初期テスト集合とドントケア割当て後の検出故障数、n 回遷移故障検出率、初期テスト集合の n 回遷移故障検出率からの増加率を n=2, 3, 4, 5 の値で示している。表内の太文字で表している数値は各ドントケア割当ての中で最も高い n 回遷移故障検出率を示している。

実験結果より、どの回路でも提案手法が最も高い n 回遷移故障検出率を算出することができたが、各ドントケア割当てとの差はほとんどなかった。これはテストパターンや故障の選択が複数発生した場合、その選択に何も考慮を加えなかったことなどが考えられる。

8. まとめ・今後の課題

本論文では、ISCAS'89 ベンチマーク回路に対して、遷移故障を対象に TetraMAX で生成した初期のテスト集合に対し n 回検出用ドントケア抽出を行い、提案したドントケア割当てでの n 回遷移故障検出率を評価した。

今後の課題として、より高い n 回遷移故障検出率を求めるために、アルゴリズム内のテストパターン選択や故障の選択に考慮を加えるなどが挙げられる。

[参考文献]

1) Intaik Park, Ahmad Al-Yamani, Edward J. McCluskey, "Effective TARO Pattern Generation, "23rd IEEE VLSI Test Symposium (VTS'05), vts, pp. 161-166, 2005.

2) E. J. McCluskey, A. Al-Yamani, C. W. Tseng, E. Volkerink, F. F. Ferhani, E. Li and S. Mitra, "ELF-Murphy data on defects and test sets, "in Proc. 2004 VLSI Test Symp, pp. 16-22, 2004.

3) S. C. Ma, P. Franco and E. J. McCluskey, "An Experimental Chip to Evaluate Test Techniques Experiment Result, " in Proc. 1995 International Test Conference, pp. 663-672, Oct. 1995.

4) S. M. Reddy, I. Pomeranz and S. Kajihara, "On the effects of Test Compaction on Defect Coverage, " in Proc. 14th VLSI Test Symp, pp. 430-435, April 1996.

5) M. nakao, K. Hatayama and I. Higashi, "On acceleration of test points selection for scan-based BIST"IEICE Trans. Inf. & Syst, vol. E85-D, no. 10, pp. 1506-1514, 2002.

6) J. Savir and S. Patil, "Scan-based transition test"IEEE Trans. Comput -er-Aided Design of Integrated Circuits and Systems, Vol. 13, No. 8, pp1057-1064, 1994.

7) Kajiwara Seiji, Morishima Shohei, Yamamoto Masahiro, Xiaoqong Wen, Fukunaga Masaya, Hatayama Kazumi "Estimation of Delay Test Quality and Its Application to Test Generation" IPSJ Transactions on System LSI Design Methodology 1(0)pp104-115 2008.

8) 谷口謙二郎, 宮瀬純平, 梶原誠司, 温暁青, "ブロードサイドテストにおける N 回検出用テストパターンに対する X 判定," 信学技報, vol. 106, no. 390, DC2006-44, pp. 35-40, November 2006.

表 2 実験結果

回路名	総故障数	n	初期テスト集合		ドントケア割当て						ドントケア割当て					
			検出故障数	n回遷移故障	0割当て			1割当て			ランダム割当て			提案手法		
					検出故障数	n回遷移故障	増加率	検出故障数	n回遷移故障	増加率	検出故障数	n回遷移故障	増加率	検出故障数	n回遷移故障	増加率
s1423	2418	2	1777	73.49	1796	74.28	0.79	1789	73.99	0.50	1804	74.61	1.12	1822	75.35	1.86
		3	1575	65.14	1611	66.63	1.49	1603	66.29	1.16	1619	66.96	1.82	1625	67.20	2.07
		4	1370	56.66	1387	57.36	0.70	1399	57.86	1.20	1412	58.40	1.74	1414	58.48	1.82
		5	1212	50.12	1227	50.74	0.62	1225	50.66	0.54	1233	50.99	0.87	1285	53.14	3.02
s9234	16994	2	11721	68.97	11951	70.32	1.35	12045	70.88	1.91	12043	70.87	1.89	12048	70.90	1.92
		3	9952	58.56	10269	60.43	1.87	10273	60.45	1.89	10321	60.73	2.17	10365	60.99	2.43
		4	8505	50.05	8934	52.57	2.52	8846	52.05	2.01	9020	53.06	3.03	9033	53.15	3.11
		5	7542	44.38	7915	46.58	2.19	7906	46.52	2.14	7984	46.98	2.60	8096	47.64	3.26
s15850	28416	2	18020	63.41	18168	63.94	0.52	18153	63.88	0.47	18321	64.47	1.06	18442	64.90	1.49
		3	16329	57.46	16572	58.32	0.86	16559	58.27	0.81	16815	59.17	1.71	16926	59.57	2.10
		4	14830	52.19	15140	53.28	1.09	15174	53.40	1.21	15495	54.53	2.34	15746	55.41	3.22
		5	13787	48.52	14111	49.66	1.14	14135	49.74	1.22	14471	50.93	2.41	14579	51.31	2.79