

遷移故障テストパターン集合の潜在的故障活性化率の評価

日大生産工(院) ○若杉 諒介 日大生産工 細川 利典

1. はじめに

近年の半導体テクノロジーの進歩により、超大規模集積回路 (Very Large Scale Integrated circuits : VLSI) の集積度が上がり、かつ設計自動化技術の進歩により、大規模なデジタルシステムを VLSI 上に実装することが可能となった。VLSI 回路は社会においても幅広く利用されており、製造された VLSI に故障 (物理的な欠陥) がないことを保証するために、VLSI におけるテスト設計がますます重要になっている。従来、テスト生成には単一縮退故障モデルが広く用いられている。単一縮退故障モデルは取り扱いが容易でかつ、多くの欠陥が単一縮退故障テストで検出できることなどが利点としてあげられる [1][2]。

しかしながら、近年の製造技術の進歩に伴い、VLSI の大規模化、高速化、複雑化が急速に進み、それゆえテスト対象となる故障モデルも複雑化してきている。それらの故障モデルは、従来使用されてきた単一縮退故障モデルのためのテスト集合では検出困難であるため、遅延欠陥を検出可能な高品質なテスト集合の生成が必要となってきている。

またそれに伴い生成されたテスト集合の品質を正しく評価する尺度が必要となってくる。テスト集合の品質を評価する尺度としては、故障観測率 [3] や故障活性化率 [4] などが提案されている。

本論文では、故障活性化率を評価尺度として採用する。故障活性化率を向上させることで、各故障箇所からの故障伝搬経路を増加させる。それにより、テスト生成困難なモデルの故障を検出できる可能性が向上し、テスト品質が向上すると考えられる。

本論文では、ISCAS' 89 ベンチマーク回路の遷移故障に対して自動テストパターン生成 (ATPG: Auto Test Pattern Generator) を用いてテスト生成を行い、その故障活性化率を算出する。その後、生成されたテスト集合に対してドントケア抽出を行い、抽出されたドントケアに対して故障活性化率が向上するように値割当てを行い、テスト品質の向上を目指すことを本研究の目的とする。

本論文ではその前段階として、生成されたテスト集合に対してドントケア抽出を行い、その故障活性化率と潜在的故障活性化率を評価する。さらに、ドントケア抽出を行ったテスト集合に対して、故障活性化率が向上するような値割当てする方法の手法を提案する。

2 章では、遷移故障モデルとそのテスト法について述べ、3 章で故障活性化率について述べる。そして 4 章で故障活性化率指向ドントケア割当て法について述べ、5 章で潜在的故障活性化率を定義し、6 章で ISCAS' 89 ベンチマーク回路の遷移故障に対して生成したテスト集合の故障活性化率と潜在的故障活性化率を示す。

2. 遷移故障のテスト法

2.1 遷移故障

遷移故障 [6] とは、論理ゲートの 1 つの信号線の遷移が何らかの影響により遅れる大きな遅延を伴う故障である。これは、遷移故障が任意の経路で活性化された場合、必ずその故障影響がフリップフロップ (FF) に伝搬することを意味している。

Evaluation of Potential Fault Sensitization Coverage
For a Transition Fault Test Pattern Set with Don't Care Bits

Ryosuke WAKASUGI, Toshinori HOSOKAWA

2.2 遷移故障モデル

遷移故障モデルには、立ち上り遷移故障と、立ち下り遷移故障がある。

立ち上り遷移故障とは、立ち上がり信号の第2時刻の論理値が1でなく0となる故障である(図1(a))。立ち下り遷移故障は、立ち下がり信号の第2時刻の論理値が0でなく1となる故障である(図1(b))。

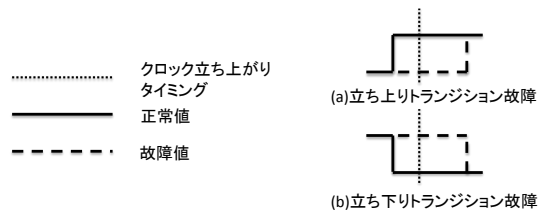


図1 遷移故障

2.3 2パターンテスト

遷移故障を検出するためには、連続する2パターンにより信号の遷移を発生させる必要がある。この連続する2パターンによるテストを2パターンテストと呼び、第一のパターンを初期化パターン、第二のパターンをリリースパターンと呼ぶ。

リリースパターンを生成する方法は2種類知られており、1つめはスキュードロード方式[7]、もう1つはブロードサイド方式[8][9]である。本論文では、ブロードサイド方式で実験を行った。

ブロードサイド方式による2パターンテストのリリースパターン生成法と遷移故障検出方法を、以下のStep1~Step4で示す。

- (Step. 1) 初期化パターンが、スキャンインからスキャンチェーンを通じて図2の1時刻目(T1)の順序回路のFFの値を初期化する。
- (Step. 2) 初期化パターンから通常動作を行うことでリリースパターンを生成し、ある信号線で遷移が発生し、その遷移が図2の2時刻目(T2)の順序回路のFFの入力に伝搬する。
- (Step. 3) 図2の2時刻目(T2)の組合せ回路部の応答パターンを、各FFが取り込む。
- (Step. 4) 各FFが取り込んだ応答パターンを、スキャンチェーンを通じてスキャンアウトで故障の影響を観測する。

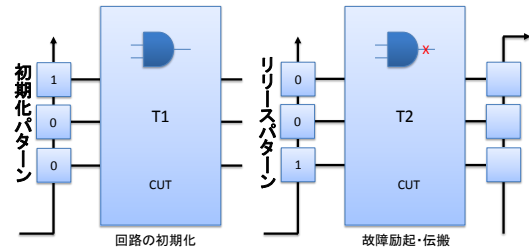


図2 2パターンテスト例

ブロードサイド方式による2パターンテストを行うことにより、回路応答をリリースパターンとして用いるので、通常動作で顕現する遷移故障が検出できる可能性が高くなる。

3. 故障活性化率

故障活性化率[4]は、各故障から到達可能な信号線数のうち、実際に活性化された信号線数の割合を表したものでありテスト品質尺度として用いられている。活性化された信号線とは、故障の影響が(疑似)外部出力まで伝搬している信号線を指す。図5に故障活性化率の計算式と図6に計算例を示す。

SEN_f : 故障 f の故障活性化率

$$SEN_f = \frac{\text{活性化された信号線数}}{\text{故障}f\text{から到達可能な信号線数}}$$

SEN : 回路全体の故障活性化率

$$SEN = \frac{\sum_f f\text{について活性化された信号線数}}{\sum_f f\text{の到達可能な信号線数}} \times 100$$

図5 故障活性化率

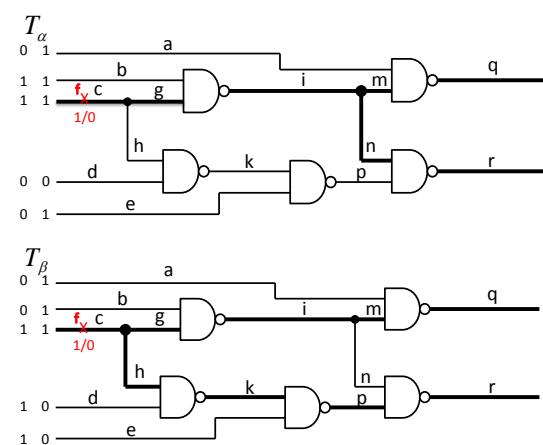


図6 故障活性化率計算例

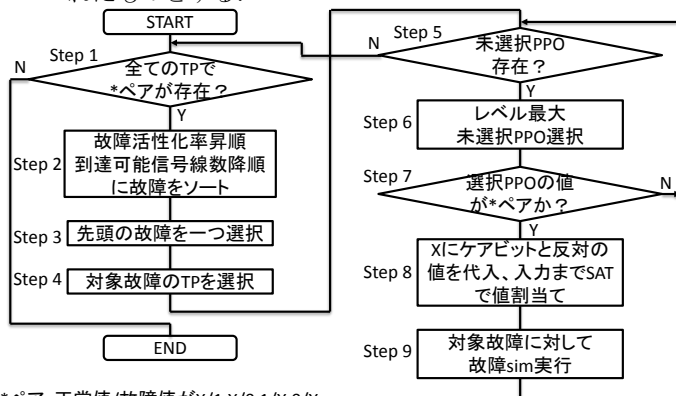
故障活性化率を用いてテストパターン集合 T_α , T_β の評価を行う。信号線 c の故障 f の到達可能信号線数は図6より10本である。そのうち入力されたテストパターン集合 T_α によって活性化された信号線数は7本である。よって故障 f の故障活性化率は、 $7/10 \times 100 = 70\%$ である。一方、テストパターン集合 T_β によって活性化された信号線数は9本である。よって故障 f の故障活性化率は、 $9/10 \times 100 = 90\%$ である。この結果より、テストパターン集合 T_β の方が高品質なテストパターンであると評価される。故障活性化率が向上すると、活性化される経路数が増加するので、様々な故障モデルの検出可能条件を満たす確率が増加する。

また遷移故障については、故障活性化率が向上すると、構造的に長い経路が活性化される確率が増加し、より微小な遅延が検出できる可能性が高まる。したがって本論文は、故障活性化率が向上するとテスト品質も向上すると考える。

4. 故障活性化率指向ドントケア割当て法

本章では故障活性化率指向ドントケア割当て法について述べる。故障活性化率を向上させるようにテスト生成を行うと、様々な経路に故障を伝搬させる必要があるため、テストパターン数が増加する。本論文では、ドントケア抽出を用いて生成されたテストパターン集合の中で故障活性化率を最大限に向上させる手法を提案する。

図7に故障活性化率指向ドントケア割当て法のアルゴリズムを示す。図7のアルゴリズムの前提として、テストパターン集合はドントケア抽出がすでに実行されたものとする。



*ペア: 正常値/故障値がX/1,X/0,1/X,0/X

図7 故障活性化率指向ドントケア割当て法

次に各ステップの説明をする。

- (Step. 1) ドントケア抽出したテストキューブ集合からドントケアがなくなるまで、X 割当てを行う。
- (Step. 2) 回路中の各故障を到達可能信号線数の多い順にソートする。到達可能信号線数が同じ故障に対しては、故障活性化率の昇順にソートする。
- (Step. 3) ソートされた故障リストから、先頭の故障を選択する。
- (Step. 4) Step. 3 で選択した故障を検出するテストパターンを選択する。
- (Step. 5) 全ての(疑似)外部出力を探索したか判定する。
- (Step. 6) 回路中のすべての疑似外部出力の中から大論理段数の疑似外部出力を選択する。
- (Step. 7) 選択した疑似外部出力において、0/X, 1/X, X/0, X/1 か否か判定する。そうでなければ、Step. 5 で他の(疑似)外部出力を選択する。
- (Step. 8) 選択した疑似外部出力において、0/X, 1/X, X/0, X/1 ならば、故障値(正常値)Xに正常値(故障値)と反対の値を割当てて、充足可能性問題を用いて外部入力まで、X に値の割当てを行う。
- (Step. 9) Step. 3 で選択した故障に対して、故障シミュレーションを実行する。

5. 潜在的故障活性化率

4章では、故障シミュレーションしたのちに、疑似外部出力の値が0/X, 1/X, X/0, X/1の故障値(正常値)のXに対して正常値(故障値)と反対の値を割当てる手法を提案した。疑似外部出力の値が0/X, 1/X, X/0, X/1の時も故障が検出できたと仮定する時の故障活性化率を潜在的故障活性化率と定義する。提案手法では回路中の信号線値が0/X, 1/X, X/0, X/1のXにケアビットと反対の値を割り当てることができるので、理想的に値の割当てが行えた時の故障活性化率の上界が求められると考えられる。

6. 実験結果

本論文では ISCAS' 89 ベンチマーク回路に対して生成されたテストパターン集合の故障活性化率を評価した。さらに、ドントケア抽出を行ったテストパターンの潜在的故障活性化率を算出した。

テスト生成には Synopsys 社の TetraMax (テスト生成ツール) を用いた。表 8 に実験結果を示す。

表 8 実験結果

回路名	全入力数	全出力数	故障活性化率 (%)	ペア数	潜在的故障活性化率 (%)
s208	19	8	47.5	80	52.1
s298	17	14	55.1	368	58.2
s344	24	15	48.4	532	51
s349	24	15	51.3	776	52.2
s382	24	21	47.4	493	59.5
s386	13	6	61.1	79	67.4
s400	24	21	43.3	733	54.1
s420	35	16	39.4	470	45.9
s444	24	21	39.9	684	48.7
s510	25	6	67.6	187	73.2
s526	24	21	51.2	79	52.3
s526n	24	21	52.8	249	52.8
s641	54	19	15.1	499	54.4
s713	54	19	4.5	216	13.5
s820	23	5	47.9	139	63.1
s832	23	5	49.2	122	64.3

表 8 において、全入力数とは外部入力と疑似外部入力の和、全出力数とは疑似外部出力数と外部出力数の和である。また故障活性化率とは、生成されたテストパターンより X 抽出を行ったテストキューブ集合の回路全体の故障活性化率、ペア数とは各回路に X 抽出したテストキューブ集合を入力に印加した際にすべての故障における (疑似) 外部出力値が 0/X, 1/X, X/0, X/1 の総和である。また潜在的故障活性化率とは、各回路に対するテストキューブ集合の潜在的故障活性化率を表している。

7. おわりに

本論文では、故障活性化率指向ドントケア割当て法の提案と、その前段階として ATPG ツールによって生成されたテストパターンから X 抽出されたテストキューブ集合の潜在的故障活性化率の評価を行った。今後は、実際に値の正当化を行い故障活性化率がどのくらい向上するかの評価実験を行う予定である。

参考文献

- [1] Intail Park, Ahmad Al-Ymami and Edward J. McCluskey, "Effective TARO Pattern Generation," Proc. 23rd VLSI Test Symposium, pp. 161-166, April 2005.
- [2] E. J. McCluskey, A. AlYamani, C. W. Tseng, E. V. -olkerink, F. F. Ferhani, E. Li and S. Mitra, "ELF-Murphy data on defects and test sets," in Proc. 2004 VLSI Test Symp., pp. 16-22, 2004.
- [3] B. Benware, C. Schuermyer, S. Ranganathan, R. madge, P. Krishnamurthy, N. T. -amarapalli, K-H. Tsai, and J. Rajski, "Impact of multiple-detect test patterns on product quality," Proc. ITC, pp. 1031-1040, Oct. 2003
- [4] 細川利典, 山崎浩二 "故障活性化率向上のための n 回検出テスト生成法", 電子情報通信学会論文誌 D Vol. J90-D No. 6 pp. 1474-1482, 2007
- [5] 富田健 "故障活性化率向上のための可変 n 回テスト生成法とその品質評価に関する研究" 電子情報通信学会技術研究報告. DC, ディペンダブルコンピューティング 107(482), 25-31, 2008-02-01
- [6] M. Nakao, K. Hatayama and I. Higashi, "On acceleration of test points selection for scan-based BIST" IEICE Trans. Inf. & Syst., vol. E85-D, no. 10, pp. 1506-1514, 2002
- [7] J. Savir and S. Patil, "Scanbased transition test," IEEE Trans. Computer Aided Design of Integrated Circuits and Systems, Vol. 12, No. 8, pp. 1232-1241, 1993.
- [8] J. Savir and S. Patil, "Scan-based transition test" IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems, Vol. 13, No. 8, pp. 1057-1064, 1994
- [9] Kajiwaraseiji, Morishima Shohei, Yamamoto Masahiro, Xiaoqong Wen, Fukunaga Masaya, Hatayama Kazumi "Estimation of Delay Test Quality and Its Application to Test Generation" IPSJ Transactions on System LSI Design Methodology 1(0) pp. 104-115 2008