

故障シミュレーションと誤り経路追跡を用いた単一縮退故障の 故障診断システムの評価

日本大学生産工(学部) ○諏訪弘樹 日大生産工 細川利典

1. はじめに

近年, 半導体微細化技術の進歩に伴い, 大規模集積回路 (Large Scale Integrated circuit: LSI) が大規模化・複雑化し, 故障の種類, 故障箇所の同定が困難になっている. そのため, 歩留まりを向上させるためには, 故障を正確に同定する技術すなわち故障診断[1]が必要になっている.

故障診断[1]とは, 故障回路の異常な外部出力応答を裏付けることのできる故障箇所を指摘することである. 故障を原因とし, その故障回路の外部出力応答を結果とするならば, それらの因果関係の分析法は原因-結果分析法[2-7]と結果-原因分析法[8], [9]の2つが考えられる.

従来原因-結果法は LSI が大規模化・複雑化することにより, 一度に全ての故障辞書[2]を作成し, 診断することが困難である. 故障辞書を用いた故障診断とは, 全ての故障が存在している回路の動作全てを故障辞書として保持しておく診断法である. すべての故障の動作を保持するため, 記憶量が膨大となり大規模回路への適用は困難である. 大規模回路に適応するための故障辞書を圧縮する様々な方法が提案されている.

結果-原因分析法では故障辞書を作成せず誤り経路追跡法[8]や, 故障シミュレーション[9]を用いることによって, 被疑故障と考える信号線を少数に絞り込めるため, メモリ使用量と診断実行時間を削減することができる.

本稿では, 結果-原因分析法の誤り経路追跡法と故障シミュレーションを併用することでそれぞれ単体の診断法と比較して正確で高速な故障診断を提案し ISCAS'85 ベンチマーク

回路を用いて実験を行い, 診断時間や被疑故障数を評価する.

2. 結果-原因法の従来手法

結果-原因法は, 故障の影響を観測する外部出力から入力側へ経路を追跡することによって故障箇所を同定する方法である.

誤り経路追跡法[8] や故障シミュレーションを用いた故障診断法[9]は故障辞書を作成しないうえ, 故障モデルを仮定しなくてよいので大規模回路に適用可能であり, 診断分解能についての課題を解決することで実用的な手法となる.

なお, 故障 LSI において存在している故障を励起し外部出力まで故障の影響を伝搬してしまうようなテストパターンをフェイルパターンと呼び, 故障の影響を伝搬される外部出力をフェイル外部出力と呼ぶ. 同様に, 故障 LSI において外部出力が期待値と等しくなるようなテストパターンをパステストパターンと呼ぶ.

2-1. 誤り経路追跡を用いた故障診断

誤り経路追跡は, 期待値と異なる各外部出力から追跡した信号線の集合の積集合を求めることで被疑故障集合を得られる.

誤り経路追跡法は診断時間が高速であるが被疑故障が多く同定されてしまうため, 故障箇所の厳密な絞り込みが難しくなっている.

図1に誤り経路追跡のアルゴリズムを示す. 各 Step の説明は以下の通りである.

A Fault Diagnosis system for Single Stuck-at Fault Using Erroneous Paths Tracing and Fault Simulation

Hiroki SUWA and Toshinori HOSOKAWA

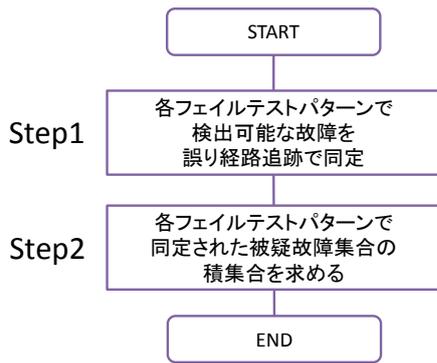


図 1. 誤り経路追跡を用いた故障診断アルゴリズム

(Step1)

各フェイルテストパターンにおいて誤り経路追跡法を用いて被疑故障集合を同定する。誤り経路追跡は各フェイル外部出力から以下の2つの条件を用いて行われる。

- 1) ゲートの入力信号線に制御値が含まれている場合，制御値が設定されている信号線を任意に選択し後方追跡を行い，非制御値の入力信号線に対しては後方追跡を行わない。
- 2) ゲートに非制御値しか入力されていない場合，その入力信号線全てに対して後方追跡を行う。

(Step2)

各フェイルテストパターン毎に求めた被疑故障集合間で積集合をとり，最終被疑故障集合とする。

2-2. 故障シミュレーションを用いた故障診断

故障シミュレーションを用いた故障診断は誤り経路追跡よりも時間がかかるが，被疑故障集合をより精度が高く求められる診断法である。図 2 に故障シミュレーションを用いた故障診断法のアルゴリズムを示す。

図 2 における各 Step の説明は以下の通りである。

(Step1)

全ての故障を初期被疑故障集合とし，その中から全てのフェイルテストパターンで検出可能な故障を求め被疑故障集合とする。

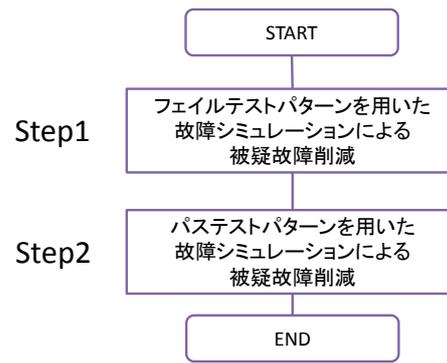


図 2. 故障シミュレーションを用いた故障診断アルゴリズム

(Step2)

Step1 で作成した被疑故障集合に対してパステストパターンで故障シミュレーションを実行し，検出故障を被疑故障集合から削除する。

3. 故障シミュレーションと誤り経路追跡を用いた故障診断

3-1. 提案手法のアルゴリズム

図 3 に故障シミュレーションと誤り経路追跡を用いた故障診断のアルゴリズムを示す。各 Step における説明は以下の通りである。

(Step1)

回路情報，各フェイルテストパターン情報を用いて誤り経路追跡を行い，各フェイルテストパターンに被疑故障集合を作成し積集合をとり，初期被疑故障集合とする。

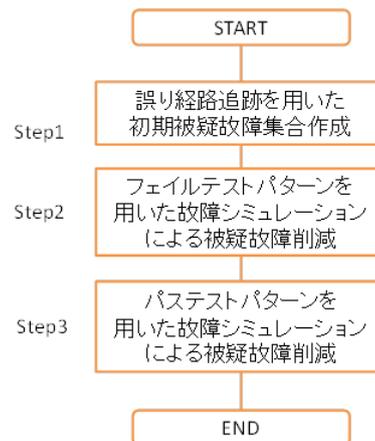


図 3. 提案手法アルゴリズム

(Step2)

フェイルテストパターン集合を用いて初期被疑故障に対して故障シミュレーションを実行する。全フェイルパターンで検出できない故障を初期被疑故障集合から削除する。

(Step3)

各パステストパターンを用いて故障シミュレーションを実行し、検出故障を初期被疑故障集合から削除し、最終的な被疑故障集合とする。

3-2. 提案手法を用いた故障診断例

表 1 に図 4 に対する、各テストパターンの値と対応する外部入力を表とした。各テストパターンを印加時の各信号線の正常値を算出する。図 4 の回路において、ある単一縮退故障が存在するとしたとき、各テストパターンを印加したところ t_1 , t_3 はフェイルパターン、 t_0 , t_2 はパスパターンになった。図 3 のアルゴリズムに基づき、誤り経路追跡を用いた初期被疑故障集合作成を行う。まず図 4 の回路において t_1 について誤り経路追跡を行う。

t_1 を印加したとき、フェイル外部出力は H であった。この時、H を被疑故障信号線に追加し、次に F を追加する。F が AND ゲートに接続しており、F の入力である A と D に制御値が入力されている。よって、B と D を被疑故障信号線に追加し、 t_1 の被疑故障信号線は {B, D, F, H} となる。

t_3 を印加したとき、フェイル外部出力は H と J であった。フェイル外部出力が 2 つあるため、まず H でも被疑故障信号線を求めると {B, D, F, H} が t_3 の H における被疑故障集合となる。次に、J から後方追跡を行う。まず J を追加し、J が OR ゲートに接続しており、その入力である I, G に非制御値が入力されている。よって I, G の 2 つ被疑故障信号線に追加する。続けて F を追加し、B と D も J における被疑故障集合に追加する。同様に G を出力とする OR ゲートの入力は E, C であり、このどちらも非制御値であるため、C, E, B を J における被疑故障信号線に追加する。

よって、H と J の被疑故障の積集合をとると、 $H = \{H, F, D, B\}$
 $J = \{H, F, D, B, J, I, G, E, C\}$ であるから、 t_3 の被疑故障集合は {B, D, F}

となる。

したがって、 t_1 と t_3 の積集合をとると、 $t_1 = \{B, D, F, H\}$
 $t_3 = \{B, D, F\}$ であるから、誤り経路追跡による被疑故障信号線は {B, D, F} となる。

その後、B, D, F の縮退故障に対して、故障シミュレーションを実行しフェイルパターン t_1 と t_3 で検出可能な故障を求めると {B s-a-1, D s-a-1, F s-a-1} が被疑故障集合となる。さらにパスパターン集合 { t_0 , t_2 } で {B s-a-0, D s-a-0, F s-a-0, F s-a-1} が検出である。よって、これをフェイルパターンでの被疑故障集合から削除すると {B s-a-1, D s-a-1} が最終被疑故障集合となる。

もし誤り経路追跡を行わなければ、フェイルパターン集合で全故障 20 個に対して故障シミュレーションを実行しなければならない。それに対し誤り経路追跡を行うことで上記の 3 本の信号線における縮退故障 6 個のみに対して故障シミュレーションを行えば最終被疑故障集合が求まるため、故障シミュレーション時間が大幅に短縮できることがわかる。

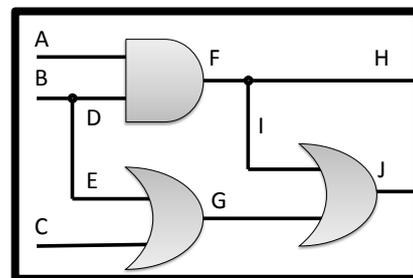


図 4. 診断対象回路

表 1. テストパターン印可時の信号線の論理値

テストパターン	外部入力			外部出力	
	A	B	C	H	J
t_0	0	1	1	0	1
t_1	1	0	1	0	1
t_2	1	1	0	1	1
t_3	1	0	0	0	0

表 2. ISCAS' 85 ベンチマーク回路実験結果

c432						
EPT		SIM		HYB		代表故障
cand	CPUtime (sec)	cand	CPUtime (sec)	cand	CPUtime (sec)	
18.102	0.002	2.46	0.04	2.46	0.89	524

c3540						
EPT		SIM		HYB		代表故障
cand	CPUtime (sec)	cand	CPUtime (sec)	cand	CPUtime (sec)	
69.48	0.066	4.11	4.1	4.11	2.94	3428

c5315						
EPT		SIM		HYB		代表故障
cand	CPUtime (sec)	cand	CPUtime (sec)	cand	CPUtime (sec)	
17.631	0.135	3.105	9.81	3.105	7.24	5350

c7552						
EPT		SIM		HYB		代表故障
cand	CPUtime (sec)	cand	CPUtime (sec)	cand	CPUtime (sec)	
33.907	0.258	4.35	28.2	4.32	20.3	7550

2. 実験結果

本論文は、誤り経路追跡法を用いた故障診断と故障シミュレーションを用いた故障診断をそれぞれ行った。診断時間、平均被疑故障数を表 2 に示す。実験環境は、CPU は Core2Duo, メモリは 2GB, OS は Windows7 , 対象回路は ISCAS' 85, TetraMAX で生成された圧縮されていないテストパターンを用いて故障診断を行った結果である。

EPT, SIM, HYB はそれぞれ誤り経路追跡法, 故障シミュレーション, 併用法を表す。表 2 のように EPT は高速だが被疑故障数が SIM, HYB と比較して悪い。また, SIM と HYB では被疑故障数がほぼ同数であるが併用法の方が若干計算時間が短くなった。

3. おわりに

また、今後の課題として、順序回路への適応や、SAT (充足可能性問題) を用いた故障診断などを用いることで高速化を目指す。更にはマルチサイクルテストを用いた順序回路の故障診断法の考案を目標としている。

「参考文献」

- 1) E.Manning H.Y.Chang and G.Metze. "Fault Diagnosis of Digital Systems." John Wiley & Sons, Inc., 1970.
- 2) M.Abramovici, M.A.Breuer, and A.D.Friedman. "Digital Systems Testing and Testable Design." Computer Science Press., 1990.
- 3) V.Boppana and W.K.Fuchs. "Fault dictionary compaction by output sequence removal." In Dig.Int. Conf. on Computer-Aided Design., pages 57-579, 1994.
- 4) B.Chess and T.Larrabee. "Creating small fault dictionary." IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems."18:346-356, 1999.
- 5) I.Pomeranz and S.M.Reddy. "A same/different fault dictionary: An extended pass/fail fault dictionary with improved diagnostic resolution." In Proc. Design Automation and Test in Europe, pages 1474-1479, 2008.
- 6) I.Pomeranz and S.M.Reddy. "On the generation of small dictionaries for fault location." In Dig. Int. Conf. on Computer-Aided Design, pages 272-279, 1992.
- 7) P.G.Ryan, W.K.Fuchs, and I.Pomeranz. "Fault dictionary compression and equivalence class computation for sequential circuits." In Dig. Int. Conf. on Computer-Aided Design, pages 508-511, 1993.
- 8) 山田輝彦 中村芳行. "組合せ回路における単一縮退故障の一診断法."電子情報通信学会論文誌 D-I, Vol.J74-D-I,No.11, pp.774-780,1991
- 9) H.Takahashi, Kwame O. Boateng, "On Diagnosing Multiple Stuck-at Faults Using Multiple and Single Fault Simulation in Combinational Circuit." "IEEE,VOL.21, NO.3.,2002.