

故障シミュレーションと誤り経路追跡を用いた単一縮退故障の 故障診断法

日本大学生産工(学部) ○諏訪弘樹 日大生産工 細川利典

1. はじめに

近年、半導体微細化技術の進歩に伴い、大規模集積回路 (Large Scale Integrated circuit: LSI) が大規模化・複雑化し、故障の種類、故障の個所の同定がむずかしくなってきたり困難になっている。そのため、歩留まりを向上させるためには、より精度の高い故障診断が必要になっている[1]。

故障診断[1]とは、故障回路の外部出力応答を説明できる故障の箇所を指摘することである。故障を原因とし、その故障回路の外部出力応答を結果とするならば、それらの因果関係の分析法は原因-結果分析法[2]~[7]と結果-原因分析法[8], [9]の2つが考えられる。

従来の原因-結果法は LSI が大規模化・複雑化することにより、一度に全ての故障辞書[2]を作成し、診断することが困難である。

故障辞書を用いた故障診断とは、テストで故障 LSI を判定時に全ての故障が存在している回路の動作全てを故障辞書として保持しておく診断法である。全ての動作を記憶するため、大規模回路に適応するための故障辞書を圧縮する様々な方法が提案されている。

また、結果-原因分析法では故障辞書を作成せず誤り経路追跡法[8]や、故障シミュレーションを用いる[9]ことによって、被疑故障と考える信号線を比較的早く少数に絞り込めるため、メモリ使用量と診断実行時間を削減することができる。

本稿では、誤り経路追跡法と故障シミュレーションを用いた故障診断を提案する。

2. 結果-原因法の従来手法

結果-原因法は、故障の影響を観測する外部出力から入力側へ経路を追跡することによって故障箇所を指摘する方法である。

誤り経路追跡法[8]や故障シミュレーションを用いた故障診断法[9]は故障辞書を作成しない。故障モデルを仮定しなくてよいので大規模回路に適用可能であり、診断分解能についての課題を解決することで実用的な手法となる。

なお、故障 LSI において存在している故障を励起し外部出力まで故障の影響を伝搬してしまうようなテストパターンをフェイルパターンと呼び、故障の影響を伝搬される外部出力をフェイル外部出力と呼ぶ。

同様に、故障 LSI において外部出力が期待値と等しくなるようなテストパターンをパステストパターンと呼ぶ。

2-1. 誤り経路追跡を用いた故障診断

誤り経路追跡は、最終的な被疑故障を、期待値と異なる外部出力から追跡された信号線の集合の積集合を求めることで得られる。

誤り経路追跡法は診断時間が著しく早い。被疑故障が多く検出されるため、故障の厳密な同定が難しくなっている。

図1に誤り経路追跡のアルゴリズムを示す。各 Step の説明は以下の通りである。

(Step1)

各フェイルテストパターンで検出可能な故障を誤り経路追跡法を用いて同定する。誤り経路追跡はフェイル外部出力から以下の2つの条件を用いて行われる。

A fault diagnosis method for Single Stuck-at Fault Using Erroneous Paths Tracing and Fault Simulation

Hiroki SUWA and Toshinori HOSOKAWA

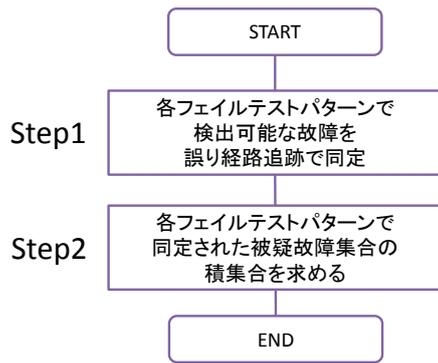


図 1. 誤り経路追跡を用いた故障診断のアルゴリズム

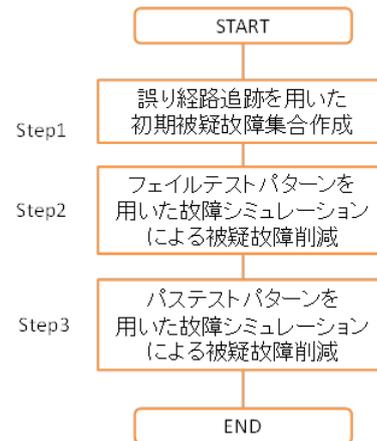


図 3. 提案手法のアルゴリズム

- 1) ゲートの入力信号線に制御値が含まれている場合，制御値が設定されている信号線を任意に選択し後方追跡を行い，非制御値の入力信号線に対しては後方追跡を行わない。
- 2) ゲートに非制御値しか入力されていない場合，その入力信号線全てに対して後方追跡を行う。

(Step2)

各フェイルテストパターンで誤り経路追跡を用いた被疑故障集合間で積集合をとり，残った故障が最終被疑故障集合とする。

2-2. 故障シミュレーションを用いた故障診断

故障シミュレーションを用いた故障診断は誤り経路追跡よりも多少時間がかかるものの被疑故障をより精度が高く求められる診断法である。「に故障シミュレーションを用いた故障診断法のアルゴリズムを示す。

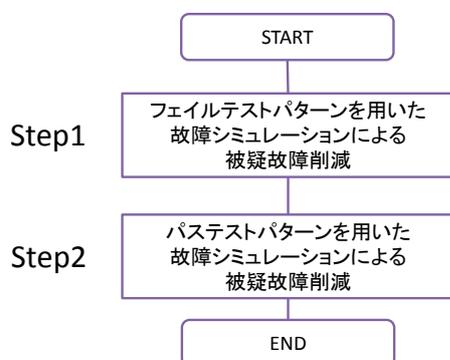


図 2. 故障シミュレーションを用いた故障診断のアルゴリズム

図 2 における各 Step の説明は以下の通りである。

(Step1)

考えうる全ての故障を初期被疑故障集合とし，その中から各フェイルテストパターン全てで検出可能な故障を検出し，被疑故障集合とする。

(Step2)

Step1 で作成した被疑故障集合と，パステストパターンで検出可能な故障との差集合を求める。求められたものを最終被疑故障集合とする。

3. 故障シミュレーションと誤り経路追跡を用いた故障診断

3-1. 提案手法のアルゴリズム

図 3 に提案手法のアルゴリズムを示す。各 Step における説明は以下の通りである。

(Step1)

回路情報，各フェイルテストパターン情報を用いて誤り経路追跡を行い，各フェイルテストパターンに被疑故障集合を作成し積集合をとり，初期被疑故障集合とする。

(Step2)

各フェイルテストパターンを用いて初期被疑故障に対して故障シミュレーションを実行する。

(Step3)

各パステストパターンを用いて故障シミュレーションを行う。

3-2. 誤り経路追跡を用いた故障診断例

図 4 に示す診断対象回路で誤り経路追跡と故障シミュレーションを用いた故障診断例を説明する。

まず、表 1 に示すように各テストパターンで論理シミュレーションを実行し、正常値を算出する。

“t0, t1, t2, t3” を印可した場合、“1, 0, 0, 1” が出力される。次に、故障回路において、各テストパターンでの出力は“0, 0, 0, 1” となった。このとき、期待値と比較すると ‘t0’ における外部出力が期待値と異なることがわかる。よって ‘t0’ はフェイルテストパターン、‘t1’ ‘t2’ ‘t3’ はパステストパターンである。

ここで図 3 のアルゴリズムに基づき、誤り経路追跡を用いた初期被疑故障集合作成を行う。2-1 の Step1 に記された 2 つの条件に従って、図 4 の回路において経路追跡を行うと、まず、外部出力 e の 0 縮退故障、次に条件 1) より OR ゲートの制御値である ‘1’ が入力されている信号線 d の 0 縮退故障が候補にあげられる。更に入力信号線側に遡り、AND ゲートには非制御値 ‘0’ しか入力されていないため、条件 2) より a の 0 縮退故障、b の 0 縮退故障が被疑故障となる。

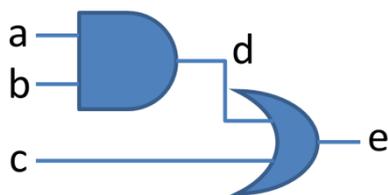


図 4. 診断対象回路

表 1. テストパターン印可時の信号線の論理値

	a	b	c	d	e
t0	1	1	0	1	1
t1	0	0	0	0	0
t2	0	1	0	0	0
t3	1	1	1	1	1

よって、誤り経路追跡法によって故障診断を行った結果、被疑故障集合は“a s-a-0, b s-a-0, d s-a-0, e s-a-0” の 4 つとなる。

図 4 と表 1 の例では故障シミュレーションを実行した結果、初期被疑故障集合は全て検出できるため、Step2 は省略される。

最後に Step3 のパステストパターンを用いた故障シミュレーションを行う。パステストパターンで検出可能な故障と考える。‘t4’ で ‘e s-a-0’ が検出できるので初期被疑故障集合から ‘e s-a-0’ 削除し、残りの“a s-a-0, b s-a-0, d s-a-0” の 3 つが最終被疑故障集合となる。

4. 実験結果

今回は、予備実験としてフェイルテストパターンのみの故障シミュレーションを用いた故障診断を実行した。実験は ISCAS’85 ベンチマークサーキットの c17 回路に対して、5 つのテストパターンを用いて故障診断を行い、総故障数、診断能、平均被疑故障数を表 2 に示す。

また、表 3 にはランダムに 1 つの故障を設定した回路に対して故障診断を 10 回を行い、更にそれを 5 回行った各診断時間と被疑故障数を平均したものを示す。

表 2. C17 における総故障診断

総故障数	平均被疑故障数	診断能
36	8.66	100%

表 3. ランダムに設定した故障診断

回数	平均被疑故障数	診断時間
1	9.3	0.078
2	11.6	0.093
3	9.5	0.096
4	9.8	0.078
5	7.8	0.062
ave	9.6	0.081

5. おわりに

従来法(1)として故障シミュレーションを用いた故障診断法を, 従来法(2)として誤り経路追跡を用いた故障診断法の2つで実験を行い, 提案手法として故障シミュレーションと誤り経路追跡を用いた故障診断法の実験を行う. 被疑故障数は提案手法 \leq 従来法(1) $<$ 従来法(2)となり, 診断実行時間は従来法(2) $<$ 提案手法 $<$ 従来法(1)となると予想される.

「参考文献」

- 1) E.Manning H.Y.Chang and G.Metze. Fault Diagnosis of Digital Systems. John Wiley & Sons, Inc., 1970.
- 2) M.Abramovici, M.A.Breuer, and A.D.Friedman. Digital Systems Testing and Testable Design. Computer Science Press., 1990.
- 3) V.Boppana and W.K.Fuchs. Fault dictionary compaction by output sequence removal. In Dig.Int. Conf. on Computer-Aided Design, pages 57-579, 1994.
- 4) B.Chess and T.Larrabee. Creating small fault dictionary. IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems,18:346-356, 1999.
- 5) I.Pomeranz and S.M.Reddy. A same/different fault dictionary: An extended pass/fail fault dictionary with improved diagnostic resolution. In Proc. Design Automation and Test in Europe, pages 1474-1479, 2008.
- 6) I.Pomeranz and S.M.Reddy. On the generation of small dictionaries for fault location. In Dig. Int. Conf. on Computer-Aided Design, pages 272-279, 1992.
- 7) P.G.Ryan, W.K.Fuchs, and I.Pomeranz. Fault dictionary compression and equivalence class computation for sequential circuits. In Dig. Int. Conf. on Computer-Aided Design, pages 508-511, 1993.
- 8) 山田輝彦 中村芳行. 組合せ回路における単一縮退故障の一診断法. 電子情報通信学会論文誌, 1991.
- 9) H.Takahashi, Kwame O. Boateng, On Diagnosing Multiple Stuck-at Faults Using Multiple and Single Fault Simulation in Combinational Circuit. IEEE,VOL.21, NO.3.,2002.