

機能的時間展開モデルの故障被覆関係解析

日大生産工(院) ○杉木 一也

日大生産工 細川利典
九州大学 吉村正義

1 はじめに

VLSI (Very Large Scale Integrate circuit) の高集積・大規模化が進むにつれて、テスト生成対象回路に対するテストパターンの生成が困難になってきている。その問題解決のために VLSI の自動テスト生成 (Automatic Test Pattern Generation: ATPG) アルゴリズムが数多く提案されている。テスト生成の対象となる回路は、回路の出力が入力のみ依存する組合せ回路と回路の出力が入力と回路内部のフリップフロップ(Flip-Flop: FF)に依存する順序回路の2種類に大きく分けることができる。順序回路の内部の構造は図1に示したようにコントローラとデータパスに分けて考えることができる。順序回路はコントローラが外部からの制御入力に従い、データパスに制御信号を供給して回路の動作を制御する。データパスはコントローラから受け取った制御信号に従い、外部からの入力データを処理して結果を外部出力に出力する。順序回路に対して多くのテスト生成アルゴリズムが提案されている[3,4]。しかし、一般の順序回路に対するテスト生成は組合せ回路に対するテスト生成と比べて、困難かつテスト生成に時間がかかる。そこで、テスト生成対象回路を時間展開することにより、回路全体としてFFのない組合せ回路として組合せテスト生成を行い、効率よく順序回路のテスト生成を行う方法が提案されている[5]。しかし、一般の順序回路は図2のようにフィードバックを持つ。そのため、テスト生成には必要な時間展開数が不確定なため、有限展開数の時間展開モデルを生成できない。また、従来の順序ATPGは回路の内部構造にのみ注目してテスト生成を行っている。本稿では回路の機能面を考慮することで時間展開数を有限化し、順序回路のデータパスに対して組合せテスト生成を適用可能にする手法を提案する。また、テスト生成時に使われるモデル数を削減するために制御系列の被覆についても考える。

2 時間展開モデルの多重故障

図2の順序回路より時間展開モデルを生成した例を図3に示している。図3の $C(t)$ は時刻 t での組合せ回路に対応し、 $Y(t)$ は内部状態、 $X(t)$ および $Z(t)$ はそれぞれ時刻 t の外部入力、外部出力を表す。時間展開モデルは時間軸に沿って回路を展開したものであるため、毎時刻に同一の組合せ論理が現れることになる。このため、図2のように元の順序回路では単一故障であっても、時間展開モデルでは、図3のように毎時刻に故障の仮定箇所が繰り返し現れ、モデル上では複数箇所に故障(多重故障)が存在する。時間展開モデルベースの順序回路ATPGは多重故障を扱わなければならない。

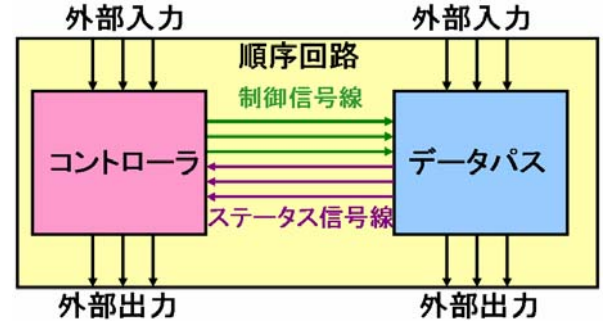


図1：順序回路の構成図

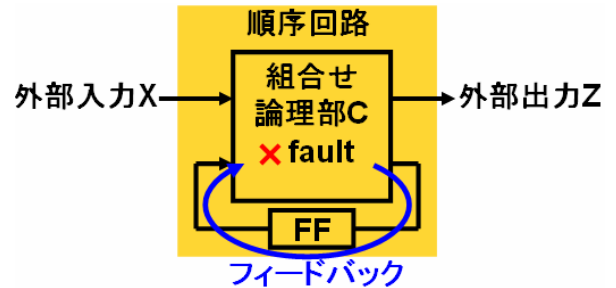


図2：時間展開モデルの元となる順序回路

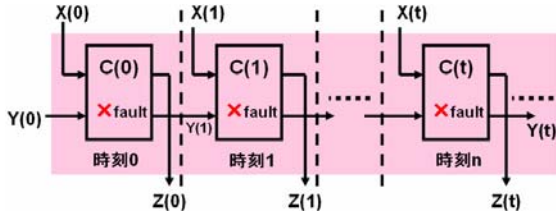


図3：時間展開モデルと多重故障

3 機能を考慮したテスト生成

一般的に順序回路の多くは入力に対して有限時間内に結果を出力すると考えられる。つまり、機能面から見れば順序回路の時間展開数は有限になると考えられる。有限の時間展開数ならば、時間展開モデルを生成して組合せテスト生成が可能となる。このため、回路の実際の動作に基づいたテスト生成法を考える。

4 機能的時間展開モデル

ある時刻における順序回路のデータパスの内部状態と機能動作はコントローラから供給される制御信号に依存している。つまり、テスト生成対象順序回路から制御系列を抽出し、制御系列供給時のデータパスの時間展開モデルに対してテスト生成することで機能面を考慮した順序回路のテスト生成を行うことができる。この時間展開モデルが機能的時間展開モデルと呼ぶ。

5 制御系列の抽出

制御系列の抽出の例として商レジスタが2bitの除算回路を機能検証用の制御系列の抽出を考える。図4は除算回路のコントローラ、図5は除算回路のデータパスである。引き戻し法を用いた商レジスタがqビット除算器のコン

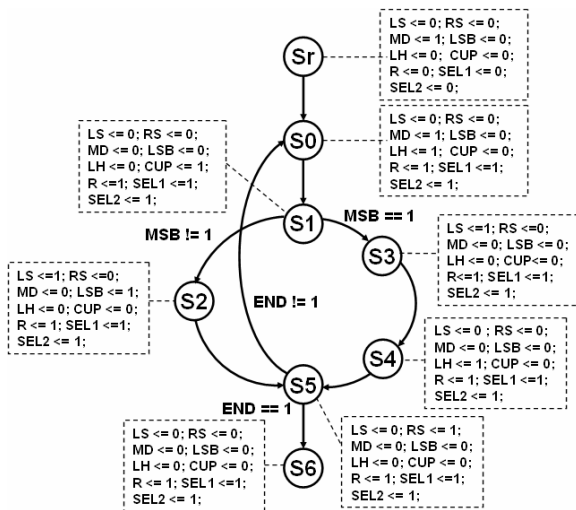


図4：除算回路のコントローラ

トローラはS0～S5間をq+1回ループすることがわかっており、また、 $4 \times (q + 1) + 2 \sim 5 \times (q + 1) + 2$ 時刻の間でリセット状態Srから終了状態S6に遷移する。また、状態遷移の仕方は 2^{q+1} とおり存在することになる。商レジスタが2 bitである今回は3回ループし、8通りの制御系列が存在する。回路の機能を検証を考えると、図4のコントローラの全ての辺を1度は通ればデータパス中の各演算器を動作させることができるので、Sr→S0→S1→S2→S5→S0→S1→S2→S5→S0→S1→S3→S4→S5→S6の状態遷移に沿って制御系列を抽出すればよい。

6 制御系列の数

図6に示すような有限状態機械 (Finite State Machine:FSM)より制御系列の抽出を考える。カウンタ等の小規模な順序回路のFSMは図5のFSM(a)のように初期状態から出発して状態を決まった順番で1つずつ遷移していき、全状態へ遷移し終わると初期状態へ遷移する。

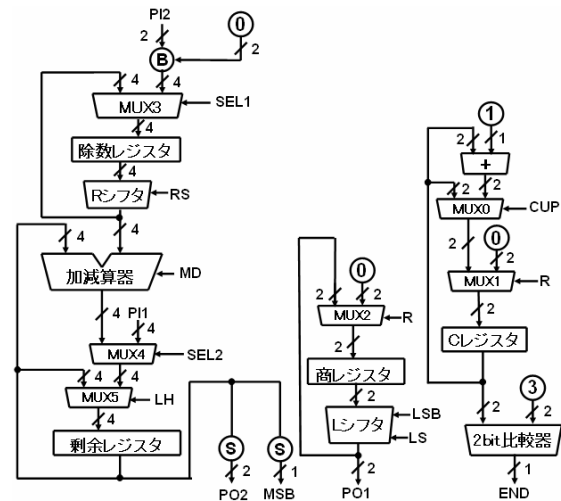
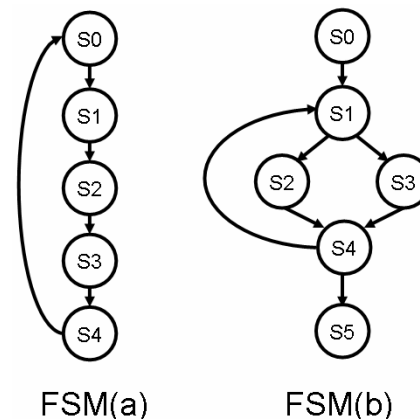


図5：除算回路のデータパス



FSM(a)

FSM(b)

図6：コントローラのFSMの例

FSM(a)のようなループをもつFSMでも状態遷移の順番が決まっているためループする回数を増やした場合でも抽出される制御系列は1つで済む。一方、大規模の順序回路のFSM(b)のように状態遷移の分岐を含む状態遷移のループを持つようなFSMから制御系列を抽出する場合、ループ回数の増加に対して考えられる制御系列の組み合わせの数は指数的に増大する。図6のFSM(b)はループの回数を n とすると制御系列の数は 2^n になる。そのため、制御系列の抽出に関して回路の規模に応じて抽出する制御系列数を抑える必要がある。

7 制御系列の被覆

図7のコントローラのFSMは初期状態 S_0 から S_1 へ遷移し、 S_1 から S_1 への任意の回数だけ行う。このコントローラより制御系列を抽出し、制御系列を用いて生成されたデータパスの機能的時間展開モデルの例を図8に示している。図8の $X(t)$, $Y(t)$, $Z(t)$ はそれぞれ時刻 t の時の外部入力の値、データパス内部のFFの値、外部出力の値を意味している。 $C(\sigma)$ はコントローラが状態遷移 σ を行ったときにデータパスへ供給する制御信号で、 $D(C(\sigma))$ は制御系列 $C(\sigma)$ を供給されたデータパスを示す。図8の機能的時間展開モデルのうち“モデル1”は $S_0 \rightarrow S_1 \rightarrow S_1$ と状態遷移した場合の機能的時間展開モデルであり、もう一方の“モデル2”は $S_0 \rightarrow S_1 \rightarrow S_1 \rightarrow S_1$ と状態遷移場合の機能的時間展開モデルである。図8の機能的時間展開モデルのうち“モデル1”の斜線部と“モデル2”の斜線部に注目すると時刻0～時刻2において回路が同様に展開されている。“モデル1”で検出される故障は“モデル2”で検出できる。つまり“モデル1”は“モデル2”に含まれていると言える。このため“モデル1”にテスト生成を行うことで、被覆される“モデル2”に対するテスト生成を省くことができる。このようにモデルの被覆を制御系列の被覆として考える。

8 機能的時間展開モデルを用いたテスト生成アルゴリズム

図9に示すアルゴリズムによりテスト生成を行う。各stepを以下で説明する。

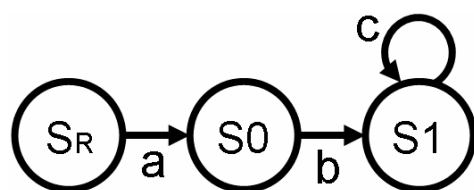


図7：FSMの例1

- step1. コントローラから必要な数の制御系列を抽出する。step2へ進む
- step2. 順序回路の全故障を処理開始時の未検出故障とし、ATPGによって全故障を検出したならば処理を終了する。そうでないならばstep3へ進む。
- step3. 抽出した制御系列のうちまだ機能的時間展開モデルを生成していないものが存在しないならば処理を終了する。そうでないならばstep4へ進む。
- step4. 未処理の制御系列から1つ選択して機能的時間展開モデルを生成する。step5へ進む。
- step5. 生成した機能的時間展開モデルに対し、未検出故障を対象に多重故障対応組合せテストATPGを行う。生成されたパターンで故障シミュレーションを行い、検出された故障を未検出故障から取り除く。step2へ戻る。

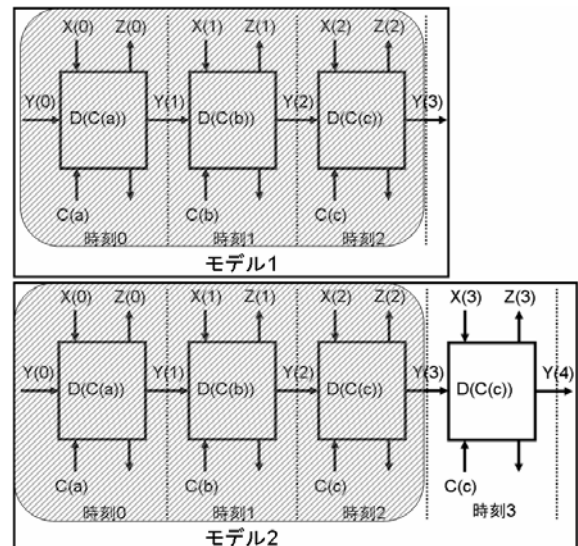


図8：機能的時間展開モデルの被覆の例

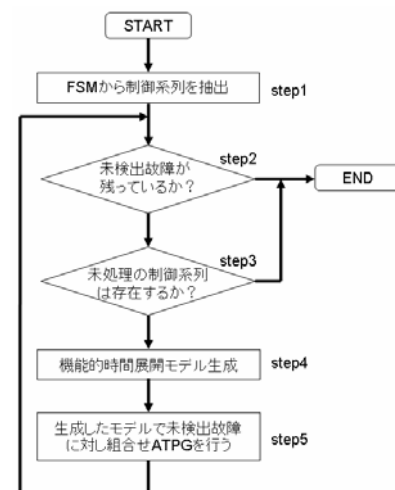


図9：テスト生成アルゴリズム

9 おわりに

今回、機能を考慮した順序回路のテスト生成手法を示した。さらに制御系列の被覆によってテスト時に要する制御系列数の削減法を提案した。今後はさらなるテストの効率がよい制御系列抽出法について考えていく。

「参考文献」

- 1) H.Fujiwara, “Logic Testing and Design for Testability”, The MIT Press, 1985.
- 2) M.Abramovici, M.A.Breuer, and D.Friedman, “Digital systems testing and testable design”, IEEE Press, 1995
- 3) W.-T. Cheng and T.J.Chakraborty, “Gentest: An Automatic Test Generation System for Sequential Circuits,” Computer, vol. 22, no.4, pp.43-49, Apr.1989.
- 4) T. M. Niermann and J.H.Patel, “HITEC: A Test Generation Package for Sequential Circuit,” in Proc. of the European Design Automation Conf., Feb.1991, pp.214-218.
- 5) T.Inoue, T.Hosokawa, T.Mihara and H.Fujiwara, “An Optimal Time Expansion Model Based on Combinational ATPG for TR Level Circuits,” IEEE Asian Test Symp., Vol.39, No.4, pp.190-197, Apr.1998.
- 6) S.Ohtake, T.Masuzawa and H.Fujiwara, “A non-scan approach to DFT for Controllers Achieving 100% Fault Efficiency”, Journal of Electronic Testing: Theory and Applications, Vol.16, No.5, pp.553-566, Oct 2000.
- 7) 和田弘樹, 増澤利光, K.K.Saluja, 藤原秀雄, “完全故障検出効率を保証するRTLデータパスの非スキャンテスト容易化設計法”, 電子情報通信学会論文誌 (DI), Vol.J82-D-I, No. 7, pp. 843-851, July 1999.
- 8) 杉木一也, 細川利典, 吉村正義, “機能的時間展開モデルを用いたデータパス順序回路のテスト生成解析” 日本大学生産工学部第39回学術講演会講演概要, p109-112, Dec 2006