

ドントケア抽出技術を用いた N 回故障検出率の最大化

日大生産工(学部) ○小澤 和也
日大生産工 細川 利典

1. はじめに

近年, VLSI の大規模化に伴い, テストコストが増大してきており, テストパターン生成に対する要求が多様化してきている. 増大するテストコストを抑えるために, 効率のよいテストパターンの生成や回路のテスト容易化設計が行われてきた. 一般に一旦生成されたテストパターンは, 0 または 1 の値が全て割り当てられていたが, 実際にテスト生成が行われた直後には, 未設定な入力値が残っていることがある. その未設定だった値を探し出し, 値の再割り当てを行うことで故障検出率を下げることなく, 縮退故障の検出以外に新たな特性をテストパターンに持たせることが重要である. 本論文は, 検出回数の少ない故障の検出数の増加を目的としている. 与えられたテストパターンに対して, ドントケア抽出[1]を行い, 平均検出回数より少ない故障の検出回数を向上させるために, ドントケアの再割り当て手法を提案する. また, ドントケア抽出を行った時点での平均検出数と値の割り当てを行った後の各故障の検出回数を評価したので報告する.

2. ドントケア抽出

ドントケア (x) とは, 論理値 0 または 1 のどちらの値をとってもよい値である. ドントケア抽出[1]とは, ある故障 f を検出するテストパターン t が存在するとき, 故障 f を検出するときに検出に関わらないテストパターンの外部入力値をドントケアに変換する処理のことである. 図 1 の回路を用いて, ドントケア抽出の簡単な例を挙げて説明する. テストパターンの外部入力値の全てが 0 と 1 に特定されたテストパターン集合 $T = \{ t_1, t_2, t_3, t_4 \}$ が与えられたとき, 以下に記す 3 つの条件を満たした上で, ドントケアを含むテストパターン集合 $T' = \{ t_1', t_2', t_3', t_4' \}$ を導出する.

t_2', t_3', t_4' } を導出する.

- (1) T' は T を被覆する
- (2) T' と T の縮退故障検出率は等しい
- (3) T' はできるだけ多くのドントケアを含む

表 2 は, T と T' それぞれに含まれるテストパターンが検出可能な故障を示している. 表 1(a) のテストパターン t_1 は, $\{ a/0, b/0, c/1 \}$ の故障を検出することができる. なお, $1/v$ は, 信号線 1 の v 縮退故障 ($v \in \{0, 1\}$) を表す. しかし, $c/1$ は, t_3 でも検出することができるので, t_1 の外部入力 c の値をドントケアとすることができる. また, 表 2(a) より, $a/1$ は, t_3 と t_4 の両方のテストパターンで検出することができる. よって, $a/1$ は t_3 で検出することができるので t_4 の外部入力 a の値をドントケアとすることができる.

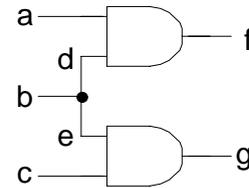


図 1. 回路例

表 1. テストパターン集合

	a	b	c
t1	1	1	0
t2	1	0	1
t3	0	1	0
t4	0	1	1

(a) T (x なし)

	a	b	c
t1'	1	1	x
t2'	1	0	1
t3'	0	1	0
t4'	x	1	1

(b) T' (x あり)

表 2. 検出可能な故障一覧

	検出故障
t1	a/0, b/0, c/1
t2	b/1
t3	a/1, c/1
t4	a/1, b/0, c/0

(a) T (x なし)

	検出故障
t1'	a/0, b/0
t2'	b/1
t3'	a/1, c/1
t4'	b/0, c/0

(b) T' (x あり)

上記のドントケア抽出を終了した時点でのテストパターン集合が表 1(b)となる。また、ドントケア抽出後のテストパターン集合 T' の検出可能な故障の一覧を表 2(b)に示す。

3. N 回検出テスト

N 回検出テスト[2][3]とは、回路中の各故障を異なるテストパターンでN回検出するテストのことである。1つの縮退故障の検出に対し、異なるN個のテストパターンを用いることによって、対象としている縮退故障の検出だけでなく、他の故障モデル(ブリッジ故障, トランジション故障)の故障を検出する確率も上がる。N回検出テストで使用するテストパターン数は、Nの値に比例して増加する。

4. N 回故障検出率向上のためのドントケア再割当て

本論文では、ドントケア抽出を行ったテストパターン集合を用いて、各故障の検出回数が平均以下のものを対象に、各故障の検出回数をできるだけ平均故障検出数までに増加させるための手法を提案する。ドントケア抽出を行ったテストパターン集合で故障シミュレーションを行うと図2のように、信号線aまでは1/0の故障が伝搬されているが、信号線bの値がドントケアであるためにANDゲートの出力がx/0になり、外部出力eで検出されない。このようなドントケアを含む故障の影響は1/x, 0/x, x/1, x/0という4パターンが考えられる。この4パターンのような故障の影響を潜在的故障リストと呼ぶ。本提案手法では、潜在的故障リストが外部出力付近まで伝搬している故障の検出を目標とし、外部出力で1/0または0/1となる故障リストが伝搬されるようにドントケアの値を決定する。この手法を用いて、図2で未検出な潜在的故障リストを持つ故障を図3に示すように検出するためにbの値を1と決定する。

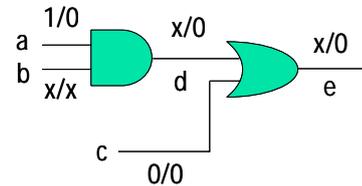


図 2. 潜在的故障リストの例

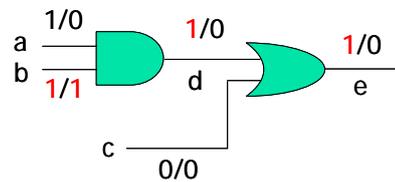


図 3. 故障リスト伝搬

図4に値再割り当てプログラムの大まかな処理の流れを示す。

まず、潜在的故障リストを得るために対象となるテストパターンに対し、故障シミュレーションを行う。この潜在的故障リストは、故障シミ

シミュレーションを行った結果、平均より少ない故障を対象に作成される。次にこの結果を元に検出回数が平均以下の故障を1つずつ取り出し、その故障を対象としている潜在的故障リスト中のテストパターンを選択し、ドントケアの部分に適切な値を割り当てる処理を行う。この処理により、選択された故障の検出回数を平均以上まで向上させるようにする。

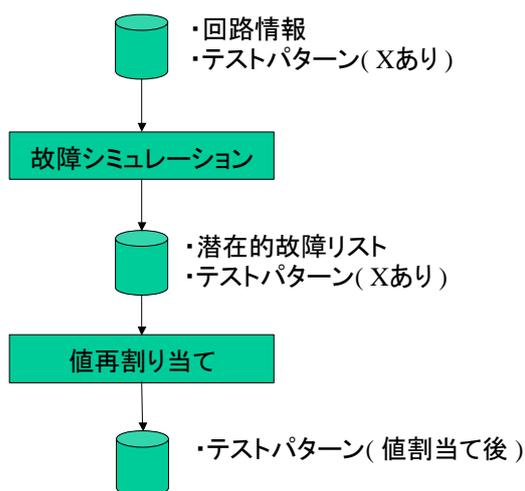


図4. 処理の流れ

5. 実験結果

ドントケア抽出を行ったテストパターン集合に対して、値再割り当てを行い、故障の検出回数が平均以上検出されるように改善できていることを示す。ISCAS85 ベンチマーク回路に対し、TetraMAX で生成したテストパターン(1回検出)で故障シミュレーションを行い、平均故障検出回数以下の故障総数を求めた。その結果を表3に示す。値を割り当てることにより、故障の検出回数の改善が見られたのは、c432, c1908, c3540, c6288 の4つの回路であった。これらの回路は、平均以下である故障検出回数の故障の総数を減らすことができている。しかし、他の回路でもまったく変化がないというわけではない。表4は、c17回路中の故障箇所、値を割り当てることで検出回数が向上している故障箇所を示している。この結果から値を割り当てることで、平均以下の故障検出回数の故障総数を減らすことはできずとも、各故障箇所の故障検出数を少なからずとも向上させているということがわかる。今後は、このような平均以下の故障検出回数

の故障箇所を重点的に、検出数が増えるような方法を探していきたいと思います。以上の実験結果から、値の再割り当てを行うことにより、平均以下の故障の検出数を上げることはできるが平均故障検出回数まで検出数を上げることができない回路があることがわかった。

表3. 平均故障検出回数以下の故障総数

	値割り当て前	値割り当て後
c17	11	11
c432	338	277
c499	750	750
c880	640	640
c1355	796	796
c1908	974	886
c2670	2593	2593
c3540	2380	2278
c5315	4806	4806
c6288	5056	4774
c7552	6032	6032

表4. 故障検出回数の向上箇所

c17	割当て前	割当て後
f1	2	3
f2	1	2
f3	1	2
f4	3	4
f5	2	3

6. おわりに

本論文では、与えられたテストパターン集合にドントケア抽出し、N回検出テストの故障検出率を向上させるための再割り当て手法を提案した。1回検出テスト生成によるテストパターン集合でも検出回数の少ない故障の検出回数を向上させることにより、N回故障検出率を向上できる可能性を示した。今後は、値を割り当てる方法をより改善し、各故障箇所の故障検出回数がより向上するようなアルゴリズムを考案することに重点をおきたいと思います。ドントケアの再割り当て部分の実装と評価実験を行う予定である。

7. 参考文献

[1] Seiji Kajihara, Kohei Miyase, "On Identifying Don't Care Inputs of Test

- Patterns for Combinational Circuits,"
IEEE/ACM International Computer-Aided
Design 2001, pp. 364-369, Nov. 2001.
- [2] S. C. Ma, P. Franco and E. J. McCluskey,
"An Experimental Chip to Evaluate Test
Techniques Experiment Result," in
Proc. 1995 International Test
Conference, Oct. 1995, pp. 663-672.
- [3] S. M. Reddy, I. Pomeranz and S. Kajihara,
"On the effects of Test Compaction on Defect
Coverage," in Proc. 14th VLSI Test Symp.,
April 1996, pp. 430-435.