

# 平衡構造のテストビリティ解析に関する研究

日大生産工(学部) ○齋藤 亮介 日大生産工 細川 利典

## 1. はじめに

VLSI (Very Large Scale Integrated circuit) は一般に同期式順序回路 (以後, 順序回路) で設計される. 一般に順序回路にはフリップフロップ (FF) を介してフィードバックループが存在するため, 故障が外部出力に伝搬されるために必要なテスト系列長や故障の励起状態を正当化するために必要なテスト系列長があらかじめ予測できず, テスト生成処理が困難である [1, 2]. テスト生成処理を容易にし, 高い故障検出効率を得るためには, 何らかのテスト容易化設計 (Design for testability: DFT) が必要である. 現在, 広く使われている DFT 手法にフルスキャン設計 [1, 2] がある. この手法は回路中のすべての FF をスキャン FF に置き換え, シフトレジスタ状に接続することで, テスト中に FF を可制御・可観測にすることができる. したがって, スキャン FF の出力を外部入力, スキャン FF の入力を外部出力とみなした組合せ回路に対してテスト生成を適用すればいいので, フルスキャン設計は容易に高い故障検出効率を得ることができる. しかし, テスト実行時間や面積・性能・消費電力などのオーバーヘッドが大きいという問題点がある. 回路中にフィードバックループを持たない無閉路順序回路のテスト生成は, 回路の順序深度+1 の時刻だけ時間軸展開した時間展開モデルについてテスト生成すればいいので, 多重故障の組合せテスト生成アルゴリズムが適用可能と

なり, 比較的テスト生成が容易化される. さらに回路中の任意の外部入力と外部出力のペアの順序深度が一定である平衡構造を持つ順序回路のテスト生成は, 回路中の FF をバッファに置換した組合せ回路について適用すればよい. したがって, 単一故障の組合せテスト生成アルゴリズムが適用可能となり, さらにテスト生成が容易化されると期待できる. 本論文では, 平衡構造を持つ順序回路のテストビリティ解析を行う順序回路からある特定の FF を外部入出力に置き換えることで平衡構造を持つ順序回路を抽出する. その抽出した平衡構造を持つ順序回路に対して順序回路テスト生成アルゴリズムを適用し, テスタビリティを評価する. さらに平衡構造を持つ順序回路の FF をバッファに置き換えた組合せ回路モデルを生成し, 組合せテスト生成アルゴリズムを適用し, テスタビリティを評価する.

## 2. 平衡構造

順序回路が以下の3つの条件を満たす時, その順序回路は平衡構造を持つという [3, 4].

D1: 順序回路の接続形態グラフが非循環

D2: 接続形態グラフにおける任意の組合せ論理ブロック間のすべての順序深度が等しい

D3: 接続形態グラフにおける任意のホールドレジスタを削除すると, 接続形態グラフは非連結になる

---

Testability Analysis of Balanced Structure

Ryosuke SAITO, Toshinori HOSOKAWA

接続形態グラフとは、組合せ論理ブロックとレジスタの接続形態を表すグラフのことをいい、頂点が組合せ論理ブロック、細い辺がロードレジスタ、太い辺がホールドレジスタ、辺に与えられた重みがそのレジスタをスキャンレジスタに変更する際のコストを意味する。接続形態グラフは  $G = (V, A, H, w)$  で表される。  $V$  が組合せ論理ブロックの集合、  $A$  が組合せ論理ブロック間のレジスタの集合、  $H$  がレジスタの中でもホールド機能をもったレジスタの集合、  $w$  がレジスタをスキャンレジスタに変更する際のコストを意味する。

### 3. 平衡構造と時間展開モデル

平衡構造を持つ順序回路は、以下の特徴を持つため、組合せテスト生成アルゴリズムが適用可能となる。

- C1: 時間展開モデルの時刻数が有限
- C2: 組合せ論理ブロックがただ 1 つの時刻に存在
- C3: レジスタのホールドモード時とロードモード時で時間展開モデルが同じ回路

次に、平衡構造について接続形態グラフと時間展開モデルを用いて説明する。

D1 は、フィードバックループがない無閉路な順序回路のことを指す。フィードバックループのある順序回路は時間展開モデルの時刻数が無限大になってしまい、時刻数が収束しない。よって、組合せテスト生成アルゴリズムが適用不可となる(図 1 参照)。

D2 は、任意の組合せ論理ブロック間のすべての順序深度が等しい順序回路を指す。組合せ論理ブロック間で他の順序深度と一致しないパスが存在した場合、時間展開モデルにおいて組合せ論理ブロックが複数時刻に存在するため、多重故障対応の組合せテスト生成が必要となる(図 2 参照)。

D3 は、任意のホールドレジスタを削除すると回路が分離される順序回路を指す。回路が分離されないということは、ホールドモードの場合とロードモードの場合とで、時間展開モデルにおける回路が変わるので、複数の時間展開モデルに対してテスト生成が必要となる(図 3 参照)。回路が分離され

るといことは、必ずそのホールドレジスタを通過しないと値が伝搬できないので、ホールドでどれだけ時間が延びても時間展開モデルから得られる組合せ回路は変わらない。

平衡構造の条件である D1~D3 を満たす順序回路の時間展開モデルを図 4 に示す。図 4 において時刻数が有限で書く論理ブロックはただ 1 つの時刻に存在し、ホールドで時刻数が延びたとしても得られる組合せ回路は同じであることがわかる。したがって、平衡構造を持つ順序回路は組合せテスト生成アルゴリズムを適用することができる。

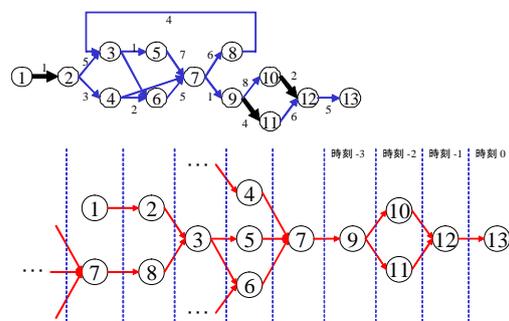


図 1. 平衡構造の定義 1 の時間展開モデル

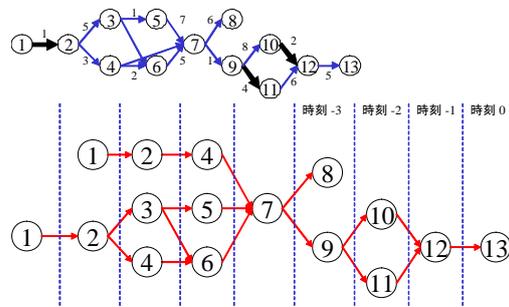


図 2. 平衡構造の定義 2 の時間展開モデル

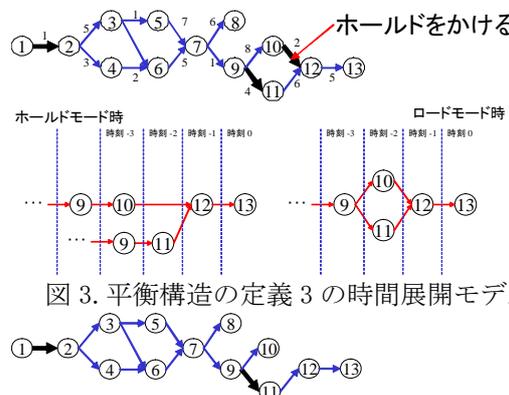


図 3. 平衡構造の定義 3 の時間展開モデル

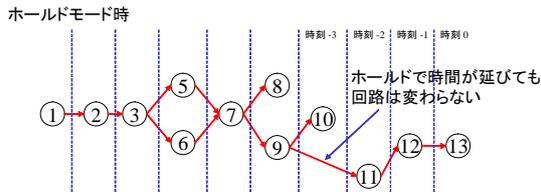


図 4. 平衡構造を持つ回路の時間展開モデル

## 4. 実験結果

### 4.1 実験に用いる回路

平衡構造を抽出するプログラムを実装し、LWF 回路に対して実験を行った。LWF 回路の RTL(Register transfer level)データパス回路に対して抽出した平衡構造の情報を表 1 に示す。回路名は実験に用いる回路名、PI 数は外部入力数、PO 数は外部出力数、レジスタ数は平衡構造を抽出した回路のレジスタの数、順序深度は回路中のすべての経路で最も多いレジスタの段数、平衡再収斂数[6]は回路中の平衡再収斂になっている箇所の数、MAX 段数は平衡再収斂中の最も多いレジスタの段数をそれぞれ表している。一般的に、RTL 回路はデータパス部とコントローラ部から構成されていて、データパス部は演算機、レジスタ、マルチプレクサ、およびそれらを接続する信号線から成る。今回の実験では、LWF 回路のビット幅を 16, 32, 64, 128 と増やして実験を行った。

### 4.2 順序回路テスト生成アルゴリズムでのテストビリティ解析

平衡構造を抽出した回路に対して、順序回路テスト生成アルゴリズムを適用した結果を表 2 に示す。回路のビット幅を 16, 32, 64, 128 と増やしていった。

### 4.3 組合せ回路テスト生成アルゴリズムでのテストビリティ解析

LWF 回路に対して、すべての FF の入出力を擬似外部入出力に置き換えて組合せ回路テスト生成アルゴリズムのテストビリティ解析を適用した結果を表 3 に示す。テストパターン数は組合せ回路テスト生成アルゴリズムで出力されたテストパターン数×(順序深度+1)で評価している。これは、時間展開モデルを考慮していないためである。

表 1. 平衡構造を抽出した LWF 回路

回路名	PI数	PO数	レジスタ数	順序深度	平衡再収斂数	MAX段数
LWF	15	5	2	1	0	0

表 2. 順序回路テスト生成アルゴリズム結果

回路名	ビット幅	故障検出効率	テストパターン数	CPU時間
LWF	16	97.75%	25	0.16
	32	98.36%	49	0.99
	64	98.90%	34	5.88
	128	99.34%	42	106.82

表 3. 組合せ回路テスト生成アルゴリズム結果

回路名	ビット幅	故障検出効率	テストパターン数	CPU時間
LWF	16	100.00%	60	0.20
	32	100.00%	54	0.82
	64	100.00%	70	6.07
	128	100.00%	84	106.68

### 4.4 考察

結果について考察してみると、順序回路テスト生成アルゴリズムを適用した場合、ビット幅を増やすごとに故障検出効率は向上していった。最も低いもので 97.75%と、テストとしての機能を保っている。これは、ビット幅が多いということは外部入出力のビット幅が多くなるので、印加されるデータの量が増え、結果的に故障検出効率が増加したと考えられる。組合せ回路テスト生成アルゴリズムを適用した場合、どのビット幅でも故障検出効率は 100.00%を維持した。テストパターン数を比べてみると、組合せ回路テスト生成アルゴリズムの方が多くなっているが、これは結果のテストパターン数×(順序深度+1)で評価しているためと考えられる。CPU 時間では、2つのアルゴリズム適用結果において差は見られなかったが、128 ビットで急激に増加している。以上のことより、平衡構造抽出プログラムにおいてビット幅が多い方が故障検出効率は増加するが、ある一定量を超えると CPU 時間が極端に増加することがわかった。

## 5. おわりに

本論文では、平行構造抽出プログラムを実装し、平衡構造の順序回路テスト生成アルゴリズムでのテストビリティと組合せ回路テスト生成アルゴリズムでのテストビリティについて解析した。

今後の課題として、RTL データパスに対する平衡構造を単位とした階層テストに応用していく予定である。

#### 参考文献

- [1]H. Fujiwara, “Logic Testing and Design for Testability,” The MIT Press, 1985.
- [2]M. Abramovici, M. A. Breuer, and A. D. Friedman, “Digital systems testing and testable design,” IEEE Press, 1995.
- [3] Rajesh Gupta, Rajiv Gupta and Melvin A. Breuer, “The BALLAST Methodology for Structured Partial Scan Design,” IEEE Press, 1990
- [4]Rajesh Gupta, Rajiv Gupta and Melvin A. Breuer, “BALLAST:A Methodology for Partial Scan Design,” IEEE Press, 1989.
- [5]Tomoo Inoue, Toshinori Hosokawa, Takahiro Mihara, and Hideo Fujiwara, “An Optimal Time Expansion Model Based on Combinational ATPG for RT Level Circuits,” Proc. IEEE Asian Test Symposium, pp.190-197, Dec.1998
- [6] 細川利典, 平岡敏洋, 太田光保, ” パーシヤルスキャン設計による平衡再収斂構造のテスト安定性評価” 情報処理学会誌, Vol.40, No.04, pp.1736-1744 (1999.4)