

故障活性化率向上指向テスト集合の統計的遅延品質評価

日大生産工(院) ○富田 健 日大生産工 細川 利典
明大 山崎 浩二

1. はじめに

従来、テスト生成には単一縮退故障モデルが広く用いられている。単一縮退故障モデルは取り扱いが容易でかつ、多くの欠陥が単一縮退故障テストで検出できることなどがその要因として挙げられる[1][2]。しかし、近年 VLSI の製造技術の進歩に伴い、回路の大規模化、高速化、複雑化が急速に進み、従来使用されていた単一縮退故障検出用テスト集合では検出できない欠陥が増加している。そのため、縮退故障以外の欠陥を検出できる能力が高い、より高品質のテスト集合が必要とされている。

高品質なテスト手法として、欠陥ベーステスト[3]、Iddq による電流テスト[4]、n 回検出テスト[5][6]が知られている。n 回検出テストとは「回路中の各縮退故障が、異なる n 個以上のテストで検出される」ようなテスト集合のことである。このテスト生成の利点は

- ・ 既存の縮退故障検出テスト生成アルゴリズムの応用で容易に実現可能である
- ・ n の値の増加に伴いテスト品質も向上する

ということが知られている。また、ブリッジ故障のテスト品質向上を目的として、できるだけ多くの外部出力で故障が検出できるような技術を組み込んだ n 回検出テスト[7]や、他の故障モデルでの n 回検出テスト[1]、できるだけ多数の故障伝搬経路を活性化する技術を組み込んだ故障活性化率指向 n 回検出テスト生成法 (FSOD) [8]などが提案されており、テスト品質の向上に効果的であることが報告されている。

本稿では、FSOD を用いて生成したテスト集合の品質をパス遅延モデル[9]と統計的遅延品質モデルで評価する。

2. 故障活性化率指向 n 回検出テスト生成 (FSOD)

2.1. n 回検出テスト

(定義 1 : n 回検出テスト)

各縮退故障 f_i ($1 \leq i \leq |F|$, F は故障集合) を、テスト集合 T 中の異なる n 個以上のテストで検出するか、または f_i を検出可能なテストがすべて T に含まれるとき、そのテスト集合 T は n 回検出テストという。

定義 1 にしたがって、各縮退故障をそれぞれ n 回以上検出するようなテストを生成することを、n 回検出テスト生成という。このテストは前述のような利点が挙げられる。どのような論理故障もその検出のためには、縮退故障の検出条件が必要条件であり、さらに別の条件を満たさなければならない。n 回検出することで、この別の条件が満たされる可能性が増す。しかしながら、n 回検出テスト集合の定義に従ってテスト生成を行った場合、テスト品質の向上に寄与しないテストが生成される可能性がある。

2.2. 故障活性化率

(定義 : 故障活性化率)

故障 f の故障活性化率は、 f から到達可能な信号線数のうち、テスト集合 T によって f について活性化された信号線数の割合を表したものである。ここで、 f について活性化された信号線とは、 f が検出されたときの故障伝搬経路である。また回路全体の故障活性化率は、各故障の故障活性化率の平均値を表す。以下に故障活性化率の計算式を示す。

- ・ sen_f : 故障 f の故障活性化率

$$sen_f = \frac{\text{活性化された信号線数}}{\text{故障 } f \text{ から到達可能な信号線数}} \times 100 \quad (1)$$

- ・ SEN : 回路全体の故障活性化率

$$SEN = \frac{\sum sen_f}{\text{全故障数}} \quad (2)$$

次に故障活性化率の計算について例を用いて説明する。

例 1 : 図 1 の回路において、テスト集合 $T_\alpha = \{(0, 1, 1, 0, 0), (1, 1, 1, 0, 1)\}$, $T_\beta = \{(0, 0, 1, 1, 1), (1, 1, 1, 0, 1)\}$ が与えられたときの信号線 c の 0 縮退故障の活性化率はそれぞれ以下のように求めることができる。

信号線 c から到達可能な信号線数は $\{c, f, g, h, i, k, m, n, p, q\}$ の十本である。

- ・ T_α が与えられたとき故障の活性化率

図 1(a), (b) に示すように、テスト $(a, b, c, d, e) = (0, 1, 1, 0, 0)$ で活性化される信号線は

{c, f, h, m, q}であり、テスト(a, b, c, d, e)=(1, 1, 1, 0, 1)で活性化される信号線は{c, f, h, k, p}である。したがって、活性化される信号線数は{c, f, h, k, m, p, q}の7本となるので、信号線cの0縮退故障の故障活性化率は、 $\frac{7}{10} \times 100 = 70\%$ [%]

・ T_β が与えられたときの故障活性化率

図1(b), (c)に示すように、テスト(a, b, c, d, e)=(1, 1, 1, 0, 1)で活性化される信号線は{c, f, h, k, p}であり、テスト(a, b, c, d, e)=(0, 0, 1, 1, 1)で活性化される信号線は{c, g, j, n, q}である。したがって、活性化される信号線数は{c, f, g, h, j, k, n, p, q}の9本となるので、信号線cの0縮退故障の故障活性化率は、 $\frac{9}{10} \times 100 = 90\%$ [%]

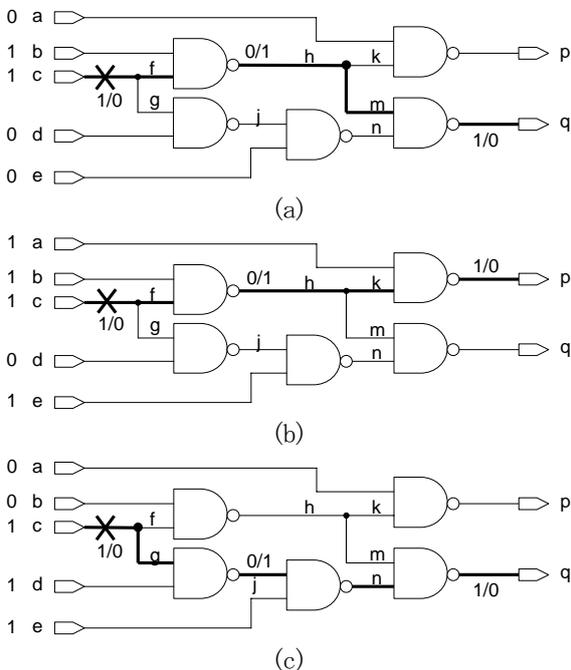


図1. 故障活性化率計算

したがって、信号線cの0縮退故障に対するテスト集合 T_α, T_β のテスト品質は、故障活性化率によって評価すると T_β の方が高品質であると言える。故障活性化率を高めるテスト生成法として故障活性化率指向n回検出テスト生成(FSOD)がある。このFSODは故障箇所から異なる故障伝搬経路を通して、各故障をn回検出するテスト生成法である。このテスト生成法により、活性化される信号線数を増やし、その結果テスト品質の向上を図る。

3. 統計的遅延品質モデル (SDQM)

3.1. 統計的遅延品質モデル

統計的遅延品質モデル[9]では、各仮定故障に対して、遅延欠陥の大きさごとの発生確率、すなわち遅延欠陥分布を仮定する。与えられたテストパターンの遅延欠

陥の検出能力を、テストタイミングとテストされた論理パスの遅延値の差で判定し、テスト後に検出されないで残る遅延欠陥の発生確率を遅延欠陥分布より求める。また、本稿において、論理パスの遅延をゲート段数で代用した。

3.2. 遅延欠陥分布

実際のパスに遅延が存在するとき、その遅延の大きさの分布を遅延欠陥分布 $F(s)$ として図2に示す。ここで s は遅延の大きさを表している。

$F(s)$ は文献[10]~[12]で見られるように、実データの分析データの蓄積や、特別に設計されたテストチップ(TEG)等により得られることが知られている。ここで $F(s) = a \times \exp(-\lambda s) + b$ とおく。ここで a, b, λ は定数を表している。

本稿の評価に用いる遅延欠陥分布は、文献[13]のデータをもとに近似的に決定した。 $F(s)$ を最小二乗法により近時し、最終的には(3)式で $F(s)$ を定義する。

$$F(s) = 1.58 \times 10^{-3} \times \exp(-2.1s) + 4.94 \times 10^{-6} \quad (3)$$

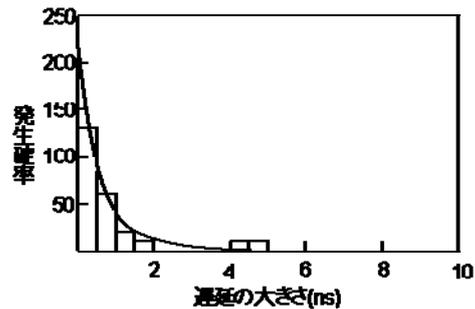


図2. 遅延欠陥分布

3.3. 統計的遅延品質レベル(SDQL)

遅延設計上、論理パスは、フォールスパスとトゥルーパスとに分類される[14]。フォールスパスは実際のシステム動作では用いられないために、設計者がタイミング制約の検証対象外とする論理パスである。それ以外の論理パスは、トゥルーパスと呼び、タイミング制約の対象とする。本稿では、全ての論理パスをトゥルーパスとして実験を行った。図3に、仮定故障X(ANDゲートの出力ピンの故障)を通過する論理パスのうち、以下の2種類に着目する。

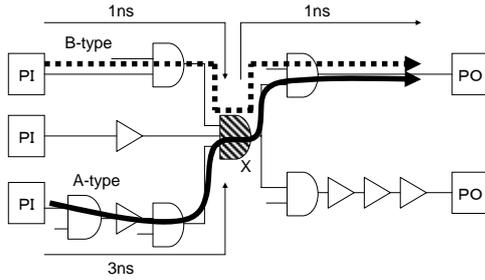


図3. 仮定故障を通過する2種類の論理パス

(A-type) 最長のトゥルーパス

(B-type) いずれかのテストパターン対で活性化されたトゥルーパス

図4に、上記の2種類の論理パス長と、テストに関する各タイミング（システム動作速度のタイミングを T_M 、テストタイミングを T_{TC} と表す）との関係を示す。ここで、 $T_{mgn}(X)$ は T_M とAタイプの論理パス長の差、 $T_{det}(X)$ は T_{TC} とBタイプの論理パス長の差とする。仮定故障 X を通過するBタイプの論理パスが存在しないときは、 $T_{det}(X)$ を無限大とする。

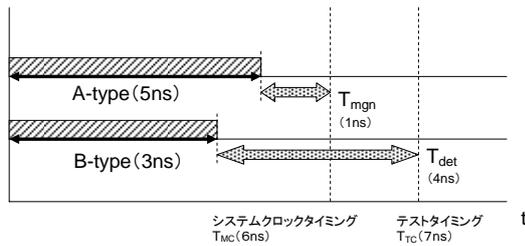


図5. 2種類の論理パスとタイミングの関係

以上の定義より、図5に示す遅延欠陥分布は $T_{mgn}(X)$ と $T_{det}(X)$ により、以下の3つの領域に分けられる。

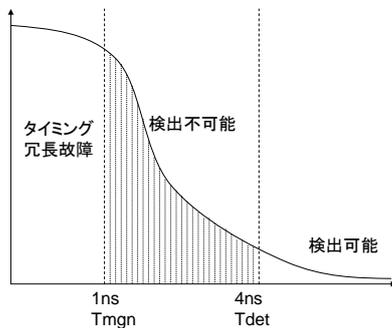


図5. 遅延欠陥分布と T_{mgn} と T_{det} の関係

(1) $s < T_{mgn}$

遅延欠陥は直接はシステム動作に影響しないためタイミング冗長と呼ぶ。

(2) $T_{mgn} \leq s < T_{det}$ ($T_{mgn} \neq T_{det}$ のとき)

テストで除去できなかった遅延欠陥であり未検出と呼ぶ。遅延欠陥の発生確率は(4)式で計算される。

$$\int_{T_{mgn}}^{T_{det}} F(s) ds \quad (4)$$

(3) $T_{det} \leq s$

テストで検出される。その発生確率は(5)式で計算される。

$$\int_{T_{mgn}}^{\infty} F(s) ds \quad (5)$$

チップ全体の遅延故障の発生確率は、式(4)を各仮定故障について合計して(6)式で表される。 N を故障仮定ノードの数とすると、各ノードに対して立上り故障と立下り故障があるので、全体の数は $2N$ となる。

$$\sum_{k=1}^{2N} \int_{T_{mgn}}^{\infty} F(s) ds \quad (6)$$

式(6)の値を、チップの統計的遅延品質レベル(SDQL: statistical delay quality level)と定義する。SDQLとは品質を評価する尺度である。

4. 実験結果

4.1 予備実験

ISCAS'85のベンチマーク回路に対してSynopsys社のTetraMAX(テスト生成ツール)を用いて生成された5回検出テストパターンとFSODで生成された5回検出テストパターンをSDQMによるテスト品質の比較を行った。ここでシステムクロックとテストタイミングが等しい場合を実速度テストと言う。実速度テストでは、実動作でテストしなければ見つからない遅延故障もあるので、実速度テストの必要性は知られている。表1に今回実験で使用したISCAS'85ベンチマーク回路の特徴を示す。

表1. 回路特徴

回路	パス数	最長ゲート段数	システムタイミング	テストタイミング
c880	8642	24	25	25
c1355	4173216	24	25	25
c1908	729057	40	41	41
c2670	679960	32	33	33
c3540	28676671	47	48	48
c5315	1341305	49	50	50
c7552	726494	43	44	44

表1の中のパス数は回路に含まれる全てのパスの数である。最長ゲート段数は全てのパスの中で最長なゲート段数の数を表す。システムタイミング、テストタイミングは、今回実験で決めたタイミングを表す。今回の実験では最長ゲート段数に1つ足した値をテストタイミング、システムタイミングとして実験を行った。表2に予備実験の結果

を示す.

表 1. SDQL 評価結果

回路	パターン	パターン数	検出数	検出率	SDQL (ppm)
c880	FSOD	199	922	5.3344	1384
	Tetra	89	550	3.1821	1903
c1355	FSOD	430	987	0.0118	3829
	Tetra	405	685	0.0082	4360
c1908	FSOD	593	1696	0.1163	3593
	Tetra	515	1548	0.1062	3686
c2670	FSOD	423	2530	0.186	6135
	Tetra	123	1485	0.1092	7279
c3540	FSOD	657	4119	0.0072	8799
	Tetra	300	2558	0.0045	9721
c5315	FSOD	510	7542	0.2811	6692
	Tetra	191	4713	0.1757	7700
c7552	FSOD	803	12766	0.8786	12116
	Tetra	240	7333	0.5047	14932

表 1 の中のパターンはテスト生成法の種類で、パターン数はテストパターン数、検出数はパス遅延検出数、検出率はパス遅延の検出率、SDQL は SDQL の値 (単位は ppm) を表す。

4.2 考察

今回の実験では FSOD, TetraMAX の両方のテスト生成法で N の値を同じにして実験を行った。SDQL 値だけを比較すると FSOD の方が良い実験結果となった。しかし、テストパターンを比較すると FSOD の方が多くなるという結果になった。テストパターン数が違うので評価に困る結果になった。今後はテストパターン数を FSOD に合わせるように TetraMAX の N の値を変えるか、縮退故障の平均検出回数を同じになるように N の値を変えて実験を行う必要がある。

5. おわりに

FSOD はブリッジ故障, ゲート遅延故障, トランジション故障などの故障に対しては高い検出率だったが, パス遅延故障は低い結果となった。パス遅延故障の検出率を上げるためには外部入力の検出回数を高める必要がある。外部入力の検出回数を高めるには, 外部入力の N の値を増やしてテスト生成を行う必要がある。

参考文献

- [1] Intail Park, Ahmad Al-Ymami and Edward J. McCluskey "Effective TARO Pattern Generation," Proc. 23rd VLSI Test Symposium, , pp. 161-166, April 2005.
- [2] E. J. McCluskey, A. Al-Yamani, C. W. Tseng, E. Volkerink, F. F. Ferhani, E. Li and S. Mitra, "ELF-Murphy data on defects and test sets," in Proc. 2004 VLSI Test Symp., pp. 16-22, 2004.
- [3] S. Chakravarty, A. Jain, N. Radhakrishnan, E. W. Savage and S. T. Zachariah, "Experimental

evaluation of scan tests for bridges," IEEE International Test Conference, Oct. 2002, pp. 509-518.

- [4] M. M. Levi, "CMOS is most testable," International. Test Conference, 1981, pp. 217-220.
- [5] S. C. Ma, P. Franco and E. J. McCluskey, "An Experimental Chip to Evaluate Test Techniques Experiment Result," in Proc. 1995 International Test Conference, Oct. 1995, pp. 663-672.
- [6] S. M. Reddy, I. Pomeranz and S. Kajihara, "On the effects of Test Compaction on Defect Coverage," in Proc. 14th VLSI Test Symp., April 1996, pp. 430-435.
- [7] LSI Logic Corporation and Mentor Graphics Corporation, "Impact of Multiple-Detect Test Patterns on Product Quality," Proc. ITC, 2003, pp. 1031-1040,
- [8] 細川利典, 山崎浩二, "故障活性化率向上のための n 回検出テスト生成法," 信学論(D-1) 掲載予定
- [9] Delay Fault Testing for VLSI Circuits A. Krstic, K-T Cheng, Kluwer Academic Publishers, 1998
- [10] 佐藤康夫, 浜田周治, 前田敏行, 高取厚夫, 野津山泰行, 梶原誠司, "統計的遅延品質モデル (SDQM) のフィージビリティ評価," 電子情報通信学会, pp. 1717-1728, 2006
- [11] P. Nigh and A. Gattiker, "Test method evaluation experiments and data," Proc. IEEE International Test Conference, pp. 454-463, 2000.
- [12] D. M. Wu and C. E. Radke, "Delay test effectiveness evaluation of LSSD-based VLSI logic circuit," Proc. ACM/IEEE Design Automation Conference, pp. 291-295, 1985.
- [13] N. N. Tendolkar, "Analysis of timing failures due to random AC defects in VLSI modules," Proc. ACM/IEEE Design Automation Conference, pp. 709-714
- [14] S. Mitra, E. Volkerink, E. McCluskey, and S. Eichenberger, "Delay defect screening using process monitor structures," Proc. IEEE VLSI Test Symposium, pp. 43-52, 2004
- [15] S. Sapatnekar, Timing, Kluwer Academic Publishers, 2004.